

а

ГЛАВА 1

ВВЕДЕНИЕ

а

РАЗДЕЛ 1

ВВЕДЕНИЕ

Уолт Кестер

ПРОИСХОЖДЕНИЕ ФИЗИЧЕСКИХ СИГНАЛОВ И ЕДИНИЦЫ ИХ ИЗМЕРЕНИЯ

В этой книге мы будем прежде всего иметь дело с обработкой физических сигналов, выполняемой на основе аналоговых и цифровых методов. Прежде всего, рассмотрим несколько ключевых понятий и определений, необходимых для понимания сущности предмета.

Новый университетский словарь Вебстера определяет сигнал как "обнаруживаемую (или измеряемую) физическую величину или импульс (типа напряжения, силы тока или напряженности магнитного поля), которая может быть передана как сообщение или как информация". Ключом к этому определению являются слова: обнаруживаемая, физическая величина и информация.

ХАРАКТЕРИСТИКИ СИГНАЛОВ

- **Характеристики сигналов**
 - ◆ Сигналы являются физическими величинами
 - ◆ Сигналы можно измерить
 - ◆ Сигналы содержат информацию
 - ◆ Все сигналы являются аналоговыми

- **Единицы измерения**
 - ◆ Температура: °C
 - ◆ Давление: Н/м²
 - ◆ Масса: кг
 - ◆ Напряжение: В
 - ◆ Электрический ток: А
 - ◆ Мощность: Вт

Рис. 1.1

По своей природе все сигналы являются аналоговыми, будь то сигнал постоянного или переменного тока, цифровой или импульсный. Тем не менее, принято делать различие между аналоговыми и цифровыми сигналами, которое выражается в том, что в природе все измеримые физические величины представляются аналоговыми сигналами. В этой книге аналоговые сигналы характеризуются электрическими переменными, скоростью их изменения и связанной с ними энергией или мощностью. Для преобразования других физических величин (температуры, давления и т.п.) в электрические сигналы используются датчики. Такая область, как нормализация сигнала (signal conditioning), означает подготовку физических сигналов к обработке и включает в себя такие аспекты, как датчики (например, датчики температуры и давления), изолирующие и инструментальные усилители и т.д. (см. Приложение 1).

а

Некоторые сигналы представляют собой реакции на другие сигналы. Хороший пример – отраженный сигнал радара или ультразвуковой системы отображения, в которых отраженный сигнал является результатом действия известного переданного сигнала.

С другой стороны, существуют сигналы, которые называются *цифровыми*, где сигнал, определенным образом обработанный, преобразован в цифры. Возможно, эти цифровые сигналы связаны с реальными аналоговыми сигналами, но возможно, что между ними и нет связи. В качестве примера можно привести передачу данных в локальных вычислительных сетях (LAN) или в других высокоскоростных сетях.

В случае цифровой обработки сигнала (ЦОС) аналоговый сигнал преобразуется в двоичную форму устройством, которое называется аналого-цифровым преобразователем (АЦП). На выходе АЦП получается двоичное представление аналогового сигнала, которое затем обрабатывается арифметически цифровым сигнальным процессором (DSP). После обработки содержащаяся в сигнале информация может быть преобразована обратно в аналоговую форму с использованием цифро-аналогового преобразователя (ЦАП).

Другой ключевой концепцией в определении сигнала является тот факт, что сигнал всегда несет некоторую информацию. Это ведет нас к ключевой проблеме обработки физических аналоговых сигналов – проблеме извлечения информации.

ЦЕЛИ ОБРАБОТКИ ФИЗИЧЕСКИХ СИГНАЛОВ

Главная цель обработки физических сигналов заключается в необходимости получения содержащейся в них информации. Эта информация обычно присутствует в амплитуде сигнала (абсолютной или относительной), в частоте или в спектральном составе, в фазе или в относительных временных зависимостях нескольких сигналов. Как только желаемая информация будет извлечена из сигнала, она может быть использована различными способами.

В некоторых случаях желательно переформатировать информацию, содержащуюся в сигнале. В частности, смена формата имеет место при передаче звукового сигнала в телефонной системе с многоканальным доступом и частотным разделением (FDMA). В этом случае аналоговые методы используются, чтобы разместить несколько голосовых каналов в частотном спектре для передачи через радиорелейную станцию микроволнового диапазона, коаксиальный или оптоволоконный кабель. В случае цифровой связи аналоговая звуковая информация сначала преобразуется в цифровую с использованием АЦП. Цифровая информация, представляющая индивидуальные звуковые каналы, мультиплексируется во времени (многоканальный доступ с временным разделением, TDMA) и передается по последовательной цифровой линии связи (как в T-carrier-системе).

Еще одна причина обработки сигналов заключается в сжатии полосы частот сигнала (без существенной потери информации) с последующим форматированием и передачей информации на пониженных скоростях, что позволяет сузить требуемую полосу пропускания канала. В высокоскоростных модемах и системах адаптивной импульсно-кодовой модуляции (ADPCM) широко используются алгоритмы устранения избыточности данных (сжатия), так же как и в цифровых системах мобильной связи, системах записи звука MPEG, в телевидении высокой четкости (HDTV).

Промышленные системы сбора данных и системы управления используют информацию, полученную от датчиков, для выработки соответствующих сигналов обратной связи, которые, в свою очередь, непосредственно управляют процессом. Обратите внимание, что эти системы требуют наличия как АЦП и ЦАП, так и датчиков, устройств нормализации

а

сигнала (signal conditioners) и DSP (или микроконтроллеров). Analog Devices предлагает семейство микросхем Microconverters™, которые включают прецизионные аналоговые схемы, АЦП, ЦАП, микроконтроллеры и flash-память на одном кристалле.

В некоторых случаях в сигнале, содержащем информацию, присутствует шум, и основной целью является восстановление сигнала. Такие методы, как фильтрация, автокорреляция, свертка и т.д., часто используются для выполнения этой задачи и в аналоговой, и в цифровой областях.

ЦЕЛИ ОБРАБОТКИ СИГНАЛОВ

- Извлечение информации о сигнале (амплитуда, фаза, частота, спектральные составляющие, временные соотношения)
- Преобразование формата сигнала (телефония с разделением каналов FDMA, TDMA, CDMA)
- Сжатие данных (модемы, сотовые телефоны, телевидение HDTV, сжатие MPEG)
- Формирование сигналов обратной связи (управление промышленными процессами)
- Выделение сигнала из шума (фильтрация, автокорреляция, свертка)
- Выделение и сохранение сигнала в цифровом виде для последующей обработки (БПФ)

Рис. 1.2

ФОРМИРОВАНИЕ ФИЗИЧЕСКИХ СИГНАЛОВ

В большинстве приведенных ситуаций (связанных с использованием DSP-технологий), необходимы как АЦП, так и ЦАП. Тем не менее, в ряде случаев требуется только ЦАП, когда физические аналоговые сигналы могут быть непосредственно сгенерированы на основе DSP и ЦАП. Хорошим примером являются дисплеи с разверткой видеоизображения, в которых сгенерированный в цифровой форме сигнал управляет видеоизображением или блоком RAMDAC (преобразователем массива пиксельных значений из цифровой в аналоговую форму). Другой пример – это искусственно синтезируемые музыка и речь. В действительности, при генерации физических аналоговых сигналов с использованием только цифровых методов полагаются на информацию, предварительно полученную из источников подобных физических аналоговых сигналов. В системах отображения данные на дисплее должны донести соответствующую информацию оператору. При разработке звуковых систем задаются статистическими свойствами генерируемых звуков, которые были предварительно определены с помощью широкого использования методов ЦОС (источник звука, микрофон, предварительный усилитель, АЦП и т.д.).

МЕТОДЫ И ТЕХНОЛОГИИ ОБРАБОТКИ ФИЗИЧЕСКИХ СИГНАЛОВ

Сигналы могут быть обработаны с использованием аналоговых методов (аналоговой обработки сигналов, или ASP), цифровых методов (цифровой обработки сигналов, или DSP) или комбинации аналоговых и цифровых методов (комбинированной обработки сигналов, или MSP). В некоторых случаях выбор методов ясен, в других случаях нет

а

ясности в выборе и принятие окончательного решения основывается на определенных соображениях.

Что касается DSP, то главное отличие его от традиционного компьютерного анализа данных заключается в высокой скорости и эффективности выполнения сложных функций цифровой обработки, таких как фильтрация, анализ с использованием быстрого преобразования Фурье (БПФ) и сжатие данных в реальном масштабе времени.

Термин "комбинированная обработка сигналов" подразумевает, что системой выполняется и аналоговая, и цифровая обработка. Такая система может быть реализована в виде печатной платы, гибридной интегральной схемы (ИС) или отдельного кристалла с интегрированными элементами. АЦП и ЦАП рассматриваются как устройства комбинированной обработки сигналов, так как в каждом из них реализованы и аналоговые, и цифровые функции.

Недавние успехи технологии создания микросхем с очень высокой степенью интеграции (VLSI) позволяют осуществлять комплексную (цифровую и аналоговую) обработку на одном кристалле. Сама природа ЦОС подразумевает, что эти функции могут быть выполнены в режиме реального масштаба времени.

СРАВНЕНИЕ АНАЛОГОВОЙ И ЦИФРОВОЙ ОБРАБОТКИ СИГНАЛА

Сегодняшний инженер стоит перед выбором надлежащей комбинации аналоговых и цифровых методов для решения задачи обработки сигналов. Невозможно обработать физические аналоговые сигналы, используя только цифровые методы, так как все датчики (микрофоны, термопары, тензорезисторы, пьезоэлектрические кристаллы, головки накопителя на магнитных дисках и т.д.) являются аналоговыми устройствами. Поэтому, некоторые виды сигналов требуют наличия цепей нормализации для дальнейшей обработки сигналов аналоговым или цифровым методом. В действительности, цепи нормализации сигнала – это аналоговые процессоры, выполняющие такие функции как усиление, накопление (в измерительных и предварительных (буферных) усилителях), обнаружение сигнала на фоне шума (высокоточными усилителями синфазного сигнала, уравнивателями и линейными приемниками), динамическое сжатие диапазона (логарифмическими усилителями, логарифмическими ЦАП и усилителями с программируемым коэффициентом усиления) и фильтрация (пассивная и активная).

Несколько методов реализации процесса обработки сигналов показано на рис.1.3. В верхней области рисунка изображен чисто аналоговый подход. В остальных областях изображена реализация DSP. Обратите внимание, что, как только выбрана DSP технология, следующим решением должно быть определение местоположения АЦП в тракте обработки сигнала.

а

ОБРАБОТКА АНАЛОГОВЫХ И ЦИФРОВЫХ СИГНАЛОВ

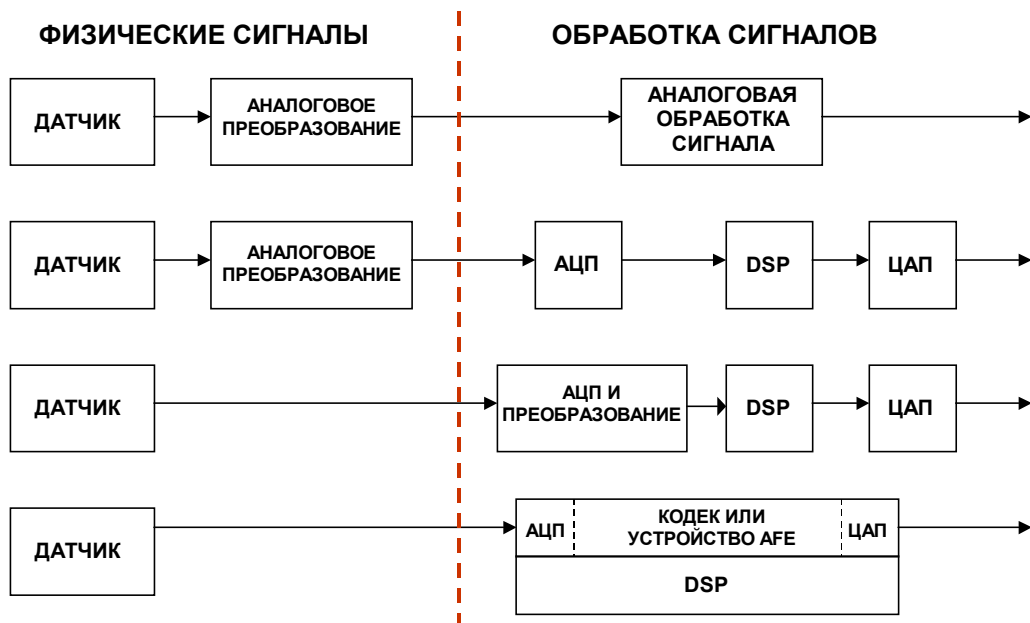


Рис. 1.3

Вообще, поскольку АЦП перемещен ближе к датчику, большая часть обработки аналогового сигнала теперь производится АЦП. Увеличение возможностей АЦП может выражаться в увеличении частоты дискретизации, расширении динамического диапазона, повышении разрешающей способности, отсеке входного шума, использовании входной фильтрации и программируемых усилителей (PGA), наличии источников опорного напряжения на кристалле и т.д. Все упомянутые дополнения повышают функциональный уровень и упрощают систему. При наличии современных технологий производства ЦАП и АЦП с высокими частотами дискретизации и разрешающими способностями существенный прогресс достигнут в интеграции все большего числа цепей непосредственно в АЦП/ЦАП. В сфере измерений, например, существуют 24-битные АЦП со встроенными программируемыми усилителями (PGA), которые позволяют оцифровывать полномасштабные мостовые сигналы 10 mV непосредственно, без последующей нормализации (например серия AD773x). На голосовых и звуковых частотах распространены комплексные устройства кодирования-декодирования – кодеки (Analog Front End, AFE), которые имеют встроенную в чип аналоговую схему, удовлетворяющую минимуму требований к внешним компонентам нормализации (AD1819B и AD73322). Существуют также видео-кодеки (AFE) для таких задач, как обработка изображения с помощью ПЗС (CCD), и другие (например, серии AD9814, AD9816, и AD984X).

ПРАКТИЧЕСКИЙ ПРИМЕР

В качестве практического примера использования DSP сравним аналоговый и цифровой фильтры низкой частоты (ФНЧ), каждый с частотой среза 1кГц. Цифровой фильтр реализован в виде типичной дискретной системы, показанной на рис. 1.4. Обратите внимание, что в диаграмме принято несколько неявных допущений. Во-первых, чтобы точно обработать сигнал, принимается, что тракт АЦП/ЦАП обладает достаточными значениями частоты дискретизации, разрешающей способности и динамического

а

диапазона. Во-вторых, для того, чтобы закончить все свои вычисления в пределах интервала дискретизации ($1/f_s$), устройство ЦОС должно иметь достаточное быстродействие. В-третьих, на входе АЦП и выходе ЦАП сохраняется потребность в аналоговых фильтрах низкой частоты (anti-aliasing filter и anti-imaging filter), хотя требования к их производительности невелики. Приняв эти допущения, можно сравнить цифровой и аналоговый фильтры.

ЦИФРОВОЙ ФИЛЬТР

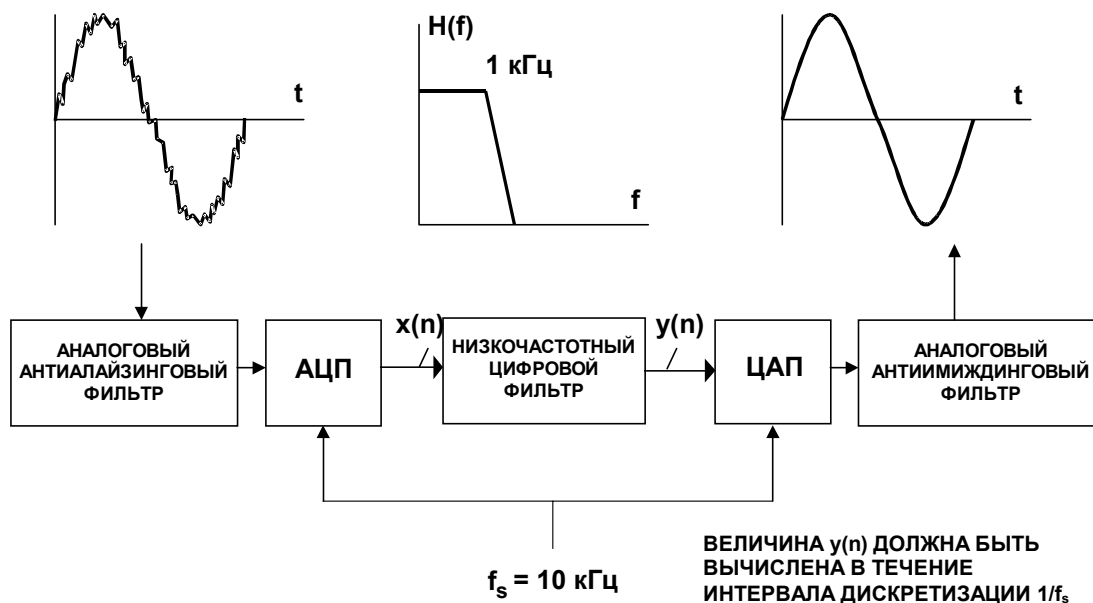


Рис. 1.4

Требуемая частота среза обоих фильтров – 1кГц. Аналоговое преобразование реализуется фильтром Чебышева первого рода шестого порядка (характеризуется наличием пульсаций коэффициента передачи в полосе пропускания и отсутствием пульсаций вне полосы пропускания). Его характеристики представлены на рис.1.5. На практике этот фильтр может быть представлен тремя фильтрами второго порядка, каждый из которых построен на операционном усилителе и нескольких резисторах и конденсаторах. С помощью современных систем автоматизированного проектирования (САПР) фильтров создать фильтр шестого порядка достаточно просто, но чтобы удовлетворить техническим требованиям по неравномерности характеристики 0,5 дБ, требуется точный подбор компонентов.

Представленный же на рис 1.4 цифровой FIR-фильтр со 129 коэффициентами имеет неравномерность характеристики всего 0,002 дБ в полосе пропускания, линейную фазовую характеристику и намного более крутой спад. На практике такие характеристики невозможно реализовать с использованием одних только аналоговых методов. Другое очевидное преимущество схемы состоит в том, что цифровой фильтр не требует подбора компонентов и не чувствителен к дрейфу частоты, так как она (частота) стабилизирована на кристалле. Фильтр со 129 коэффициентами требует 129 операций умножения с накоплением (МАС) для вычисления выходной выборки. Эта обработка должна быть закончена в пределах интервала дискретизации $1/f_s$, чтобы обеспечить работу в реальном масштабе времени. В этом примере частота дискретизации равна 10 кГц, поэтому для обработки достаточно 100 мкс, если не требуется производить существенных

а

дополнительных вычислений. Семейство DSP ADSP-21xx может закончить весь процесс умножения с накоплением (и другие функции, необходимые для реализации фильтра) за один командный цикл. Поэтому фильтр со 129 коэффициентами требует быстродействия более $129/100 \text{ мкс} = 1,3$ миллиона операций с секунду (MIPS). Существующие DSP имеют намного большее быстродействие и, таким образом, не являются ограничивающим фактором для этих приложений. Быстродействие серии 16-разрядных ADSP-218x с фиксированной точкой достигает 75MIPS.

На рис. 1.6 приведен ассемблерный код, реализующий фильтр на DSP процессорах семейства ADSP-21xx. Обратите внимание, что фактические строки исполняемого кода помечены стрелками; остальное – это комментарии.

СРАВНЕНИЕ АМПЛИТУДНО-ЧАСТОТНЫХ ХАРАКТЕРИСТИК АНАЛОГОВОГО И ЦИФРОВОГО ФИЛЬТРОВ

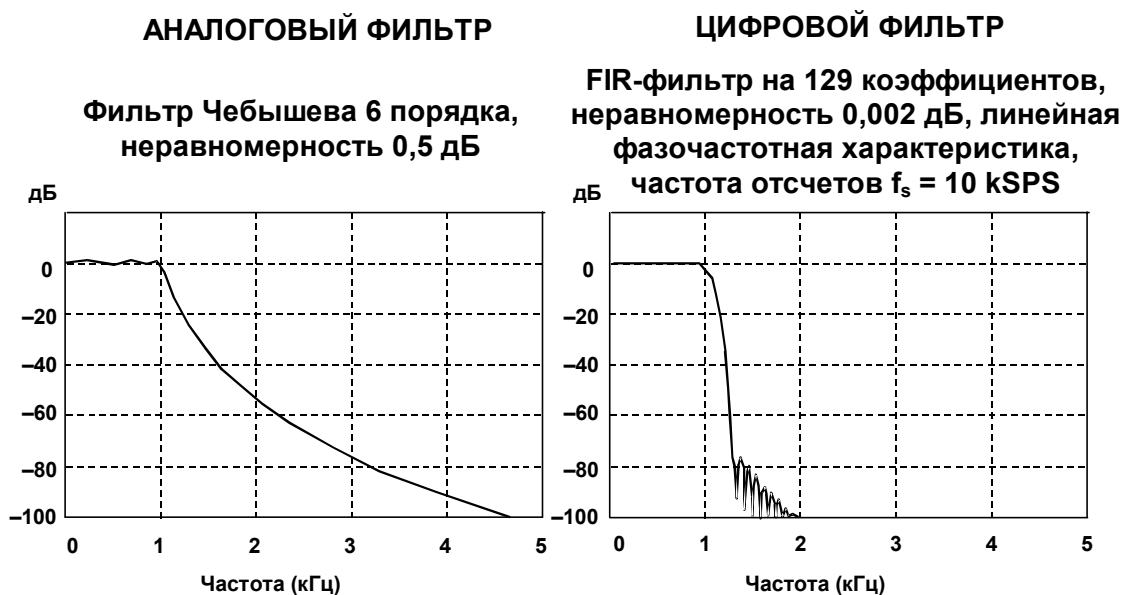


Рис. 1.5

Конечно, на практике имеется много других факторов, рассматриваемых при сравнительной оценке аналоговых и цифровых фильтров или аналоговых и цифровых методов обработки сигнала вообще. В современных системах обработки сигналов комбинируются аналоговые и цифровые методы реализации желаемой функции и используются преимущества лучших методов, как аналоговых, так и цифровых.

а

ПРОГРАММА НА АСSEMBЛЕРЕ: FIR ФИЛЬТР ДЛЯ ADSP-21XX (ОДИНАРНАЯ ТОЧНОСТЬ)

```
.MODULE          fir_sub;
{
    FIR Filter Subroutine
    Calling Parameters
        I0 --> Oldest input data value in delay line
        I4 --> Beginning of filter coefficient table
        L0 = Filter length (N)
        L4 = Filter length (N)
        M1,M5 = 1
        CNTR = Filter length - 1 (N-1)
    Return Values
        MR1 = Sum of products (rounded and saturated)
        I0 --> Oldest input data value in delay line
        I4 --> Beginning of filter coefficient table
    Altered Registers
        MX0,MY0,MR
    Computation Time
        (N - 1) + 6 cycles = N + 5 cycles
    All coefficients are assumed to be in 1.15 format. }
    .ENTRY
    → fir:      MR=0, MX0=DM(I0,M1), MY0=PM(I4,M5)
    →          CNTR = N-1;
    →          DO convolution UNTIL CE;
    → convolution: MR=MR+MX0*MY0(SS), MX0=DM(I0,M1), MY0=PM(I4,M5);
    →          MR=MR+MX0*MY0(RND);
    →          IF MV SAT MR;
    →          RTS;
    .ENDMOD;
```

Рис. 1.6

ОБРАБОТКА СИГНАЛОВ В РЕАЛЬНОМ ВРЕМЕНИ

- Цифровая обработка сигналов;
 - ♦ Ширина спектра обрабатываемого сигнала ограничена частотой дискретизации АЦП/ЦАП
 - Помните о критерии Найквиста и теореме Котельникова
 - ♦ Динамический диапазон сигнала ограничен разрядностью АЦП/ЦАП
 - ♦ Производительность процессора DSP ограничивает объем обработки сигнала, так как:
 - Для работы в реальном масштабе времени все вычисления, производимые процессором DSP, должны быть закончены в течение интервала дискретизации, равного $1/f_s$
- Не забывайте об аналоговой обработке сигнала
 - ♦ При высокочастотной/радиочастотной фильтрации, модуляции, демодуляции
 - ♦ Аналоговые антиалайзинговые и восстанавливающие фильтры (обычно ФНЧ) для ФЦП и ЦАП
 - ♦ Там, где диктуют здравый смысл и экономические выкладки

Рис. 1.7

a

СПИСОК ЛИТЕРАТУРЫ

1. **Practical Design Techniques for Sensor Signal Conditioning**, Analog Devices, 1998.
2. Daniel H. Sheingold, Editor, **Transducer Interfacing Handbook**, Analog Devices, Inc., 1972.
3. Richard J. Higgins, **Digital Signal Processing in VLSI**, Prentice-Hall, 1990.

а

ГЛАВА 2

ДИСКРЕТНЫЕ СИСТЕМЫ

- Дискретизация аналоговых сигналов по времени
- Статические передаточные функции АЦП и ЦАП и погрешности по постоянному току
- Погрешности по переменному току в тракте преобразователя данных
- Динамические характеристики ЦАП

а

ГЛАВА 2

ДИСКРЕТНЫЕ СИСТЕМЫ

Уолт Кестер, Джеймс Брайэнт

ВВЕДЕНИЕ

Блок-схема типичной дискретной системы ЦОС представлена на рис. 2.1. Обычно, прежде чем подвергнуться реальному аналого-цифровому преобразованию, аналоговый сигнал проходит через цепи нормализации, которые выполняют такие функции, как усиление, аттенюация (ослабление) и фильтрация. Для подавления нежелательных сигналов вне полосы пропускания и предотвращения наложения спектров (aliasing) необходим фильтр низкой частоты или полосовой фильтр.

СТРУКТУРА ДИСКРЕТНОЙ СИСТЕМЫ

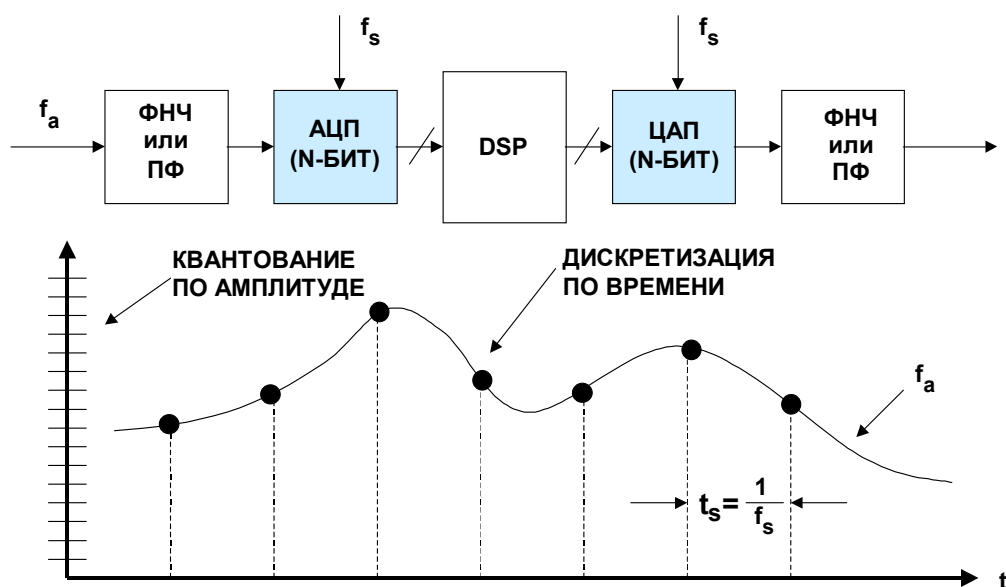


Рис. 2.1

На рис. 2.1 представлена система, работающая в реальном масштабе времени. В ней АЦП непрерывно дискретизирует сигнал с частотой, равной f_s , и выдает новый отсчет процессору ЦОС (DSP) с такой же частотой. Для обеспечения работы в реальном масштабе времени DSP должен закончить все вычисления в пределах интервала дискретизации $1/f_s$ и передать выходной отсчет на ЦАП до поступления следующего отсчета с АЦП. В качестве примера типичной функции DSP может выступать цифровой фильтр.

В случае использования алгоритма БПФ, блок данных загружается в память DSP. Пока работает алгоритм БПФ, тем временем новый блок данных загружается в память для обеспечения работы в реальном масштабе времени. DSP должен вычислить БПФ в течение интервала передачи данных, чтобы быть готовым к процессу обработки следующего блока данных.

а

Обратите внимание, что ЦАП требуется только в том случае, когда данные необходимо преобразовать обратно в аналоговый сигнал (например, в случае голосового или звукового приложения). Во многих приложениях после первоначального аналого-цифрового преобразования сигнал остается в цифровом формате. Кроме того, существуют устройства подобные CD-проигрывателю, в которых DSP отвечает исключительно за формирование сигнала на ЦАП. В случае использования ЦАП, на его выходе для подавления нежелательных гармоник необходимо применять фильтр (anti-imaging filter).

В реальных процессах аналого-цифрового и цифро-аналогового преобразования есть два ключевых этапа: дискретизация по времени и квантование по амплитуде, которые определяют разрешающую способность данных операций. Понимание этих моментов является основополагающим фактором в оценке приложений ЦОС.

ДИСКРЕТИЗАЦИЯ АНАЛОГОВЫХ СИГНАЛОВ ПО ВРЕМЕНИ

Концепции дискретизации по времени и квантования по амплитуде аналогового сигнала иллюстрируются на рис. 2.1. Выборка непрерывных аналоговых данных должна осуществляться через интервал дискретизации $t_s = 1/f_s$, который необходимо тщательно выбирать для точного представления первоначального аналогового сигнала. Ясно, что чем больше число отсчетов (более высокие частоты дискретизации), тем более точным будет представление сигнала в цифровом виде, тогда как в случае малого числа отсчетов (низкие частоты дискретизации) может быть достигнуто критическое значение частоты дискретизации, при котором теряется информация о сигнале. Это следует из известного критерия Найквиста, сформулированного на рис.2.2.

КРИТЕРИЙ НАЙКВИСТА

- Частота дискретизации f_s сигнала с шириной полосы f_a должна удовлетворять условию $f_s > 2f_a$, в противном случае информация о сигнале будет потеряна
- Эффект наложения спектров возникает, когда $f_s < 2f_a$
- Эффект наложения спектров широко используются в таких задачах, как прямое преобразование ПЧ в цифровую форму

Рис. 2.2

Проще говоря, критерий Найквиста требует, чтобы частота дискретизации была по крайней мере вдвое больше полосы сигнала, в противном случае информация о сигнале будет потеряна. Если частота дискретизации меньше удвоенной полосы аналогового сигнала, возникает эффект, известный как наложение спектров (aliasing).

Для понимания смысла наложения спектров как во временной, так и в частотной областях сначала рассмотрим случай представления во временной области выборки одного тонального сигнала синусоидальной формы, показанный на рис.2.3. В этом примере частота дискретизации f_s лишь немного больше частоты аналогового входного сигнала f_a , что не удовлетворяет критерию Найквиста. Обратите внимание, что в действительности сделанная выборка соответствует сигналу, частота которого равна разности частот дискретизации и частоты исходного сигнала $f_s - f_a$. Соответствующее представление этого примера в частотной области показано на рис.2.4, б.

а

Далее рассмотрим случай выборки с частотой f_s одночастотного сигнала синусоидальной формы частоты f_a , осуществленной идеальным импульсным дискретизатором (см. рис.2.4, А). Как и в предыдущем случае, примем, что $f_s > 2f_a$. В частотном спектре на выходе дискретизатора видны гармоники (aliases или images) исходного сигнала, повторяющиеся с частотой f_s , то есть на частотах, равных $|\pm Kf_s \pm f_a|$, где $K = 1, 2, 3, 4, \dots$

ЭФФЕКТ НАЛОЖЕНИЯ СПЕКТРОВ ВО ВРЕМЕННОЙ ОБЛАСТИ



Рис. 2.3

АНАЛОГОВЫЙ СИГНАЛ С ЧАСТОТОЙ f_a , ДИСКРЕТИЗИРОВАННЫЙ ИДЕАЛЬНЫМ АЦП С ЧАСТОТОЙ f_s , ИМЕЕТ СОСТАВЛЯЮЩИЕ НА ЧАСТОТАХ $|\pm Kf_s \pm f_a|$, $K = 1, 2, 3, \dots$

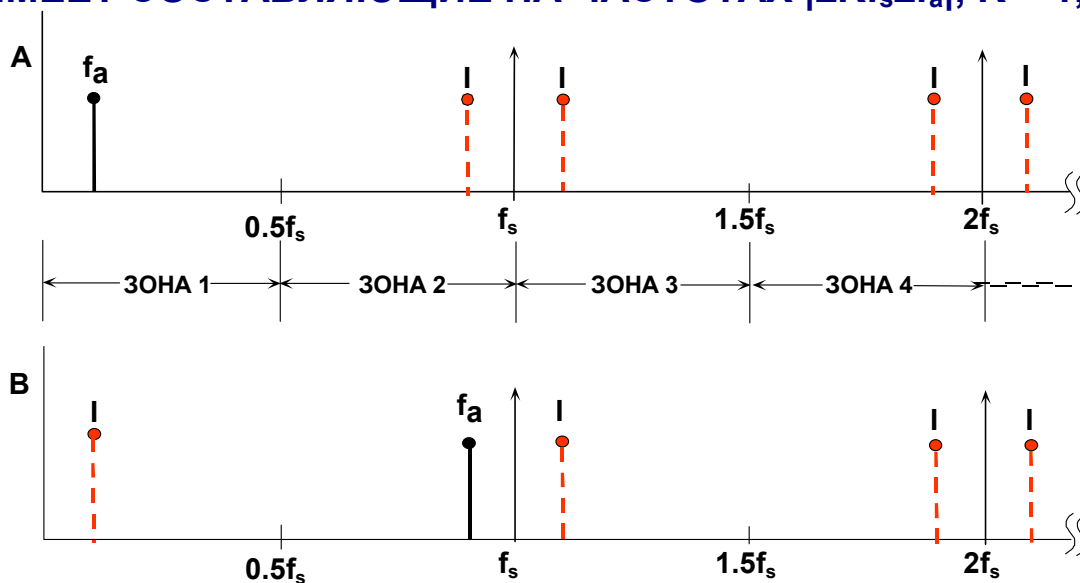


Рис. 2.4

а

Частотная зона Найквиста определяется как полоса спектра от 0 до $f_s/2$. Частотный спектр разделен на бесконечное число зон Найквиста, каждая по $0,5 f_s$. На практике идеальный дискретизатор заменяется на АЦП, используемый совместно с процессором БПФ. БПФ-процессор обеспечивает присутствие на выходе только компонент сигналов, частоты которых попадают в первую зону Найквиста, то есть, в полосу от 0 до $f_s/2$.

Теперь рассмотрим случай, когда частота сигнала выходит за пределы первой зоны Найквиста (рис.2.4 В). Частота сигнала немного меньше частоты дискретизации, что соответствует условию, представленному во временной области на рис.2.3. Обратите внимание, что даже при том, что сигнал находится вне первой зоны Найквиста, его составляющая $f_s - f_a$ попадает внутрь зоны. Возвращаясь к рис.2.4 А, поясним, что, если нежелательный сигнал появляется в области любой из гармоник частоты f_a , он также возникает и на частоте f_a , приводя, таким образом, к появлению побочного частотного компонента в первой зоне Найквиста.

Такой процесс подобен работе смесителя, используемого для детектирования аналоговых сигналов. При этом подразумевается, что перед дискретизатором (или АЦП) осуществляется фильтрация, подавляющая компоненты, частоты которых находятся вне полосы Найквиста и после дискретизации попадают в ее пределы. Рабочая характеристика фильтра будет зависеть от того, как близко частота внеполосного сигнала отстоит от $f_s/2$, а также будет определяться величиной требуемого подавления.

ФИЛЬТРЫ ДЛЯ УСТРАНЕНИЯ ЭФФЕКТА НАЛОЖЕНИЯ СПЕКТРОВ (АНТИАЛАЙЗИНГОВЫЕ ФИЛЬТРЫ)

Говоря о дискретизации низкочастотного сигнала (огибающей сигнала или видеосигнала) подразумевают, что подлежащий дискретизации сигнал лежит в первой зоне Найквиста. Важно обратить внимание на то, что без фильтрации на входе идеального дискретизатора любой частотный компонент (сигнал или шум), который находится за пределами "полосы Найквиста", в любой зоне Найквиста будет создавать НЧ-составляющую в первой зоне Найквиста. По этой причине ФНЧ используется почти со всеми АЦП для подавления нежелательных сигналов.

Важно правильно определить характеристики НЧ-фильтра. Первым шагом является получение характеристик сигнала, подлежащего дискретизации. В случае, когда наивысшая из интересующих нас частот равна f_a , фильтр пропускает сигналы, лежащие в полосе частот от 0 до f_a , тогда как сигналы с частотой выше f_a ослабляются.

Предположим, что частота сопряжения фильтра равна f_a . На рис.2.5а показан эффект, обусловленный переходом сигнала ненулевой амплитуды от минимального до максимального ослабления в динамическом диапазоне системы.

Возможно, что во входном сигнале присутствуют существенные компоненты с частотой, большей максимальной частоты f_a . Диаграмма показывает, как эти компоненты с частотой выше $f_s - f_a$ дают НЧ-составляющую внутри полосы от 0 до f_a . Эти НЧ-составляющие неотличимы от реальных сигналов и поэтому ограничивают динамический диапазон значением, которое на диаграмме показано как DR.

Некоторые авторы рекомендуют устанавливать параметры ФНЧ, принимая во внимание частоту Найквиста $f_s / 2$, но это предполагает, что ширина полосы сигнала находится от 0 до $f_s / 2$, что случается редко. В примере на рис.2.5 а НЧ- составляющие, которые попадают в диапазон между f_a и $f_s / 2$, не представляют для нас интереса и не ограничивают динамический диапазон.

а

Переходная зона ФНЧ определяется частотой сопряжения f_a , частотой полосы задержки $f_s - f_a$ и требуемым затуханием в полосе задержки DR. Динамический диапазон системы выбирается исходя из требований точности воспроизведения сигнала.

ИЗБЫТОЧНАЯ ДИСКРЕТИЗАЦИЯ УМЕНЬШАЕТ ТРЕБОВАНИЯ К КРУТИЗНЕ СПАДА ФНЧ

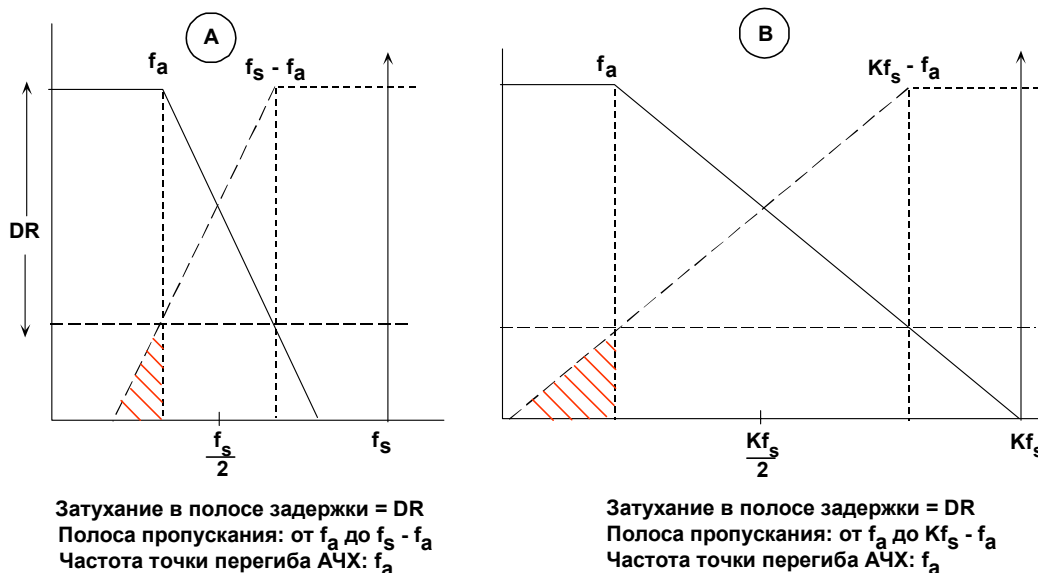


Рис. 2.5

При всех прочих равных условиях фильтры становятся более сложными по мере того, как увеличивается крутизна спада. Например, фильтр Баттерворта дает ослабление 6 дБ на октаву для каждого порядка. Для достижения ослабления 60 дБ в диапазоне от 1 МГц до 2 МГц (1 октава) требуется как минимум фильтр 10-го порядка – это нетривиальный фильтр, весьма трудный в разработке.

Поэтому для высокоскоростных приложений, требующих более высокой крутизны спада и меньшей неравномерности в рабочей полосе при линейной фазовой характеристике, больше подходят фильтры других типов. В частности, этим критериям удовлетворяют часто применяемые эллиптические фильтры. Существуют компании, специализирующиеся на поставках заказных аналоговых фильтров. В качестве примера можно привести компанию TTE (Приложение 1).

Из этого обсуждения видно, как недостаточная крутизна спада ФНЧ может компенсироваться более высокой частотой дискретизации АЦП. Выбрав более высокую частоту дискретизации (избыточную дискретизацию), мы уменьшаем требование к крутизне спада и, следовательно, сложность фильтра за счет использования более быстрого АЦП с более высокой скоростью обработки данных. Это иллюстрирует рис.2.5 б, на котором показан эффект, возникающий при увеличении частоты дискретизации в K раз, в то время как требования к частоте сопряжения f_a и к динамическому диапазону DR остаются на прежнем уровне. Более пологий спад делает этот фильтр проще для проектирования, чем в случае рис.2.5 а.

Процесс проектирования ФНЧ начинается с выбора начальной частоты дискретизации от $2,5 f_a$ до $4 f_a$. Определим характеристики фильтра, основанные на требуемом динамическом диапазоне, и посмотрим, является ли такой фильтр реализуемым с учетом ограничения стоимости системы и работы. Если реализация окажется невозможной,

а

полезно рассмотреть вариант с более высокой частотой дискретизации, для которого, возможно, потребуется более быстрый АЦП. Следует отметить, что σ - δ -АЦП изначально являются преобразователями с избыточной дискретизацией, и данное обстоятельство существенно ослабляет требования к ФНЧ, что является дополнительным плюсом данной архитектуры.

Требования к ФНЧ могут быть несколько ослаблены, когда вы уверены, что сигнал с частотой, которая попадает в полосу задержки $f_s - f_a$, никогда не достигнет амплитуды основного сигнала. Во многих приложениях появление таких сигналов на этой частоте действительно маловероятно. Если максимум сигнала в полосе частот $f_s - f_a$ никогда не превысит X дБ над амплитудой основного сигнала, то требования к затуханию в полосе задержки фильтра может быть уменьшено на ту же самую величину. Новое требование к затуханию в полосе задержки $f_s - f_a$ основано на понимании того факта, что в этом случае значение подавляемого сигнала составляет $DR-X$ дБ. В случае реализации этого варианта будьте внимательны при устранении любых шумов, частоты которых могут быть выше частоты f_a – это нежелательные сигналы, которые также будут создавать НЧ-составляющую в полосе сигнала.

Субдискретизация (Undersampling)

(гармоническая дискретизация (Harmonic Sampling), дискретизация модулированных сигналов (Bandpass Sampling), дискретизация на промежуточной частоте (ПЧ), IF Sampling, прямое преобразование ПЧ в цифровую форму)

К настоящему моменту мы рассмотрели случай дискретизации низкочастотных сигналов (видеосигналов или огибающих), когда все интересующие нас сигналы лежат в первой зоне Найквиста. На рис.2.6 А представлен случай, когда полоса подлежащих дискретизации сигналов ограничена первой зоной Найквиста и в остальных зонах Найквиста имеются боковые частотные компоненты.

ДИСКРЕТИЗАЦИЯ НА ГАРМОНИКАХ

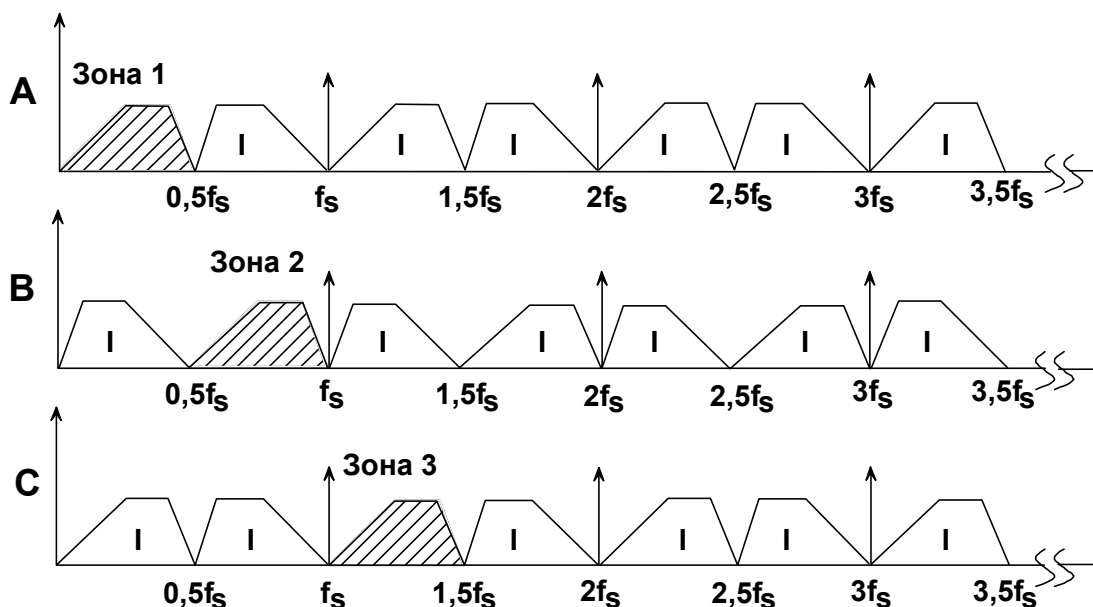


Рис. 2.6

а

На рис.2.6 В представлен случай, когда полоса подлежащего дискретизации сигнала полностью находится во второй зоне Найквиста. Часто процесс дискретизации сигнала, находящегося вне первой зоны Найквиста, называется субдискретизацией или гармонической дискретизацией. Обратите внимание, что боковая полоса в первой зоне Найквиста содержит всю информацию об исходном сигнале, только его местоположение изменено (порядок частотных компонентов в спектре обратный, но это легко корректируется переупорядочиванием спектральных компонентов на выходе БПФ).

На рис.2.6 С показан вариант подлежащего дискретизации сигнала, ограниченного третьей зоной Найквиста. Обратите внимание, что в первой зоне Найквиста нет обращения частоты. Фактически, частоты подлежащих дискретизации сигналов могут лежать в *любой* уникальной зоне Найквиста, и боковая полоса в первой зоне Найквиста является точным представлением сигнала (за исключением обращения частоты, которое происходит, когда сигналы расположены в четных зонах Найквиста). Здесь мы можем вновь ясно сформулировать критерий Найквиста:

Для сохранения информации о сигнале частота дискретизации должна быть равной или большей, чем удвоенная ширина его полосы.

Обратите внимание, что в этой формулировке нет никакого упоминания об абсолютном местоположении полосы дискретизируемых сигналов в частотном спектре относительно частоты дискретизации. Единственное ограничение состоит в том, что полоса подлежащих дискретизации сигналов ограничена одной зоной Найквиста, то есть, полосы сигналов не должны перекрывать частоту $f_s/2$ с любым множителем (фактически, это и является функцией антиалиазингового фильтра).

Дискретизация сигналов, лежащих выше первой зоны Найквиста, стала популярной задачей, связанной с телекоммуникациями, потому что этот процесс эквивалентен аналоговой демодуляции. Обычной практикой становится дискретизация сигналов ПЧ с последующим использованием цифровых методов для обработки сигнала с устранением таким способом потребности в демодуляторе ПЧ. Ясно, что с ростом ПЧ растут и требования к производительности АЦП. Ширина полосы входа АЦП и характеристики, связанные с допустимыми искажениями сигналов, должны быть адекватны скорее ПЧ, чем основной полосе частот. Это является проблемой для большинства АЦП, предназначенных для обработки сигналов в первой зоне Найквиста, поэтому для субдискретизации нужен АЦП, который может обрабатывать сигналы в других (более высокочастотных) зонах Найквиста.

СТАТИЧЕСКАЯ ПЕРЕДАТОЧНАЯ ФУНКЦИЯ АЦП И ЦАП И ПОГРЕШНОСТИ ПО ПОСТОЯННОМУ ТОКУ

Наиболее важным моментом, характеризующим и ЦАП, и АЦП является тот факт, что их входы или выходы являются цифровыми, поэтому сигнал подвергается квантованию. Обычно N-разрядное слово представляется одним из 2^N возможных состояний, поэтому у N-разрядного ЦАП (с фиксированным источником опорного напряжения) может быть только 2^N значений аналогового выхода, и он может выдавать 2^N различных комбинаций, соответствующих значениям аналогового входа. Как правило, входные аналоговые сигналы существуют в виде напряжений или токов.

Разрешающая способность преобразователей данных может быть выражена несколькими различными способами: весом младшего разряда (LSB), долей от полной шкалы размером в один миллион (ppm FS), милливольтами (мВ) и т.д. Различные устройства (даже от одного производителя) специфицируются по-разному, так что для успешного сравнения устройств пользователи АЦП и ЦАП должны уметь преобразовывать характеристики из

а

различных спецификаций. Величина младшего значащего разряда (LSB) для приборов с различной разрешающей способностью приведена на рис.2.7.

КВАНТОВАНИЕ: ВЕЛИЧИНА, СООТВЕТСТВУЮЩАЯ МЛАДШЕМУ БИТУ (LSB)

| Разреш. способность N | 2^N | Напряжение (10В FS) | ppm FS | % FS | dB FS |
|-----------------------|----------|---------------------|---------|----------|-------|
| 2-бит | 4 | 2.5 В | 250,000 | 25 | -12 |
| 4-бит | 16 | 625 мВ | 62,500 | 6.25 | -24 |
| 6-бит | 64 | 156 мВ | 15,625 | 1.56 | -36 |
| 8-бит | 256 | 39.1 мВ | 3,906 | 0.39 | -48 |
| 10-бит | 1024 | 9.77 мВ (10 мВ) | 977 | 0.098 | -60 |
| 12-бит | 4096 | 2.44 мВ | 244 | 0.024 | -72 |
| 14-бит | 16384 | 610 мкВ | 61 | 0.0061 | -84 |
| 16-бит | 65536 | 153 мкВ | 15 | 0.0015 | -96 |
| 18-бит | 262144 | 38 мкВ | 4 | 0.0004 | -108 |
| 20-бит | 1048576 | 9.54 мкВ (10 мкВ) | 1 | 0.0001 | -120 |
| 22-бит | 4194304 | 2.38 мкВ | 0.24 | 0.000024 | -132 |
| 24-бит | 16777216 | 596 нВ* | 0.06 | 0.000006 | -144 |

*600 нВ – это шум Джонсона при ширине полосы 10 КГц, R=2.2 кОм и при 25°C

Легко запомнить: 10-разрядное квантование при значении полной шкалы FS = 10 В соответствует LSB = 10 мВ, точность 1000 ppm или 0.1%.
Все остальные значения можно вычислить умножением на коэффициенты, равные степени числа 2.

Рис. 2.7

Прежде чем рассматривать различные архитектуры АЦП и ЦАП, необходимо обсудить ожидаемые характеристики и важные аспекты спецификаций. Ниже будет рассмотрено определение погрешностей и технических требований, предъявляемых к АЦП и ЦАП. Это важно для понимания сильных и слабых сторон различных архитектур АЦП и ЦАП.

Первые преобразователи данных применялись в области измерения и управления, где точный выбор времени преобразования обычно не имел значения, и скорость передачи данных была невелика. В таких приложениях были важны характеристики АЦП и ЦАП по постоянному току, а характеристики, связанные с синхронизацией и характеристики по переменному току не имели существенного значения. Сегодня ко многим, если не к большинству преобразователей, используемых в системах дискретизации и восстановления сигнала, предъявляются жесткие требования по характеристикам на переменном токе (характеристики по постоянному току могут быть не существенны). Данные характеристики будут рассмотрены далее в этом разделе.

На рис.2.8 представлена идеальная функция передачи однополярного 3-разрядного ЦАП, а на рис.2.9 – однополярного 3-разрядного АЦП. В ЦАП входной и выходной сигналы квантованы, и график содержит восемь точек. Независимо от способа аппроксимации этой функции, важно помнить, что реальной характеристикой передачи является не линия, а множество дискретных точек.

а

ПЕРЕДАТОЧНАЯ ФУНКЦИЯ ИДЕАЛЬНОГО 3-РАЗРЯДНОГО ЦАП

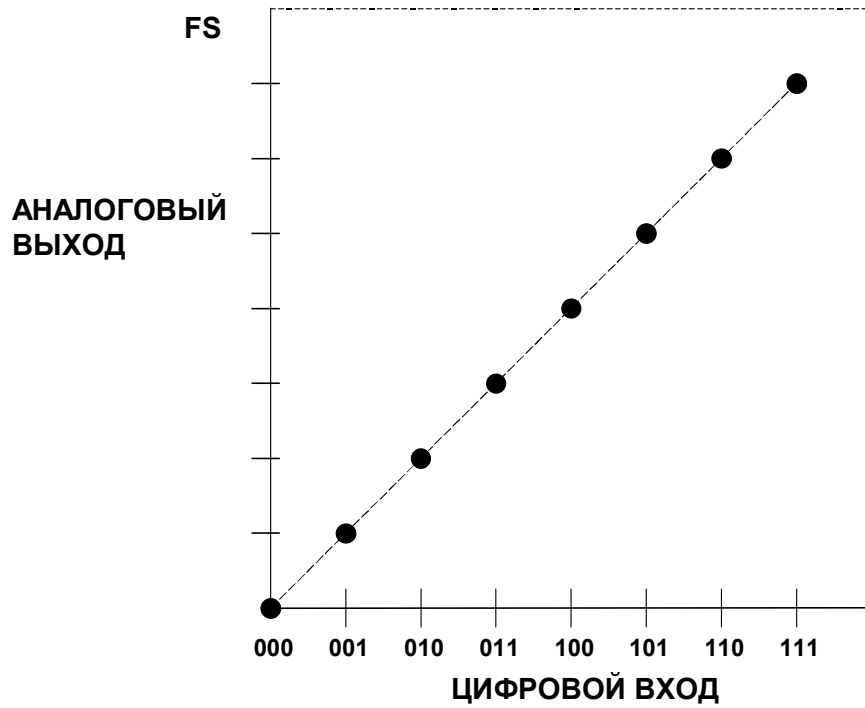


Рис. 2.8

ПЕРЕДАТОЧНАЯ ФУНКЦИЯ ИДЕАЛЬНОГО 3-РАЗРЯДНОГО АЦП

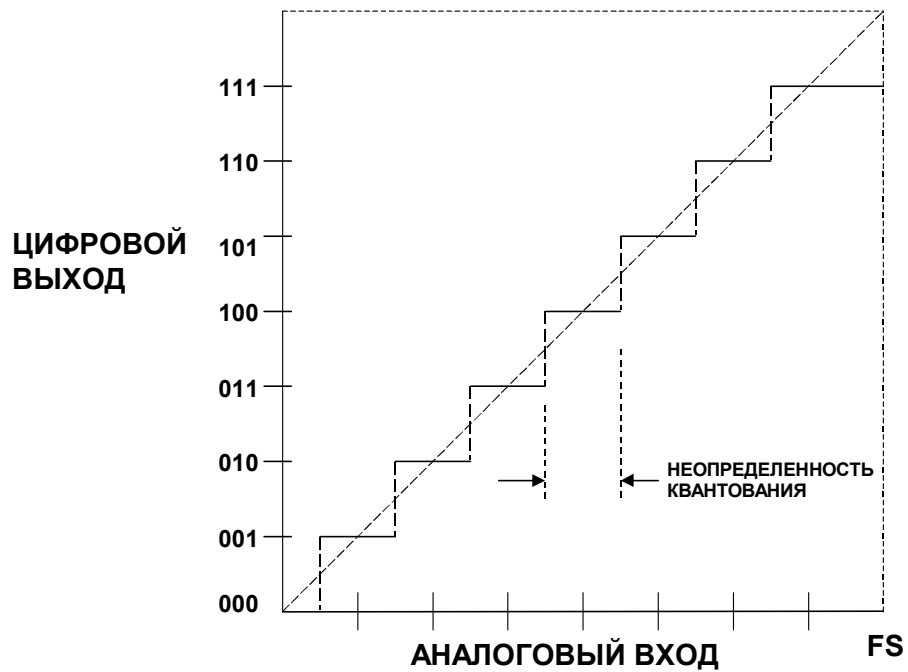


Рис. 2.9

а

Входной аналоговый сигнал АЦП не квантован, но его выходной сигнал является результатом квантования. Поэтому характеристика передачи состоит из восьми горизонтальных прямых (при рассмотрении смещения, усиления и линейности АЦП мы рассматриваем линию, соединяющую средние точки этих отрезков).

В обоих случаях полная цифровая шкала (все "1") соответствует полной аналоговой шкале минус значение младшего разряда LSB (значение, формируемое источником опорного напряжения или кратная ему величина). Это происходит потому, что, как упоминалось выше, цифровой код представляет собой нормализованное отношение аналогового сигнала к опорному сигналу.

Переходы АЦП (идеальные) имеют место, начиная с $\frac{1}{2}$ LSB выше нуля, и далее через каждый LSB, до $1\frac{1}{2}$ LSB ниже полной аналоговой шкалы. Так как входной аналоговый сигнал АЦП может иметь любое значение, а выходной цифровой сигнал квантуется, может существовать различие до $\frac{1}{2}$ LSB между реальным входным аналоговым сигналом и точным значением выходного цифрового сигнала. Этот эффект известен как ошибка (погрешность) или неопределенность квантования и проиллюстрирован на рис.2.9. В приложениях, использующих сигналы переменного тока, эта ошибка квантования вызывает явление, называемое шумом квантования, которое будет обсуждаться в следующей главе.

Для преобразователей данных существует много способов цифрового кодирования: двоичное кодирование, двоичное кодирование со смещением, кодирование дополнительным кодом по основанию 1, дополнительным кодом по основанию 2, кодом Грея, двоично-десятичным кодом и другие. В примерах этой части, посвященной главным образом обсуждению проблем, связанных с аналоговым трактом преобразователей, будут использоваться простой двоичный код и двоичный код со смещением без рассмотрения достоинств и недостатков этих и любых других способов цифрового кодирования.

В примерах на рис.2.8 и 2.9 применяются униполярные преобразователи, работающие с сигналом только одной полярности. Это самый простой тип, но в реальных приложениях более полезны биполярные преобразователи. Имеется два типа биполярных преобразователей. Более простой из них – это в сущности просто униполярный преобразователь с отрицательным смещением на величину, соответствующую единице старшего разряда (MSB), (во многих преобразователях можно переключать это смещение, чтобы использовать их и как униполярные, и как биполярные). Другой, более сложный тип, известен как преобразователь знака (sign-magnitude) и имеет N информационных разрядов, а также дополнительный разряд, который показывает знак аналогового сигнала. ЦАП типа sign-magnitude применяется довольно редко, а на АЦП типа sign-magnitude сконструированы большинство цифровых вольтметров (DVM).

В АЦП и ЦАП различают четыре типа погрешностей по постоянному току: погрешность смещения, погрешность усиления и два типа погрешностей, связанных с линейностью. Погрешности смещения и усиления АЦП и ЦАП аналогичны погрешностям смещения и усиления в усилителях. На рис.2.10 показано преобразование входных сигналов биполярного диапазона (хотя погрешность смещения и погрешность нуля, идентичные в усилителях и униполярных АЦП и ЦАП, различны в биполярных преобразователях, и это следует учитывать). Характеристики передачи и ЦАП, и АЦП могут быть выражены как $D=K+GA$, где D - цифровой код, A - аналоговый сигнал, K и G - константы. В униполярном преобразователе K равно 0, в биполярном преобразователе со смещением – 1 MSB. Погрешность смещения – это величина, на которую фактическое значение K отличается от идеального значения. Погрешность усиления – это величина, на которую G отличается от идеального значения. В общем случае, погрешность усиления может быть выражена разностью двух коэффициентов, выраженной в процентах. Эту разность можно рассматривать, как вклад погрешности усиления (в мВ или значениях младшего разряда

а

LSB) в общую погрешность при максимальном значении сигнала. Обычно пользователю предоставляется возможность минимизации этих погрешностей. Обратите внимание, что, в случае операционного усилителя сначала регулируют смещение усилителя при нулевом входном сигнале, а затем настраивают коэффициент усиления при значении входного сигнала, близких к максимальному. Алгоритм настройки биполярных преобразователей более сложен.

ПОГРЕШНОСТЬ СМЕЩЕНИЯ НУЛЯ ПРЕОБРАЗОВАТЕЛЯ И ПОГРЕШНОСТЬ УСИЛЕНИЯ



Рис. 2.10

Интегральная нелинейность ЦАП и АЦП аналогична нелинейности усилителя и определяется как максимальное отклонение фактической характеристики передачи преобразователя от прямой линии. В общем случае, она выражается в процентах от полной шкалы (но может представляться в значениях младших разрядов). Существует два общих метода аппроксимации характеристики передачи: метод конечных точек (end point) и метод наилучшей прямой (best straight line) (см. рис.2.11).

а

МЕТОД ИЗМЕРЕНИЯ СУММАРНОЙ ПОГРЕШНОСТИ ЛИНЕЙНОСТИ

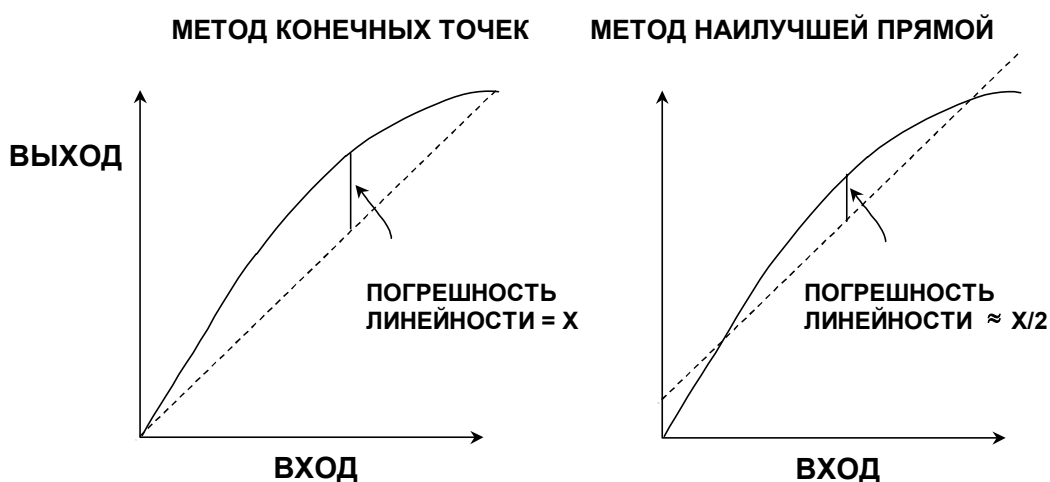


Рис. 2.11

При использовании метода конечных точек измеряется отклонение произвольной точки характеристики (после коррекции усиления) от прямой, проведенной из начала координат. Таким образом в компании Analog Devices, Inc. измеряют значения интегральной нелинейности преобразователей, используемых в задачах измерения и управления (так как величина погрешности зависит от отклонения от идеальной характеристики, а не от произвольного "наилучшего приближения").

Метод наилучшей прямой дает более адекватный прогноз искажений в приложениях, имеющих дело с сигналами переменного тока. Он менее чувствителен к нелинейностям технических характеристик. По методу наилучшего приближения через характеристику передачи устройства проводят прямую линию, используя стандартные методы интерполяции кривой. После этого максимальное отклонение измеряется от построенной прямой. Как правило, интегральная нелинейность, измеренная таким образом, учитывает только 50% нелинейности, оцененной методом конечных точек. Это делает метод предпочтительным при указании впечатляющих технических характеристик в спецификации, но менее полезным для анализа реальных значений погрешностей. Для приложений, имеющих дело с сигналами переменного тока, лучше определять гармонические искажения, чем нелинейность по постоянному току, так что для определения нелинейности преобразователя необходимость в использовании метода наилучшей прямой возникает довольно редко.

Другой тип нелинейности преобразователей – дифференциальная нелинейность (DNL). Она связана с нелинейностью кодовых переходов преобразователя. В идеальном случае изменение на единицу младшего разряда цифрового кода точно соответствует изменению аналогового сигнала на величину единицы младшего разряда. В ЦАП изменение одного младшего разряда цифрового кода должно вызывать изменение сигнала на аналоговом выходе, в точности соответствующее величине младшего разряда. В то же время в АЦП при переходе с одного цифрового уровня на следующий значение сигнала на аналоговом входе должно измениться точно на величину, соответствующую младшему разряду цифровой шкалы.

а

Там, где изменение аналогового сигнала, соответствующее изменению единицы младшего разряда цифрового кода, больше или меньше этой величины, говорят об дифференциальной нелинейной (DNL) погрешности. DNL-погрешность преобразователя обычно определяется как максимальное значение дифференциальной нелинейности, выявляемое на любом переходе.

Если дифференциальная нелинейность ЦАП меньше, чем -1 LSB на любом переходе (см. рис.2.12), ЦАП называют немонотонным, и его характеристика передачи содержит один или несколько локальных максимумов или минимумов. Дифференциальная нелинейность, большая чем $+1$ LSB, не вызывает нарушения монотонности, но также нежелательна. Во многих приложениях ЦАП (особенно в системах с обратной связью, где немонотонность может изменить отрицательную обратную связь на положительную) монотонность ЦАП очень важна. Часто монотонность ЦАП явно оговаривается в техническом описании, хотя, если дифференциальная нелинейность гарантированно меньше единицы младшего разряда (то есть, $|DNL| \leq 1\text{LSB}$), устройство будет обладать монотонностью, даже если это явно не указывается.

Бывает, что АЦП немонотонен, но наиболее распространенным проявлением DNL в АЦП являются пропущенные коды. (см. рис.2.13). Пропущенные коды (или немонотонность) в АЦП столь же нежелательны, как немонотонность в ЦАП. Опять таки, это возникает при $DNL > 1$ LSB.

ФУНКЦИЯ ПЕРЕДАЧИ НЕИДЕАЛЬНОГО 3-РАЗРЯДНОГО ЦАП

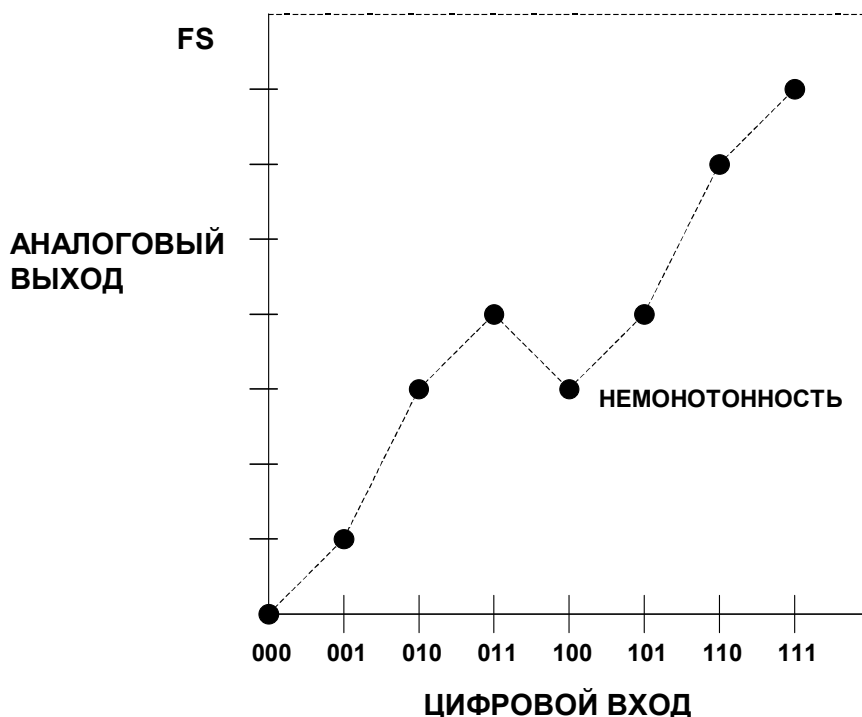


Рис. 2.12

а

ФУНКЦИЯ ПЕРЕДАЧИ НЕИДЕАЛЬНОГО 3-РАЗРЯДНОГО ЦАП

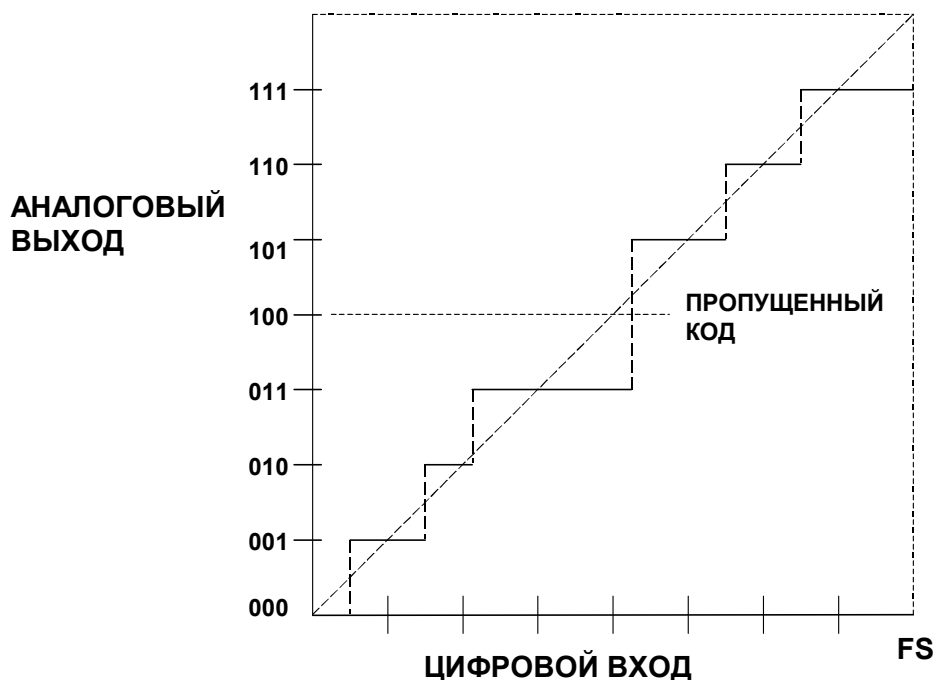


Рис. 2.13

Определение отсутствующих кодов сложнее, чем определение немонотонности. Все АЦП характеризуются некоторым шумом перехода (transition noise), иллюстрируемым на рис.2.14 (представьте себе этот шум как мелькание последней цифры цифрового вольтметра между соседними значениями). По мере роста разрешающей способности диапазон входного сигнала, соответствующий уровню шума перехода, может достичь или даже превысить значение сигнала, соответствующее единице младшего разряда. В таком случае, особенно в сочетании с отрицательной DNL- погрешностью, может случиться так, что появятся некоторые (или даже все) коды, где шум перехода будет присутствовать во всем диапазоне значений входных сигналов. Таким образом, возможно существование некоторых кодов, для которых не существует значения входного сигнала, при котором этот код гарантированно бы появился на выходе, хотя и может существовать некоторый диапазон входного сигнала, при котором иногда будет появляться этот код.

а

СОВМЕСТНОЕ ДЕЙСТВИЕ ШУМА ПЕРЕХОДА КОДА АЦП И ДИФФЕРЕНЦИАЛЬНОЙ НЕЛИНЕЙНОСТИ (DNL)

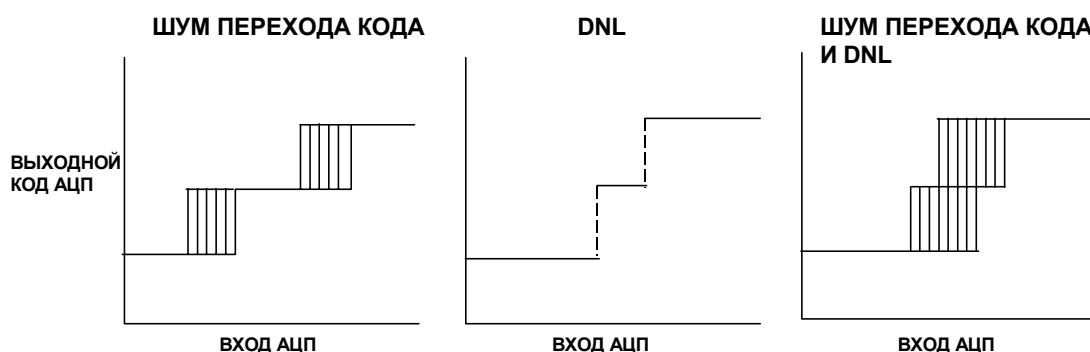


Рис. 2.14

Для АЦП с невысокой разрешающей способностью можно определить условие *отсутствия пропущенных кодов* как сочетание шума перехода и дифференциальной нелинейности, при котором гарантировался бы некоторый уровень (скажем, 0.2 LSB) свободного от шума кода для всех кодов. Однако при этом невозможно достичь столь высокой разрешающей способности, которую обеспечивают современные сигма-дельта АЦП, или даже меньшей разрешающей способности для АЦП с широкой полосой пропускания. В этих случаях производитель должен определять уровни шумов и разрешающую способность каким-нибудь другим способом. Не так важно, какой метод используется, но спецификация должна содержать четкое определение используемого метода и ожидаемые характеристики.

ПОГРЕШНОСТИ ПО ПЕРЕМЕННОМУ ТОКУ В ПРЕОБРАЗОВАТЕЛЯХ ДАННЫХ

В течение последнего десятилетия основное применение АЦП и ЦАП находят в дискретизации и восстановлении аналоговых сигналов переменного тока. Очень упрощенно, *дискретная система* – это система, где мгновенное значение сигнала переменного тока оцифровывается с периодическими интервалами. Полученные цифровые коды могут использоваться для сохранения формы сигнала (на компакт-дисках CD или цифровых магнитных лентах DAT), для сложных вычислений с отсчетами (цифровая обработка сигнала DSP), для фильтрации, компрессии и других операций. Обратная операция – восстановление – требуется, когда ряд цифровых кодов подается на ЦАП для восстановления формы аналогового сигнала. Здесь ярким примером является CD- или DAT-плеер, но эта технология очень широко используется также в телекоммуникациях, радио, синтезаторах и во многих других областях.

Преобразователи данных, используемые в этих приложениях, должны иметь высокую производительность при работе с сигналами переменного тока, но могут обходиться без хороших характеристик тракта по постоянному току. Первые высококачественные преобразователи, разработанные для таких приложений, обычно создавались с хорошими характеристиками по переменному току, но плохими или ненормированными характеристиками по постоянному току. Сегодня существуют более приемлемые проектные компромиссы, и большинство преобразователей имеют гарантированные

а

характеристики по постоянному и переменному току. Тем не менее, ЦАП для цифровой звукозаписи, которые должны быть чрезвычайно конкурентоспособны по цене, продаются со сравнительно низкими характеристиками по постоянному току, но не из-за низкой производительности по постоянному току, а из-за отсутствия проверки качества в ходе производства.

Если обсуждение параметров по постоянному току можно производить одновременно и для ЦАП, и для АЦП, то их характеристики по переменному току слишком различаются и потому заслуживают отдельного рассмотрения.

Искажения и шум в идеальном N-разрядном АЦП

К настоящему времени мы анализировали процесс дискретизации без рассмотрения такой операции АЦП, как квантование. Теперь будем трактовать АЦП как идеальный дискретизатор, но учитывать при этом эффекты квантования.

Идеальный N-разрядный АЦП имеет погрешности (по постоянному или переменному току), связанные только с процессами дискретизации и квантования. Максимальная погрешность, которую имеет идеальный АЦП при оцифровывании входного сигнала, равна $\pm 1/2$ LSB. Любой аналоговый сигнал, поступающий на вход идеального N-разрядного АЦП, производит шум квантования. Среднеквадратичное значение шума (измеренное по ширине полосы Найквиста, от постоянного тока до $f_s/2$) приблизительно равно весу наименьшего значащего разряда (LSB) q , деленному на $\sqrt{12}$. (см. Приложение 2). При этом предполагается, что амплитуда сигнала составляет, по крайней мере, несколько младших разрядов, так что выход АЦП изменяет свое состояние почти при каждом отсчете. Сигнал ошибки квантования от входного линейного пилообразного сигнала аппроксимируется сигналом пилообразной формы с максимальным размахом q , и его среднеквадратичное значение равно $q/\sqrt{12}$ (см. рис.2.15).

Можно показать, что отношение среднеквадратичного значения синусоидального сигнала, соответствующего полной шкале, к среднеквадратичному значению шума квантования (выраженное в дБ) равно:

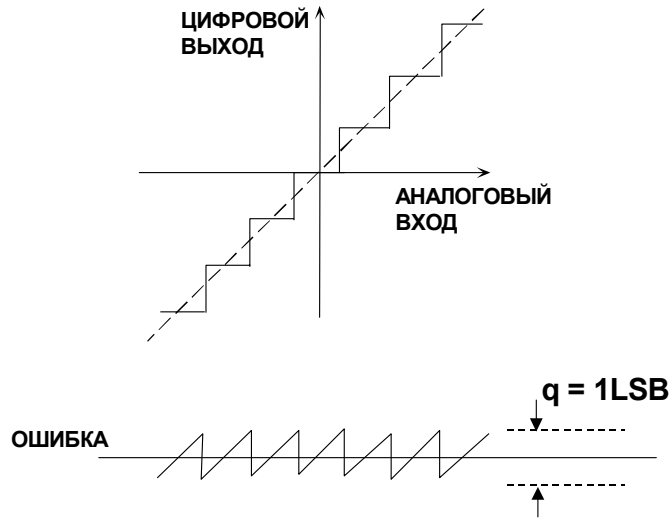
$$SNR = 6,02N + 1,76 \text{ дБ},$$

где N - число разрядов в идеальном АЦП. Это уравнение имеет силу только в том случае, если шум измерен на полной ширине полосы Найквиста от 0 до $f_s/2$, как показано на рис.2.16. Если ширина полосы сигнала BW меньше $f_s/2$, то значение отношения сигнал/шум (SNR) в пределах ширины полосы сигнала BW возрастет вследствие уменьшения энергии шума квантования в пределах ширины полосы. Для этого условия правильным будет следующее выражение:

$$SNR = 6,02N + 1,76\text{дБ} + 10\log\left(\frac{f_s}{2 \cdot BW}\right).$$

а

ШУМ КВАНТОВАНИЯ ИДЕАЛЬНОГО N-РАЗРЯДНОГО АЦП

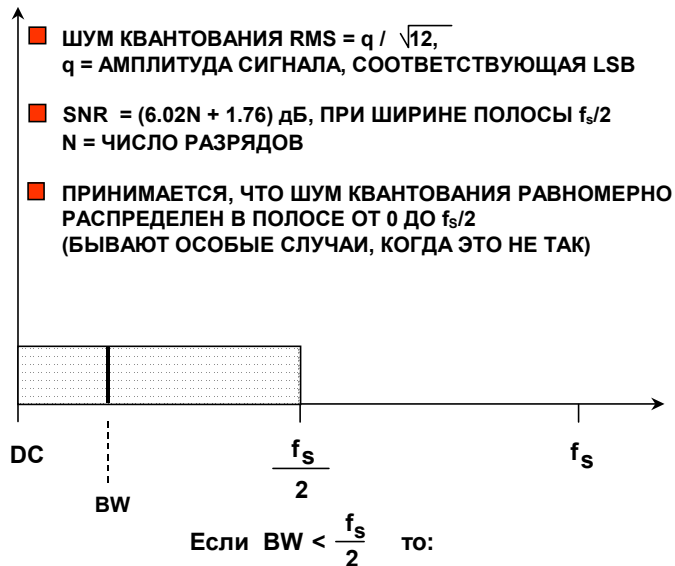


СРЕДНЕКВАДРАТИЧНОЕ ЗНАЧЕНИЕ ПОГРЕШНОСТИ = $q/\sqrt{12}$

С/Ш (SNR) = $6.02N + 1.76 \text{ дБ} + 10\log \left[\frac{f_s}{2 \cdot \text{BW}} \right]$ ДЛЯ СИНУСОИДАЛЬНОГО СИГНАЛА, СООТВЕТСТВУЮЩЕГО ПОЛНОЙ ШКАЛЕ АЦП

Рис. 2.15

СПЕКТР ШУМА КВАНТОВАНИЯ



$\text{SNR} = 6.02N + 1.76 \text{ дБ} + 10\log \left[\frac{f_s}{2 \cdot \text{BW}} \right]$ ДЛЯ СИНУСОИДАЛЬНОГО СИГНАЛА, СООТВЕТСТВУЮЩЕГО ПОЛНОЙ ШКАЛЕ АЦП

Рис. 2.16

а

Приведенное уравнение отражает состояние, именуемое избыточной дискретизацией, при котором частота дискретизации выше, чем удвоенная ширина полосы сигнала. Корректирующую величину часто называют запасом по дискретизации. Обратите внимание, что для данной ширины полосы сигнала удвоенная частота дискретизации увеличивает отношение сигнал/шум на 3 дБ.

Хотя среднеквадратичное значение шума довольно точно приближается к $q/\sqrt{12}$, его частотная область может сильно коррелировать с входным аналоговым сигналом. Например, корреляция будет больше для периодического сигнала малой амплитуды, чем для случайного сигнала большой амплитуды. Весьма часто в теории полагают, что шум квантования появляется в виде белого шума, распределенного равномерно по всей ширине полосы Найквиста от 0 до $f_s/2$. К сожалению, это не так. В случае сильной корреляции шум квантования будет сконцентрирован около каких угодно гармоник входного сигнала, но только не там, где бы Вы хотели.

В большинстве приложений входной сигнал АЦП представляет собой полосу частот (он обычно смешан с некоторым шумом) со случайным шумом квантования. Тем не менее, в приложениях спектрального анализа (или при выполнении БПФ на АЦП, использующих спектрально чистый синусоидальный сигнал, см. рис.2.17) корреляция между шумом квантования и сигналом зависит от отношения частоты дискретизации к частоте входного сигнала. Это демонстрируется на рис.2.18, где идеальный выход 12-разрядного АЦП представлен с использованием БПФ с 4096 точками. На левом графике отношение частоты дискретизации к входной частоте было выбрано равным точно 32, и худшая гармоника составляет 76 дБ от основной частоты. Правый график показывает эффект некоторого смещенного отношения, приводящего к относительному разбросу спектра случайного шума, благодаря которому динамический диапазон, свободный от гармоник (SFDR), достигает 92 дБ. В обоих случаях среднеквадратичное значение всех шумовых компонентов равно $q/\sqrt{12}$, но в первом случае шум сконцентрирован около гармоник основной частоты.

АНАЛИЗ ДИНАМИЧЕСКИХ ХАРАКТЕРИСТИК ИДЕАЛЬНОГО N-РАЗРЯДНОГО АЦП



Рис. 2.17

а

ВЛИЯНИЕ ОТНОШЕНИЯ ЧАСТОТЫ ДИСКРЕТИЗАЦИИ К ВХОДНОЙ ЧАСТОТЕ НА ДИНАМИЧЕСКИЙ ДИАПАЗОН (SFDR) ДЛЯ ИДЕАЛЬНОГО 12-РАЗРЯДНОГО АЦП

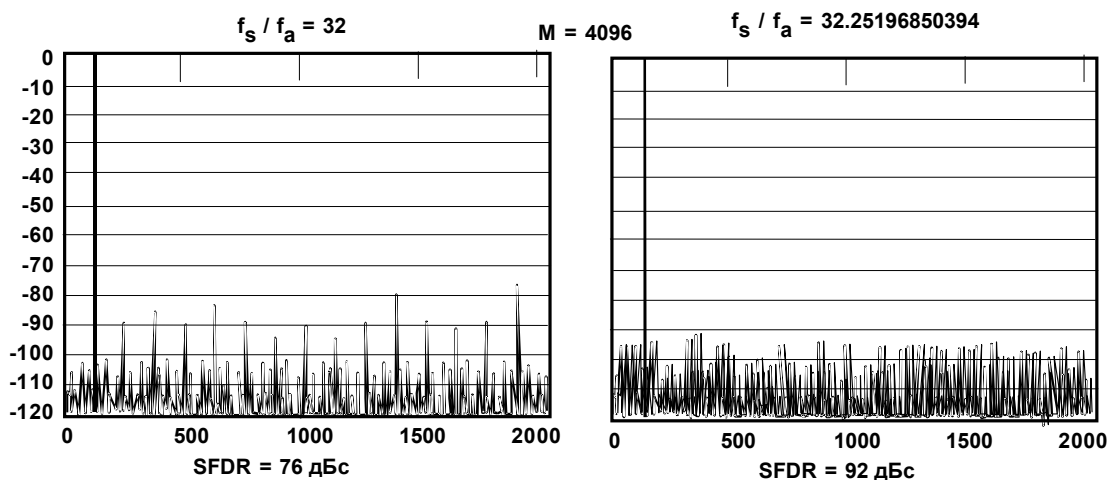


Рис. 2.18

Обратите внимание, что это изменение нелинейных искажений АЦП является следствием процесса дискретизации и корреляции ошибки квантования с входной частотой. В практике аналого-цифрового преобразования ошибка квантования вообще проявляется как случайный шум из-за случайной природы широкополосного входного сигнала и того факта, что обычно имеется небольшой шум системы, который действует, как подмешиваемый псевдослучайный сигнал при дальнейшем распределении спектра ошибки квантования.

Отмеченное очень важно, потому что для определения характеристик АЦП часто используется быстрое преобразование Фурье (БПФ) для монотонного синусоидального сигнала. Для точного измерения нелинейных искажений АЦП должны быть предприняты шаги, гарантирующие, что испытательная установка верно измеряет искажения, идущие от АЦП, с учетом эффекта корреляции шума квантования. Это достигается соответствующим выбором соотношения испытательных частот и частот дискретизации, а иногда – добавлением к входному сигналу некоторого шума (псевдослучайного сигнала).

Вернувшись к рис.2.18, обратите внимание, что минимальный уровень шума, полученного с помощью БПФ, приблизительно равен 100 дБ от полной шкалы АЦП, тогда как теоретическое отношение сигнал/шум 12-разрядного АЦП равно 74 дБ. Минимальный уровень шума от БПФ не равен отношению сигнал/шум АЦП, потому что БПФ действует, подобно аналоговому анализатору спектра с шириной полосы f_s/M , где M – число точек БПФ. Теоретически минимальный уровень шума БПФ равен $10 \log_{10}(M/2)$ дБ, то есть ниже минимального уровня шума квантования из-за так называемого выигрыша БПФ в отношении сигнал/шум (см. рис.2.19). В случае идеального 12-разрядного АЦП с отношением сигнал/шум 74 дБ, использование БПФ с 4096 точками привело бы к выигрышу в отношении сигнал/шум в $10 \log_{10}(4096/2) = 33$ дБ, приводя, таким образом, к предельному отношению сигнал/шум $74+33=107$ дБ. В действительности, минимальный уровень шума БПФ может быть еще уменьшен за счет увеличения количества точек БПФ, подобно тому, как минимальный уровень шума аналогового анализатора спектра может

а

быть уменьшен за счет сужения ширины полосы пропускания. При испытаниях АЦП, использующих БПФ, важно быть уверенным, что количество точек БПФ достаточно велико для того, чтобы нелинейные искажения можно было отличить от минимального уровня шума БПФ.

МИНИМАЛЬНЫЙ УРОВЕНЬ ШУМА ИДЕАЛЬНОГО 12-РАЗРЯДНОГО АЦП ПРИ 4096-ТОЧЕЧНОМ БПФ

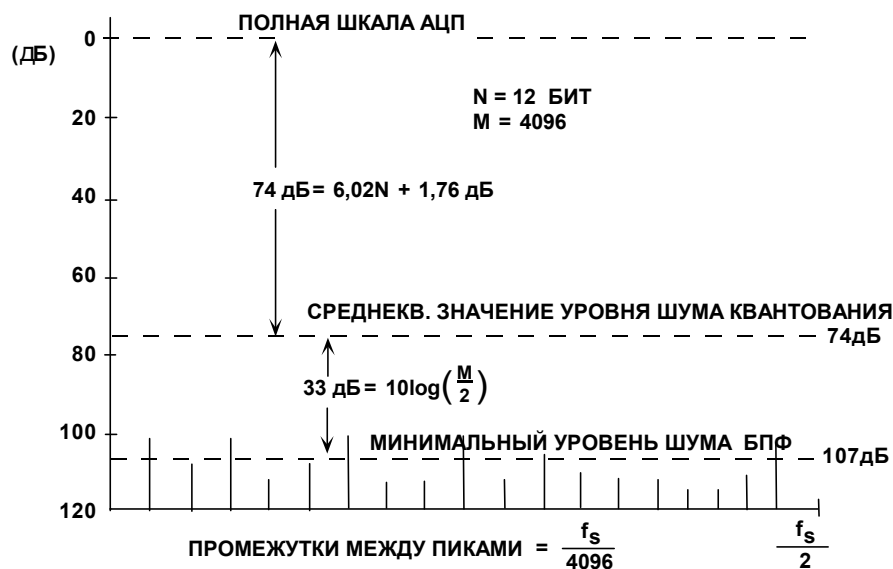


Рис. 2.19

Искажение и шум в реальных АЦП

На практике дискретизация сигнала в АЦП (с интегрированным устройством выборки-хранения УВХ), независимо от архитектуры, проходит при наличии шумов и искажений сигнала, как это показано на рис.2.20. Широкополосному аналоговому входному буферу присущи широкополосный шум, нелинейность и конечная ширина полосы. УВХ (SHA) вносит дальнейшую нелинейность, ограничение полосы и дрожание апертур. Квантующая часть АЦП вносит шум квантования, интегральную и дифференциальную нелинейности. В этом обсуждении предполагается, что сигналы с последовательных выходов АЦП загружаются в буферную память длиной M и что БПФ процессор имеет спектральный выход. Также допускается, что арифметические операции БПФ не вносят никаких существенных погрешностей в АЦП. Однако при проверке минимального выходного уровня шума должен быть рассмотрен выигрыш в отношении сигнал/шум БПФ (зависящий от M).

а

МОДЕЛЬ АЦП, ПОКАЗЫВАЮЩАЯ ИСТОЧНИКИ ШУМОВ И ИСКАЖЕНИЙ СИГНАЛА

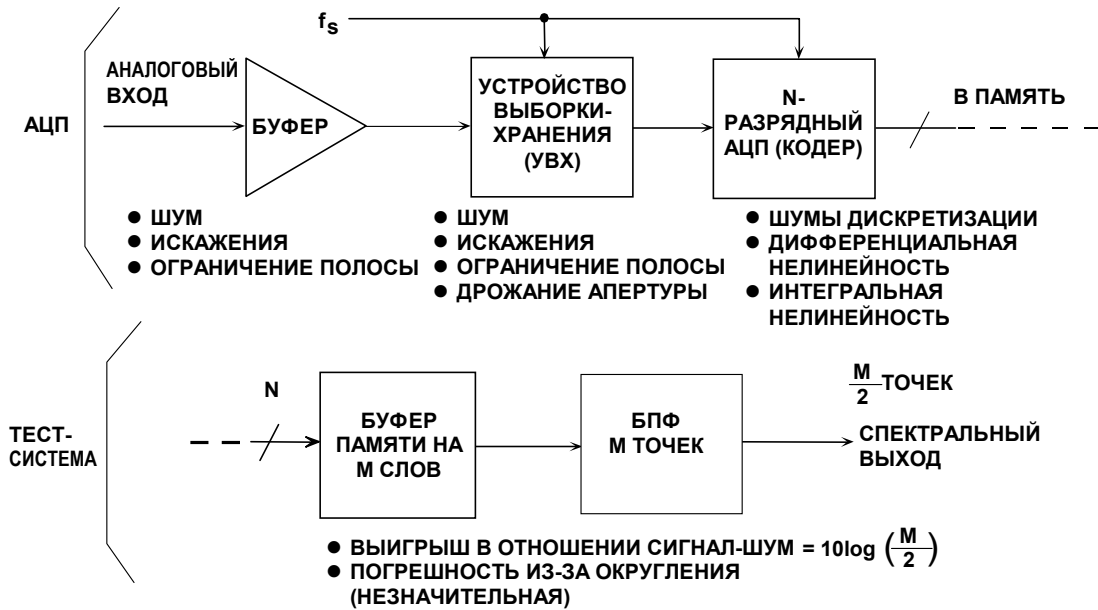


Рис. 2.20

Приведенный ко входу тепловой шум

Широкополосные внутренние цепи АЦП вносят некоторое среднее квадратичное значение широкополосного шума из-за воздействия тепла и дисперсии шума kT/C . Этот шум присутствует даже для сигналов постоянного тока и объясняет тот факт, что результатом работы большинства широкополосных (с высокой разрешающей способностью) АЦП является распределение кодов, сконцентрированное вокруг номинального значения входного сигнала (см. рис.2.21). Чтобы измерить его значение, вход АЦП заземляется, накапливается большое количество выходных отсчетов и составляется график в виде гистограммы (иногда упоминаемый как гистограмма с заземленным входом). Так как шум имеет почти Гауссово распределение, стандартное отклонение гистограммы легко рассчитывается (см. Приложение 3) в соответствии с эффективным среднее квадратичным значением входного шума. Обычной практикой для выражения среднее квадратичного значения шума является его выражение в терминах младших разрядов, хотя оно может быть выражено как среднее квадратичное значение напряжения.

Существуют различные способы описания характеристик аналогового тракта АЦП. На ранней стадии технологии АЦП (более 30 лет назад) не существовало серьезной стандартизации характеристик аналогового тракта, измерительного оборудования и методов или они не были хорошо изучены либо были недоступны. Спустя почти 30 лет производители и заказчики узнали больше об измерении динамических характеристик преобразователей. Спецификации наиболее популярных сегодня преобразователей представлены на рис.2.22. Фактически все спецификации представляют характеристики преобразователя в частотной области. БПФ является основой практически всех измерений и подробно обсуждается в разделе 5 этой книги.

а

ГИСТОГРАММА, ПОКАЗЫВАЮЩАЯ РАСПРЕДЕЛЕНИЕ ВЕРОЯТНОСТИ ВЫХОДНОГО КОДА ПРИ ДЕЙСТВИИ ШУМА НА ВХОД АЦП

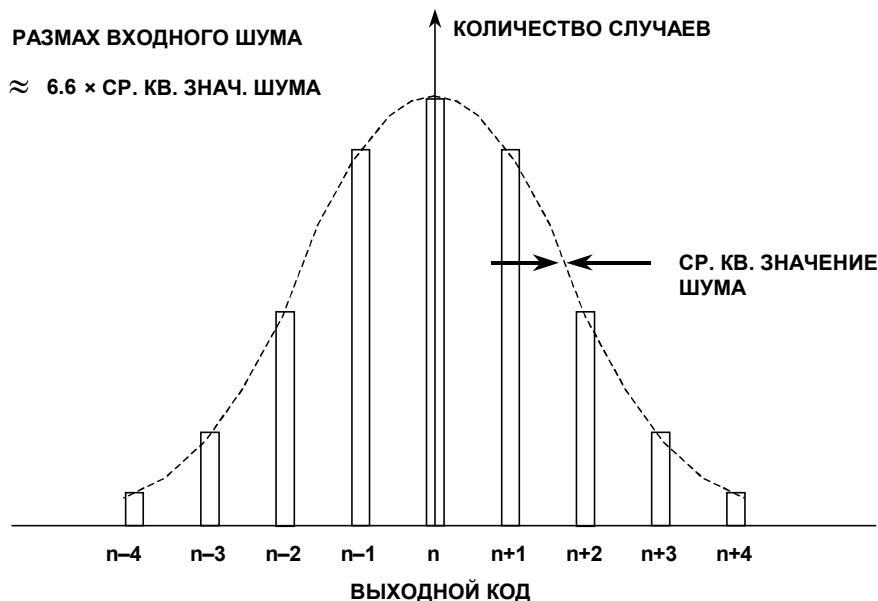


Рис. 2.21

ОПРЕДЕЛЯЮЩИЕ ДИНАМИЧЕСКИЕ ХАРАКТЕРИСТИКИ АЦП

- Гармонические искажения
- Наихудшие гармоники
- Общие гармонические искажения (THD)
- Общие гармонические искажения и шум (THD + N)
- Отношение сигнал-шум и искажения (SINAD, or S/N +D)
- Эффективное количество разрядов (ENOB)
- Отношение сигнал-шум (SNR)
- Аналоговая полоса пропускания (для полного сигнала, для малого сигнала)
- Динамический диапазон, свободный от гармоник (SFDR)
- Двухтональные интермодуляционные искажения
- Многотональные интермодуляционные искажения

Рис. 2.22

а

Явления интегральных и дифференциальных нелинейных искажений

Одним из важнейших для понимания аспектов при определении нелинейности АЦП и ЦАП является то, что передаточная функция преобразователя данных имеет особенности, которые отсутствуют в обычных линейных устройствах типа операционных усилителей (ОУ) или усилительных блоков. Полная интегральная нелинейность АЦП обусловлена интегральной нелинейностью входного буфера, УВХ (SHA) и полной интегральной нелинейностью передаточной функции АЦП. Но дифференциальная нелинейность, которая присутствует исключительно вследствие цифрового кодирования, может значительно изменяться в зависимости от принципов применяемого цифрового кодирования АЦП. Полная интегральная нелинейность дает составляющие искажений, у которых амплитуда изменяется в зависимости от амплитуды входного сигнала. В частности, интермодуляционные составляющие второго порядка увеличиваются на 2 дБ при увеличении сигнала на 1 дБ, а составляющие третьего порядка увеличиваются на 3 дБ при повышении уровня сигнала на 1 дБ.

Дифференциальная нелинейность в передаточной функции АЦП порождает гармоники, которые зависят не только от амплитуды сигнала, но и от положения точки дифференциальной нелинейности на передаточной функции АЦП. На рис.2.23 показаны две передаточные функции АЦП, имеющих различную дифференциальную нелинейность. Левая диаграмма показывает погрешность, которая имеет место при наличии нелинейности в середине шкалы. Поэтому сигнал, проходящий через эту точку, и при "больших", и при "малых" сигналах подвергается искажениям, не зависящим от относительной амплитуды сигнала. Правая диаграмма показывает другую передаточную функцию АЦП, которая имеет погрешности дифференциальной нелинейности в точках, соответствующих 1/4 и 3/4 полной шкалы. Сигналы, превышающие 1/2 шкалы АЦП, подвергнутся действию этих искажений, в то время как сигналы, не превышающие 1/2 шкалы размаха, не имеют искажений.

ТИПИЧНЫЙ ВИД ДИФФЕРЕНЦИАЛЬНОЙ НЕЛИНЕЙНОСТИ (DNL) АЦП/ЦАП

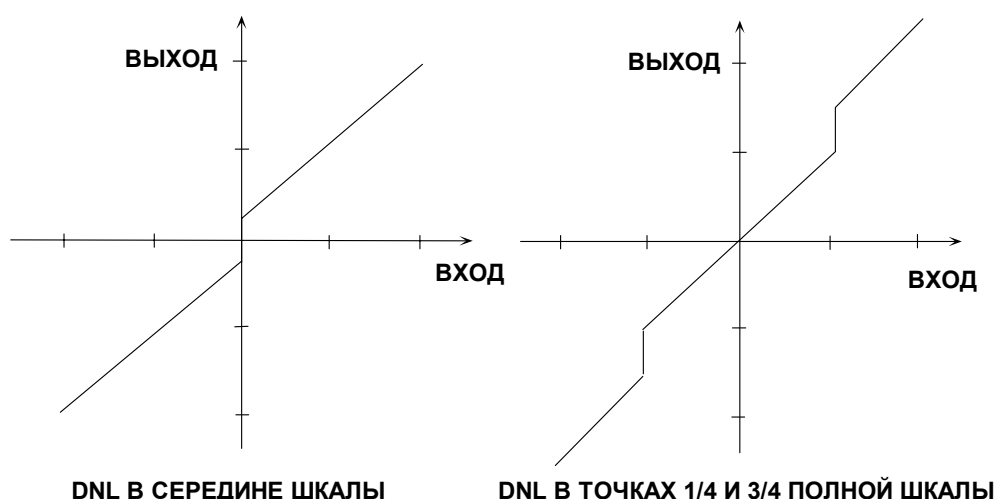


Рис. 2.23

а

Большинство быстродействующих АЦП разработаны так, чтобы дифференциальная нелинейность равномерно распределялась по всей ширине динамического диапазона АЦП. Поэтому для сигналов, которые находятся в пределах нескольких дБ полной шкалы АЦП, полная интегральная нелинейность передаточной функции определяет гармонические искажения. Для сигналов более низких уровней содержание гармоник определяется дифференциальной нелинейностью и в общем случае не уменьшается с уменьшением амплитуды сигнала.

Нелинейные искажения, наихудшая гармоника, общие нелинейные искажения (THD), общие нелинейные искажения плюс шум (THD + N)

Существует множество способов количественного описания искажений в АЦП. Анализ БПФ может использоваться для измерения амплитуды различных гармоник сигнала. Гармоники входного сигнала могут отличаться от других составляющих искажений их положением в частотном спектре. На рис.2.24 показан 7 МГц входной сигнал, дискретизированный с частотой 20 MSPS, и положение его первых девяти гармоник. Гармоники частоты f_a попадают на частоты, равные $|\pm Kf_s \pm n f_a|$, где n – порядок гармоники и $K = 0, 1, 2, 3, \dots$. В общем, только вторая и третья гармоники точно определены в технической документации, потому что они, как правило, наибольшие, хотя в некоторых случаях могут определять значение наихудшей гармоники (worst harmonic). Нелинейные искажения обычно определяются в дБс (децибелы ниже несущей), хотя на звуковых частотах они могут быть определены в процентах. Нелинейные искажения, как правило, определяются при входным сигнале с размахом, близким к полной шкале преобразователя (от 0,5 до 1 дБ ниже полной шкалы для предотвращения амплитудного ограничения), хотя возможно определение их и на любом другом уровне. Для сигналов с размахом, существенно меньшим полной шкалы, из-за дифференциальной нелинейности преобразователя другие составляющие (не прямые гармоники) могут ухудшать характеристики прибора.

РАСПОЛОЖЕНИЕ СОСТАВЛЯЮЩИХ ГАРМОНИЧЕСКИХ ИСКАЖЕНИЙ: ВХОДНОЙ СИГНАЛ = 7 МГц, СКОРОСТЬ (ЧАСТОТА) ДИСКРЕТИЗАЦИИ = 20 MSPS

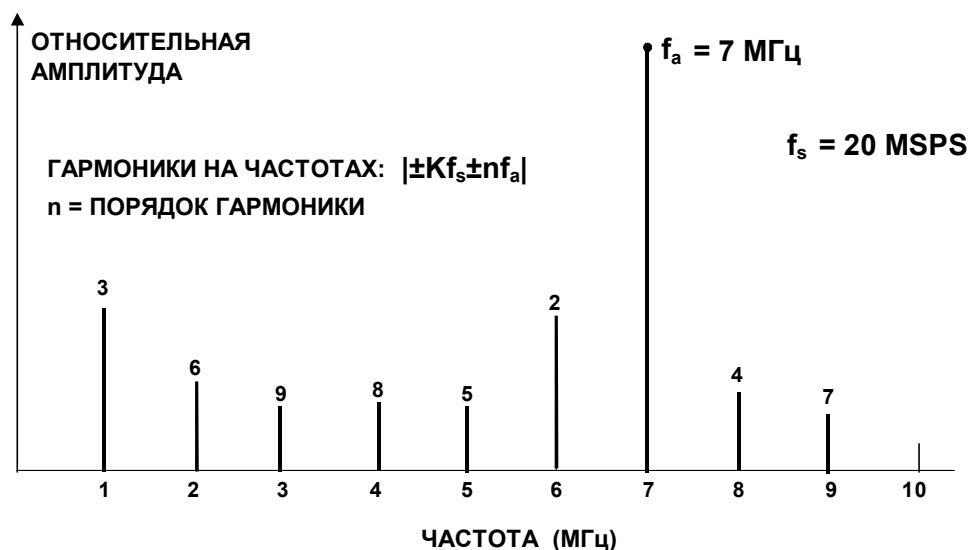


Рис. 2.24

а

Величина полных нелинейных искажений (THD) определяется как отношение среднеквадратичного значения основной частоты сигнала к среднему значению корня из суммы квадратов (root-sum-square) его гармоник (существенны только первые пять). Полные нелинейные искажения АЦП также определяются входным сигналом величиной, близкой к полной шкале АЦП, но могут быть найдены и на любом ином уровне.

Полные нелинейные искажения плюс шум (THD + N) являются отношением среднеквадратичного значения основной частоты сигнала к среднему значению корня из суммы квадратов (root-sum-square) его гармоник и всех шумовых компонент (исключая постоянную составляющую). Ширина полосы, в которой измеряется шум, должна быть задана. В случае БПФ ширина полосы занимает промежуток от 0 до $f_s/2$ (если ширина полосы измерения от 0 до $f_s/2$, $THD+N = SINAD$ – см. ниже).

Показатель сигнал/шум/искажения (SINAD), показатель сигнал/шум (SNR) и эффективное число разрядов (ENOB)

Показатель сигнал/шум/искажения (SINAD) и показатель сигнал/шум (SNR) заслуживают особого внимания, потому что все еще имеются некоторые разногласия между производителями АЦП относительно их точного определения. Сигнал/шум/искажения (SINAD, или $S/N+D$) – это отношение среднеквадратичного значения амплитуды сигнала к среднему значению корня из суммы квадратов (RSS) всех других спектральных компонентов, включая гармоники, но исключая постоянную составляющую. SINAD является хорошим индикатором общих динамических характеристик АЦП, таких как функция входной частоты, потому что включает все компоненты, которые создают шум (включая тепловой шум) и искажения. Он часто представляется в виде графика для различных амплитуд входного сигнала. Если ширина полосы сигнала и шума одинаковы, то $SINAD = THD+N$. Типичный график для 12-разрядного АЦП AD9220 с частотой дискретизации 10 MSPS представлен на рис.2.26.

ОТНОШЕНИЕ СИГНАЛ/(ШУМ И ИСКАЖЕНИЯ) (SINAD), ЭФФЕКТИВНАЯ РАЗРЯДНОСТЬ (ENOB), ОТНОШЕНИЕ СИГНАЛ/ШУМ (SNR)

- **SINAD (Отношение сигнала к шуму и искажениям):**
 - ◆ **Отношение среднеквадратичного значения амплитуды сигнала к среднему значению корня из суммы квадратов (RSS) всех остальных составляющих спектра, включая гармоники, но исключая постоянную составляющую.**

- **ENOB (Эффективная разрядность):**

$$ENOB = \frac{SINAD - 1.76 \text{ дБ}}{6.02 \text{ дБ}}$$

- **SNR (Отношение сигнал/шум или отношение сигнал/шум без гармоник):**
 - ◆ **Отношение среднеквадратичного значения амплитуды сигнала к среднему значению корня из суммы квадратов (RSS) всех остальных составляющих спектра, исключая первые пять гармоник и постоянную составляющую**

Рис. 2.25

а

ОТНОШЕНИЕ СИГНАЛ/(ШУМ И ИСКАЖЕНИЯ) (SINAD) И ЭФФЕКТИВНОЕ ЧИСЛО РАЗРЯДОВ (ENOB) ПРИ РАЗЛИЧНЫХ УРОВНЯХ ВХОДНОГО СИГНАЛА 12-РАЗРЯДНОГО, 10 MSPS АЦП AD9220

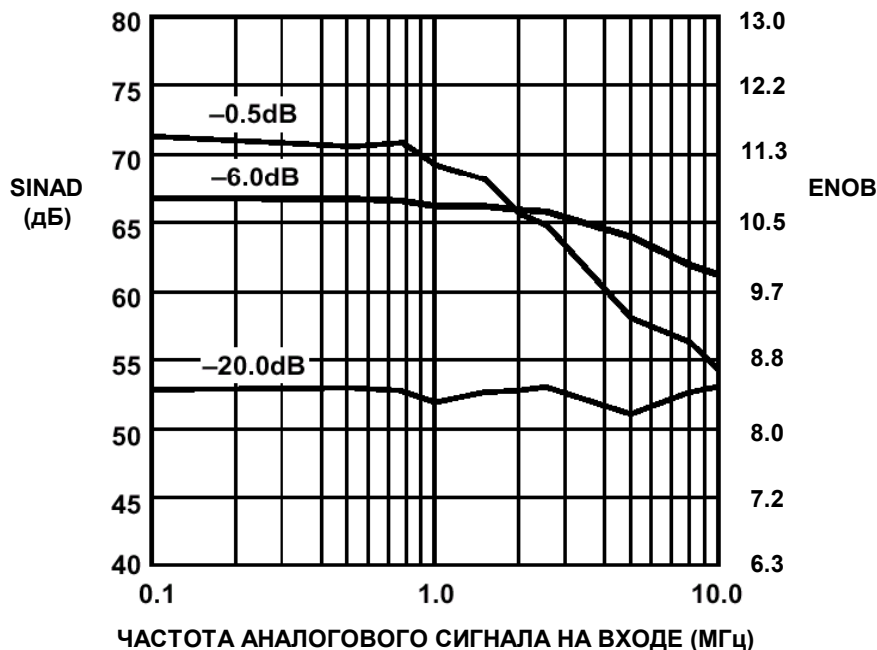


Рис. 2.26

График SINAD показывает, где характеристики АЦП по переменному току ухудшаются из-за искажений на высоких частотах, причем обычно этот график строится для частот, значительно превышающих частоту Найквиста для оценки характеристик в приложениях, использующих субдискретизацию. SINAD часто преобразуется в эффективное число разрядов (ENOB), используя выражение для теоретического отношения сигнал/шум идеального N-разрядного АЦП: $SNR = 6,02N + 1,76dB$. Уравнение решается для N, и значение отношения сигнал/шум заменяется на SINAD:

$$ENOB = \frac{SINAD - 1,76dB}{6,02}$$

Отношение сигнал/шум (SNR или SNR без гармоник) рассчитывается так же, как и SINAD, за исключением того, что из выражения исключаются гармоники сигнала и оставлены только шумовые составляющие. Практически, необходимо исключить только первые пять доминирующих гармоник. Показатель сигнал/шум будет ухудшаться на высоких частотах, но не так быстро как SINAD, так как из него исключены компоненты гармоник.

Во многих описаниях АЦП довольно свободно принимается, что SINAD равно SNR, так что инженер должен быть внимательным при интерпретации этих характеристик.

Аналоговая ширина полосы

Аналоговая ширина полосы АЦП – это та частота, на которой спектральный выход основной смещенной частоты (как было определено при анализе БПФ) уменьшается на 3

а

дБ. Она может быть определено как для малого сигнала (полоса пропускания малого сигнала SSBW), так и для сигнала на уровне полной шкалы (полоса пропускания максимального сигнала FPBW). Поэтому между производителями могут встречаться большие различия в характеристиках.

Как и для усилителя, спецификация аналоговой полосы пропускания преобразователя не предполагает, что АЦП поддерживает хорошие характеристики гармонических искажений во всей полосе частот. В действительности, SINAD (или ENOB) большинства АЦП начинает ухудшаться значительно раньше, чем частота входного сигнала приблизится к значению, соответствующему ослаблению на 3 дБ. На рис.2.27 представлены эффективное число разрядов (ENOB) и частотная характеристика входного сигнала, соответствующего полной шкале АЦП с FPBW 1 МГц, но ENOB начинает быстро понижаться на частотах, превышающих 100 кГц.

ЗАВИСИМОСТЬ УСИЛЕНИЯ (ПОЛОСА ПРОПУСКАНИЯ) АЦП И ЭФФЕКТИВНОЙ РАЗРЯДНОСТИ (ЕНОВ) ОТ ЧАСТОТЫ СИГНАЛА ПОКАЗАНЫ ВАЖНЫЕ ПАРАМЕТРЫ СПЕЦИФИКАЦИИ ЕНОВ

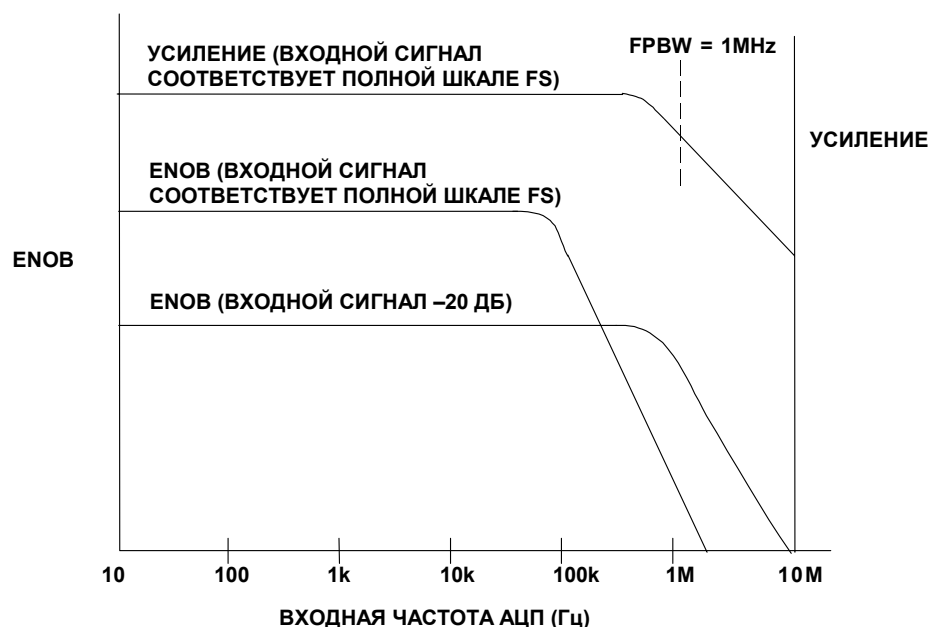


Рис. 2.27

Динамический диапазон, свободный от гармоник(SFDR)

Вероятно, наиболее значительным моментом для АЦП, используемых в коммуникационных приложениях, является их динамический диапазон, свободный от гармоник (SFDR). Спецификация SFDR для АЦП аналогична спецификации точки пересечения уравнений третьего порядка для смесителей и малозумящих усилителей (LNA). SFDR АЦП определяется как отношение среднеквадратичного значения амплитуды сигнала к среднеквадратичному значению пикового побочного спектрального состава, измеренного в первой зоне Найквиста от 0 до $f_s/2$. На графике SFDR строится как функция амплитуды сигнала и может быть выражен относительно амплитуды сигнала (дБс) или полной шкалы АЦП (dBFS), как показано на рис.2.28.

а

СВОБОДНЫЙ ОТ ГАРМОНИК ДИНАМИЧЕСКИЙ ДИАПАЗОН (SFDR)

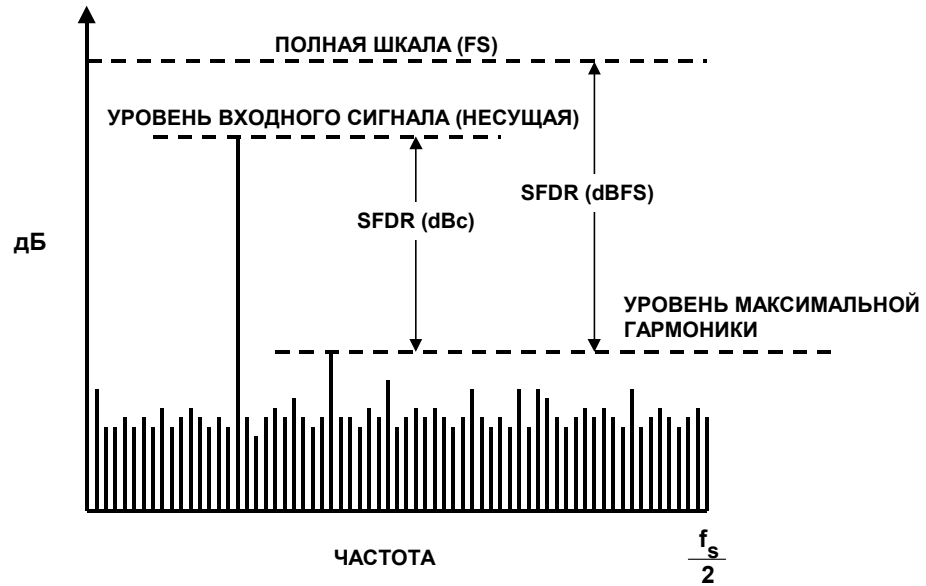


Рис. 2.28

Для сигнала, имеющего амплитуду, близкую к полной шкале АЦП, пиковая спектральная линия определяется несколькими первыми гармониками основной частоты. Но когда сигнал опускается на несколько дБ ниже полной шкалы, появляются другие спектральные линии, которые не являются прямыми гармониками входного сигнала. Это, как обсуждалось ранее, происходит из-за дифференциальной нелинейности передаточной функции АЦП. Поэтому, SFDR учитывает все источники искажения, независимо от их происхождения.

Широкополосный 12-разрядный АЦП AD9042 с частотой дискретизации 41 MSPS, является АЦП, разработанным для коммуникационных приложений, где SFDR очень важен. На рис.2.29 представлены характеристики SFDR для входного сигнала 19,5 МГц, дискретизированного с частотой 41 MSPS. Обратите внимание, что минимум SFDR в 80 дБс получен во всей первой зоне Найквиста (от 0 до 20 МГц). На графике также показано значение SFDR, выраженное как dBFS.

В общем случае SFDR существенно больше, чем теоретическое значение отношения сигнал/шум N-разрядного АЦП ($6,02N + 1,76$ дБ). Например, 12-разрядный АЦП AD9042 с SFDR 80 дБс имеет типичное отношение сигнал/шум 65 дБс (теоретическое 74 дБ). Это объясняется тем, что есть существенное различие между измерениями искажений и шума. Выигрыш в отношении сигнал/шум БПФ (33 дБ для БПФ с 4096 точками) допускает существование частотных линий значительно ниже наблюдаемого минимального уровня шума. Увеличение разрешающей способности АЦП может увеличивать отношение сигнал/шум АЦП, но не обязательно улучшает его SFDR.

а

ЗАВИСИМОСТЬ SFDR ОТ ВХОДНОЙ МОЩНОСТИ ДЛЯ 12-РАЗРЯДНОГО 41 MSPS АЦП AD9042

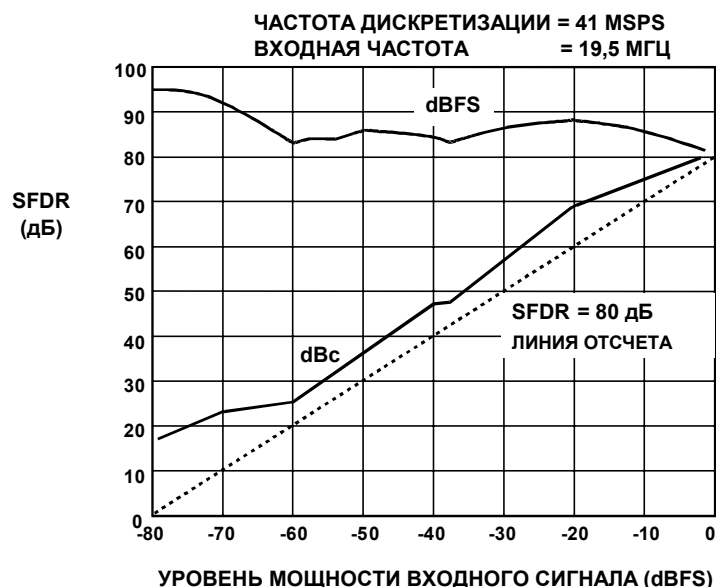


Рис. 2.29

Двухтональные интермодуляционные искажения (IMD)

Двухтональные интермодуляционные искажения (IMD) измеряют, подавая на АЦП два спектрально чистых синусоидальных сигнала с частотами f_1 и f_2 , обычно довольно близкими друг к другу. Амплитуда каждой компоненты устанавливается на 6 дБ ниже полной шкалы для того, чтобы АЦП не входил в ограничение при совпадении сигналов по фазе. На рис.2.30 показано местоположение составляющих второго и третьего порядка. Обратите внимание, что составляющие второго порядка приходятся на те частоты, которые могут быть удалены цифровыми фильтрами. Но составляющие третьего порядка $2f_2 - f_1$ и $2f_1 - f_2$ располагаются близко к исходным сигналам и их более трудно фильтровать. Если не определено иное, двухтональные интермодуляционные искажения (IMD) относятся к этим составляющим третьего порядка. Значение интермодуляционных искажений выражается в дБс относительно уровня любой из двух первоначальных частот, а не их суммы.

Обратите внимание, что, если частоты имеют значения, близкие к $f_s/4$, то третьи гармоники основных частот могут затруднить идентификацию компонент $2f_2 - f_1$ и $2f_1 - f_2$. Это происходит потому, что третья гармоника $f_s/4$ равна $3f_s/4$ и она, соответственно, порождает компоненту $f_s - 3f_s/4 = f_s/4$. Точно также, если две частоты располагаются близко к $f_s/3$, то вторая гармоника может мешать измерениям по той же причине: вторая гармоника $f_s/3$ равна $2f_s/3$ и она, соответственно, порождает компоненту $f_s - 2f_s/3 = f_s/3$.

а

СОСТАВЛЯЮЩИЕ 2-ГО И 3-ГО ПОРЯДКА В РЕЗУЛЬТАТЕ ВОЗДЕЙСТВИЯ ДВУХТОНАЛЬНОГО СИГНАЛА $f_1 = 5$ МГц, $f_2 = 6$ МГц

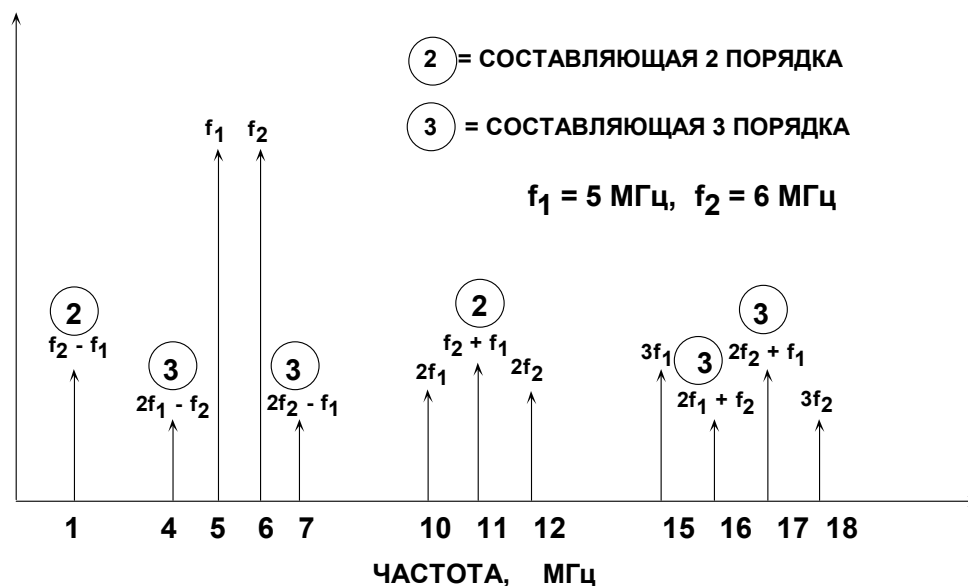


Рис. 2.30

Концепция точек пересечения кривых второго и третьего порядка неправильна для АЦП, потому что уровень составляющих искажений изменяется непредсказуемым образом (он не является функцией амплитуды сигнала). АЦП начинает ограничивать сигналы, приближающиеся к полной шкале, не постепенно (точка ограничения на 1 дБ отсутствует). Как только сигнал превышает диапазон изменения входных сигналов АЦП, АЦП действует в качестве жесткого ограничителя, внезапно создавая критические искажения из-за амплитудного ограничения. С другой стороны, для сигналов, значительно меньших полной шкалы, уровень искажений остается относительно постоянным и не зависимым от уровня сигнала.

В коммуникационных приложениях часто измеряется многотональный SFDR. Большим числом тонов более точно моделируется широкополосный частотный спектр систем сотовой телефонии типа AMPS и GSM. На рис.2.31 представлены характеристики 4-тональной интермодуляции 12-разрядного АЦП AD6640 с быстродействием 65 MSPS. Большое значение SFDR увеличивает способность приемника фиксировать слабые сигналы в присутствии сильных и предотвращать маскировку слабых сигналов интермодуляционными помехами сильных.

а

ТЕСТИРОВАНИЕ МНОГОТОНАЛЬНЫМ СИГНАЛОМ: 12-РАЗРЯДНЫЙ 65 MSPS АЦП AD6640

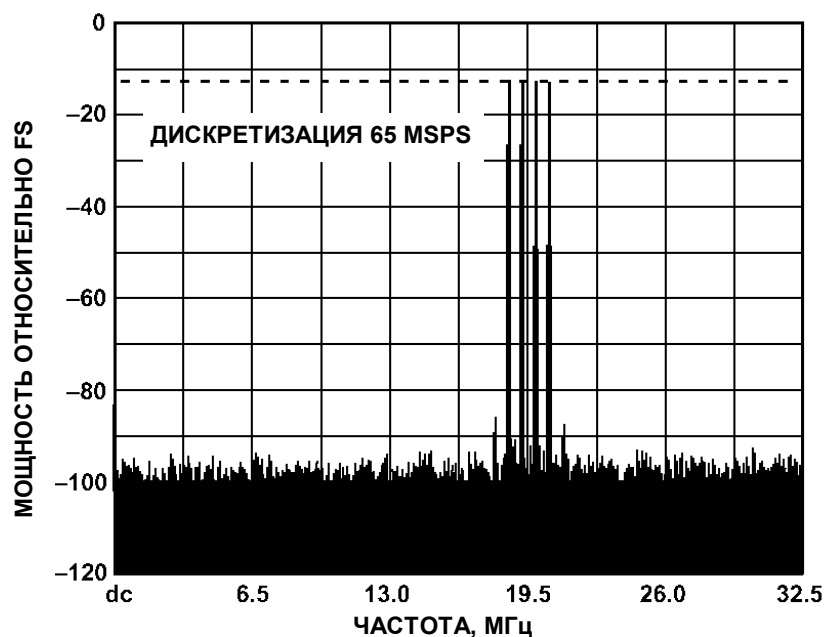


Рис. 2.31

Уровень собственных шумов (NPR)

Проверка уровня собственных шумов широко применяется для измерения характеристики передачи линии связи, использующей систему с многоканальным доступом с частотным разделением каналов (FDMA) (см. Приложение 4). В типичной FDMA-системе звуковые каналы шириной 4 кГц загружаются в "частотный стек" для передачи через коаксиальный кабель, радиорелейную станцию микроволнового диапазона или спутниковое оборудование. На приемном конце системы FDMA данные демультиплексируются и возвращаются к 4 кГц индивидуальным каналам основной полосы частот. В FDMA системе, имеющей более 100 каналов, сигнал FDMA может быть аппроксимирован Гауссовым шумом с соответствующей шириной полосы. Индивидуальный 4 кГц канал может быть проверен на предмет собственных шумов, используя узкополосный режекторный фильтр и специально настроенный приемник, который измеряет мощность шума внутри 4 кГц полосы подавления (см. рис.2.32).

Измерения уровня собственных шумов (NPR) производятся весьма просто. Среднеквадратичное значение мощности шума сигнала внутри полосы подавления измеряется узкополосным приемником при отключенном режекторном фильтре. Затем подключается режекторный фильтр и измеряется остаточный шум внутри канала. Отношение этих двух значений, выраженное в дБ, является уровнем собственных шумов (NPR). Для соответствующей характеристики системы проверяется несколько интервалов частот в пределах шумовой полосы (в области низких, средних и высоких частот). Измерение уровня собственных шумов в АЦП осуществляется подобным же образом, за исключением использования аналогового приемника, который заменен буферной памятью и процессором БПФ.

а

ИЗМЕРЕНИЕ УРОВНЯ СОБСТВЕННЫХ ШУМОВ (NPR)

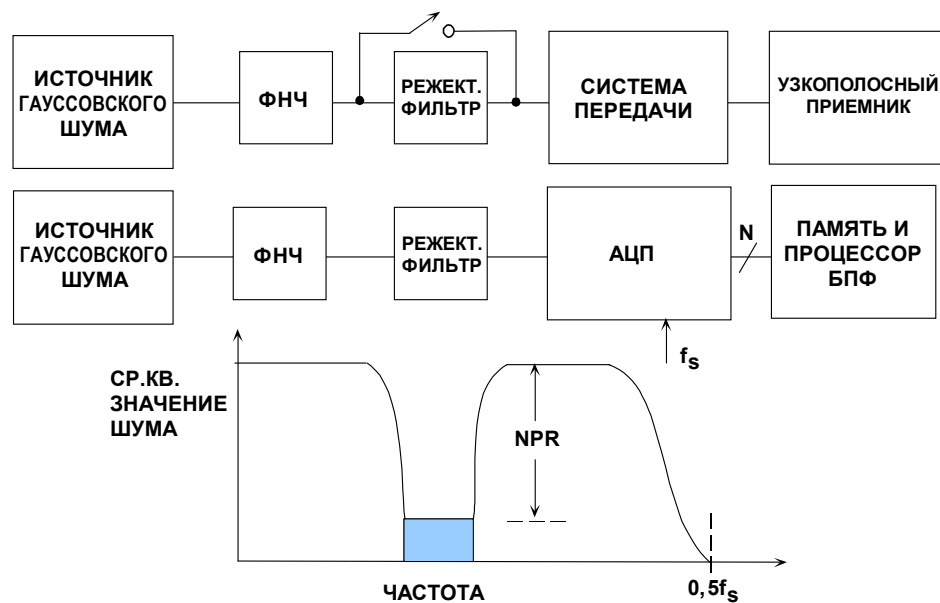


Рис. 2.32

Обычно уровень собственных шумов (NPR) представляется на графике. График NPR отображает функцию среднеквадратичного значения уровня шума в пиковом диапазоне системы. Для очень низкого уровня широкополосного сигнала нежелательным (в нецифровых системах) является, прежде всего, тепловой шум, который независим от уровня входного широкополосного сигнала. В этой части кривой увеличение на 1 дБ подаваемого широкополосного входного сигнала вызывает увеличение уровня собственных шумов на 1 дБ. По мере увеличения уровня широкополосного входного сигнала, усилители в системе начинают работать с перегрузкой, создавая интермодуляционные помехи, которые увеличивают уровень шума системы. По мере того, как входной сигнал продолжает увеличиваться, усиливаются эффекты "шумовой перегрузки" и NPR существенно уменьшается. FDMA-системы обычно работают в режиме, когда уровень подаваемого широкополосного сигнала на несколько дБ ниже точки максимума уровня собственных шумов.

В цифровой системе с АЦП шум в пределах интервала является, прежде всего, шумом квантования, если используются низкие уровни входного широкополосного сигнала. В этой части кривая NPR имеет линейную зависимость. По мере того, как уровень широкополосного входного сигнала увеличивается, некоторое время сохраняется линейное соответствие между уровнем входного шума и NPR. Но на некотором уровне шум амплитудного ограничения, вызванный жестким ограничивающим действием АЦП, начинает преобладать. Теоретическая кривая для 10-, 11- и 12-разрядных АЦП представлена на рис.2.33 (см. Приложение 5).

В многоканальных высокочастотных коммуникационных системах NPR может, также, использоваться для моделирования искажений, вызванных большим количеством индивидуальных каналов, подобно тому, как это имеет место в FDMA-системе. При этом режекторный фильтр помещается между источником шума и АЦП, и результат расчета БПФ используется вместо аналогового приемника. Для AD9042 ширина полосы режекторного фильтра устанавливается в несколько мегагерц, как показано на рис.2.34. Здесь уровень собственных шумов (NPR) – это глубина режекции. Идеальный АЦП

а

генерирует только шум квантования внутри полосы режекции, но на практике существуют дополнительные шумовые компоненты из-за интермодуляционных искажений, вызванных нелинейностью АЦП. Обратите внимание, что уровень собственных шумов достигает 60 дБ, тогда как расчетное значение равно 62,7 дБ.

ТЕОРЕТИЧЕСКИЙ УРОВЕНЬ ШУМА (NPR) ДЛЯ 10, 11 И 12-РАЗРЯДНЫХ АЦП

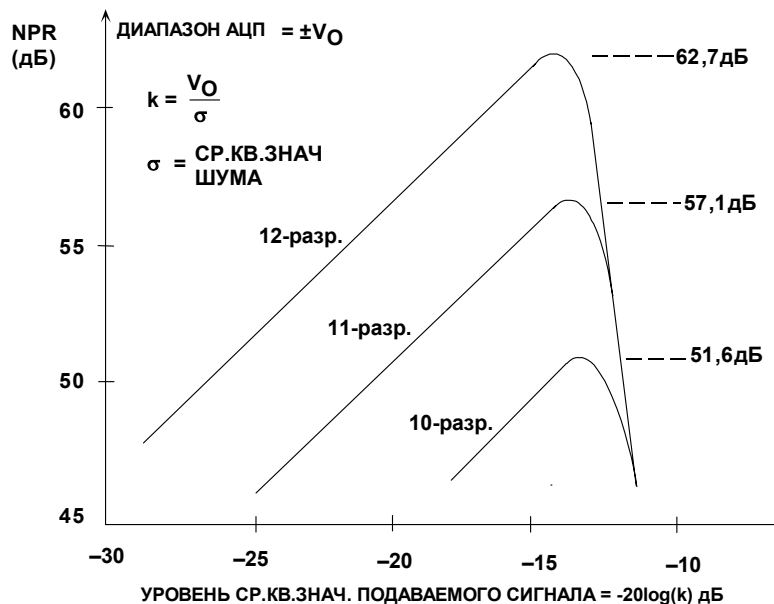


Рис. 2.33

12-РАЗРЯДНЫЙ 41 MSPS АЦП AD9042: ИЗМЕРЕННЫЙ NPR 60 ДБ (РАСЧЕТНОЕ ЗНАЧЕНИЕ 62,7 ДБ)

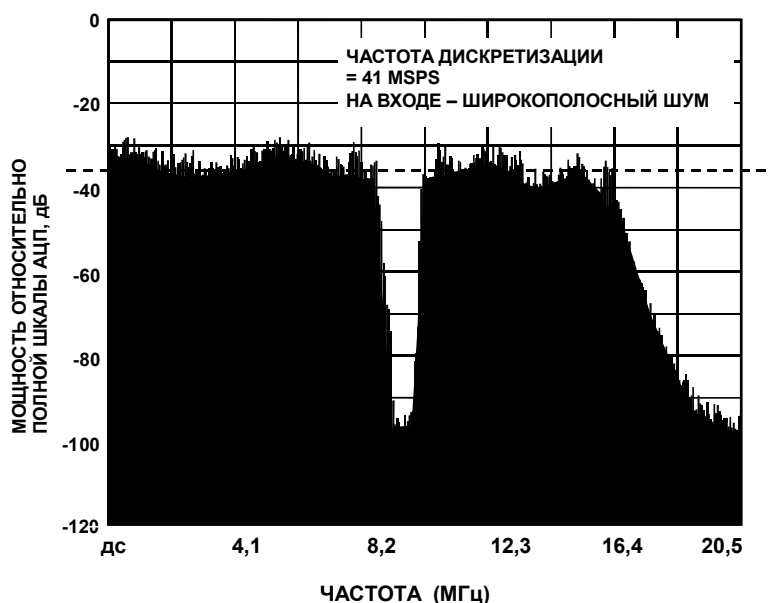


Рис. 2.34

а

Дрожание аперттуры и аперттурная задержка

Другая причина того, что отношение сигнал/шум (SNR) АЦП уменьшается с увеличением входной частоты, может быть выведена из рис.2.35, который показывает эффекты дрожания фазы в дискретизаторе АЦП (или внутреннем в УВХ). Дрожание фазы вызывает ошибку напряжения, которая является функцией скорости нарастания сигнала и приводит к существенному ухудшению отношения сигнал/шум, как показано на рис.2.36. Это довольно серьезный эффект, особенно на высоких частотах входного сигнала. Поэтому, должна соблюдаться особая осторожность при минимизации фазового шума в дискретизаторах любой системы. Эта осторожность должна распространяться на все компоненты, в которых присутствуют тактовые сигналы: непосредственно генератор (например, таймер серии 555 не отвечает требованиям, но даже кварцевый генератор может создавать проблемы, если он используется в активном устройстве совместно с шумной логикой); тракт передачи (эти тактовые сигналы очень уязвимы к помехам всех видов) и фазовый шум, вводимый в АЦП или ЦАП. Общим источником фазового шума в преобразователе является дрожание аперттуры в общей цепи УВХ (SHA).

ВЛИЯНИЕ ДРОЖАНИЯ АПЕРТУРЫ И ФАЗОВОГО ШУМА ТАКОВОГО ГЕНЕРАТОРА

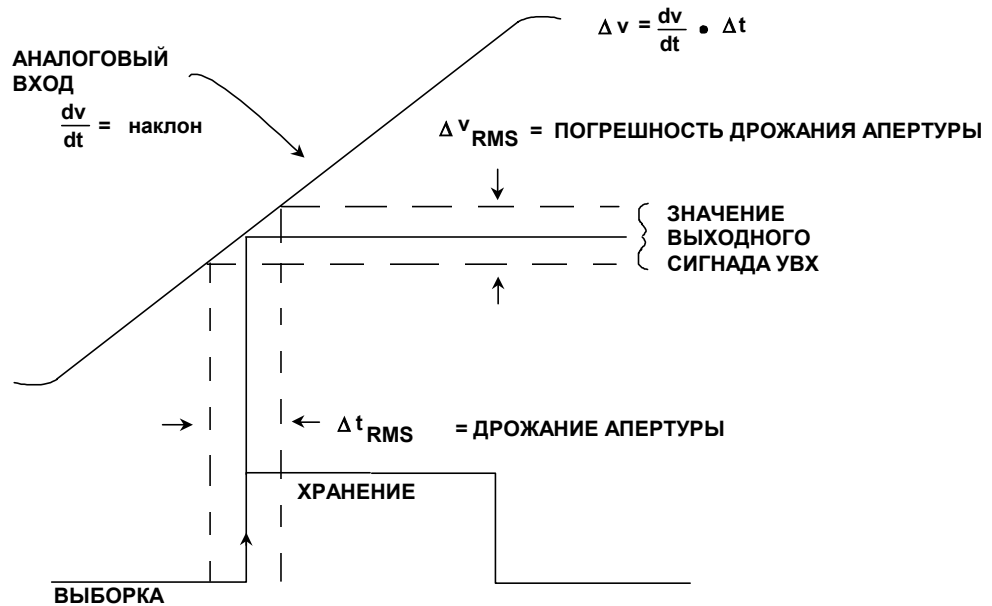


Рис. 2.35

Два десятилетия назад схемы дискретизации АЦП создавались отдельно из УВХ (SHA) и АЦП. Проектирование интерфейса было трудным делом, и главная причина этого заключалась в дрожании аперттуры в УВХ. Сегодня большинство систем дискретизации использует схемы дискретизации АЦП с интегрированной схемой УВХ. Дрожание аперттуры УВХ может быть не определено явным образом в спецификации, но это не служит поводом для беспокойства, если SNR или ENOB ясно определены. Иными словами, гарантия определенного отношения сигнал/шум (SNR) является неявной гарантией определенного адекватного значения дрожания аперттуры. А использование дополнительной высококачественной схемы УВХ иногда приводит к улучшению

а

значений эффективного числа разрядов (ENOB) на высоких частотах даже в лучших дискретизирующих АЦП и может оказаться более выгодным, чем замена АЦП на более дорогую модель.

Необходимо отметить, что существует также фиксированный компонент, который присутствует при определении апертury дискретизации АЦП. Этот компонент, обычно называемый временем эффективной апертурной задержки, не дает ошибки. Его наличие приводит к появлению интервала между временем команды АЦП на дискретизацию и временем, когда получен реальный отсчет (см. рис.2.37). Интервал может быть положительным или отрицательным. Изменение или допуск этого параметра важны в приложениях с одновременной дискретизации с помощью двух АЦП или в других приложениях типа I- и Q-демодуляции, где два АЦП требуют совместной синхронизации.

УХУДШЕНИЕ SNR ИЗ-ЗА ДРОЖАНИЯ ФАЗЫ СИГНАЛА СИНХРОНИЗАЦИИ АЦП

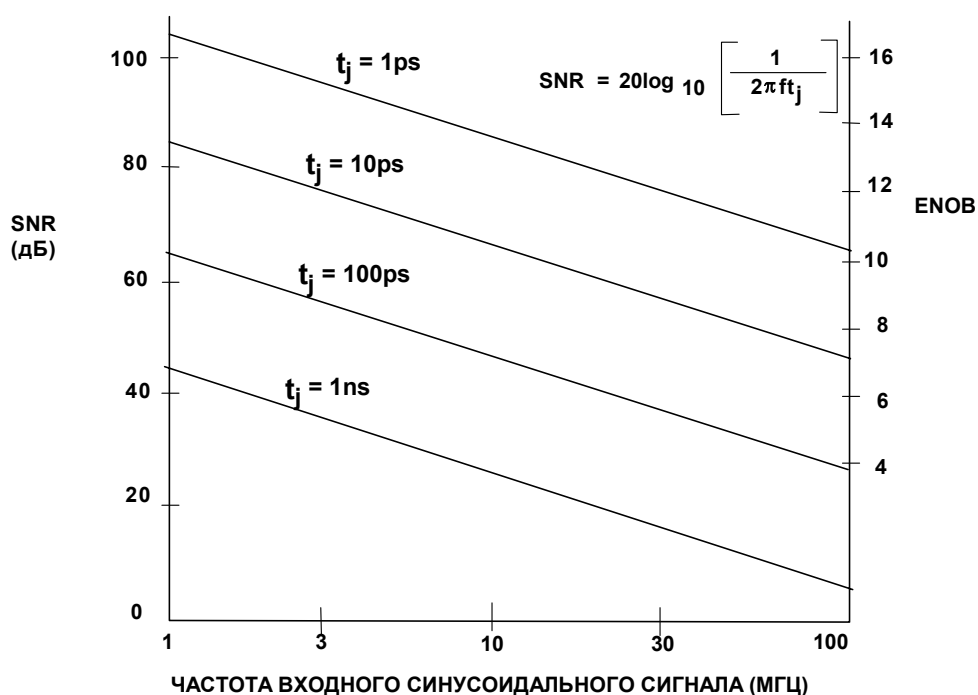


Рис. 2.36

а

ВРЕМЯ ЭФФЕКТИВНОЙ АПЕРТУРНОЙ ЗАДЕРЖКИ

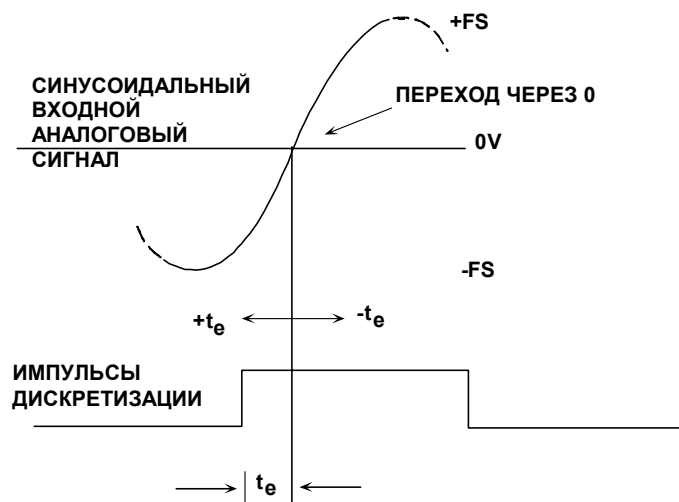


Рис. 2.37

ДИНАМИЧЕСКИЕ ХАРАКТЕРИСТИКИ ЦАП

Очевидно, что для цифро-аналогового преобразователя наиболее важными являются такие характеристики сигнала, как время установки (settling time), всплеск сигнала вследствие перерегулирования при изменении сигнала на выходе ЦАП, называемый далее ложным сигналом (выбросом, glitch), искажения и свободный от помех динамический диапазон сигнала (SFDR).

Время установки ЦАП – это время от начала изменения цифрового кода до момента, когда сигнал стабилизируется в пределах некоторого диапазона ошибки, как это показано на рис.2.38. Сравнить времена установки усилителей трудно, так как их диапазоны ошибки могут отличаться от усилителя к усилителю, но диапазон ошибки ЦАП практически не меняется и равен ± 1 или $\pm 1/2$ LSB.

Время установки ЦАП состоит из четырех различных периодов: время переключения (в течение которого цифровое переключение осуществлено, но на выходе нет изменений), переходное время (slewing time) (в течение которого скорость изменения выходного сигнала ограничена скоростью нарастания на выходе ЦАП), время восстановления (recovery time) (когда ЦАП восстанавливает значение после быстрого перехода и может быть выброс на фронте) и линейное время установки (linear settling time) (когда значение на выходе ЦАП приближается к его конечной величине экспоненциально или почти экспоненциально). Если переходное время мало по сравнению с тремя другими (как это обычно бывает в случае с токовыми выходами ЦАП), то время установки не будет существенно зависеть от перепада уровня выходного сигнала. С другой стороны, если переходное время занимает существенную часть общего времени, то время установки будет тем больше, чем больше величина перепада.

а

ВРЕМЯ УСТАНОВЛЕНИЯ ЦАП

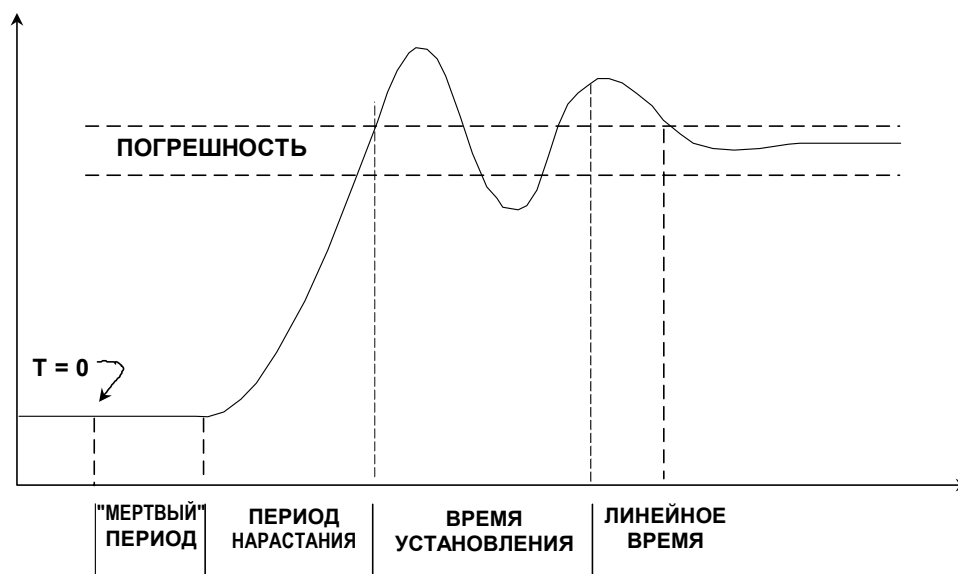


Рис. 2.38

В идеале изменения на выходе ЦАП от одной величины до другой должны проходить монотонно. На практике возможно появление выброса фронта (overshoot), отрицательного выброса перед фронтом (undershoot) или то и другое одновременно (см. рис.2.39). Это неконтролируемое состояние выхода ЦАП в течение перехода известно как ложный сигнал. Он может являться результатом двух явлений: емкостной связи цифровых переходов с аналоговым выходом и свойствами некоторых ключей в ЦАП, работающих более быстро, чем другие, и создающих временные выбросы по уровню.

ПЕРЕХОДНАЯ ХАРАКТЕРИСТИКА ЦАП (С ПАРАЗИТНЫМИ ВЫБРОСАМИ)

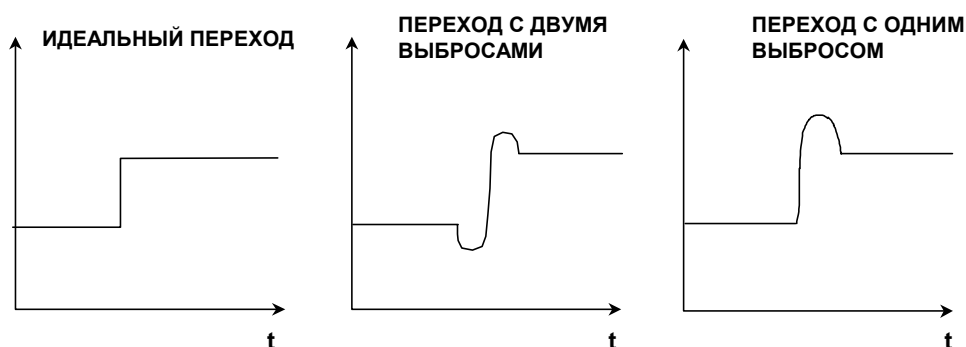


Рис. 2.38

Емкостная связь часто дает примерно равные положительные и отрицательные выбросы (иногда называемые дуплетом ложного сигнала), которые далее в большей или меньшей

а

степени удастся компенсировать. Ложный сигнал, появляющийся вследствие несинхронности переключения, в общем случае униполярен, имеет большую амплитуду и представляет собой гораздо большую проблему.

Для оценки ложных сигналов измеряют площадь, огибаемую фронтом такого сигнала, и иногда неточно называемую энергией ложного сигнала. Употребление термина "энергия ложного сигнала" неправильно, так как площадь под кривой ложного сигнала измеряется вольт-секундами (Volt-seconds) (или более вероятно μV - секунды или pV - секунды). Пиковая площадь под кривой ложного сигнала – это площадь под максимальным положительным или отрицательным импульсом ложного сигнала. Площадь импульса ложного сигнала – это область под вольт-секундной кривой, которая может быть рассчитана после аппроксимации формы сигнала треугольниками и вычисления их площади посредством вычитания отрицательной площади из положительной. Величина ложного сигнала, порождаемого переходом между кодами 0111...111 и 1000...000, обычно является самой большой. Ложные сигналы в других точках перехода кода (таких как 1/4 и 3/4 полной шкалы) обычно имеют меньшую величину. На рис.2.40 отмечен ложный сигнал быстрого ЦАП с малым значением такого сигнала в середине его динамического диапазона. Пиковые и импульсные площади ложного сигнала рассчитываются с использованием треугольников, как это было описано выше. Время установки измеряется с момента, когда сигнал покидает начальный диапазон ошибки в 1 LSB, и до момента, когда он входит и остается в пределах конечного диапазона ошибки в 1 LSB. Размер шага между областями перехода также равен 1 LSB.

ВЫБРОСЫ СИГНАЛА ЦАП: СУММАРНАЯ ПЛОЩАДЬ ИМПУЛЬСА – 1.34 пВ·с ВРЕМЯ УСТАНОВЛЕНИЯ – 4.5 нс

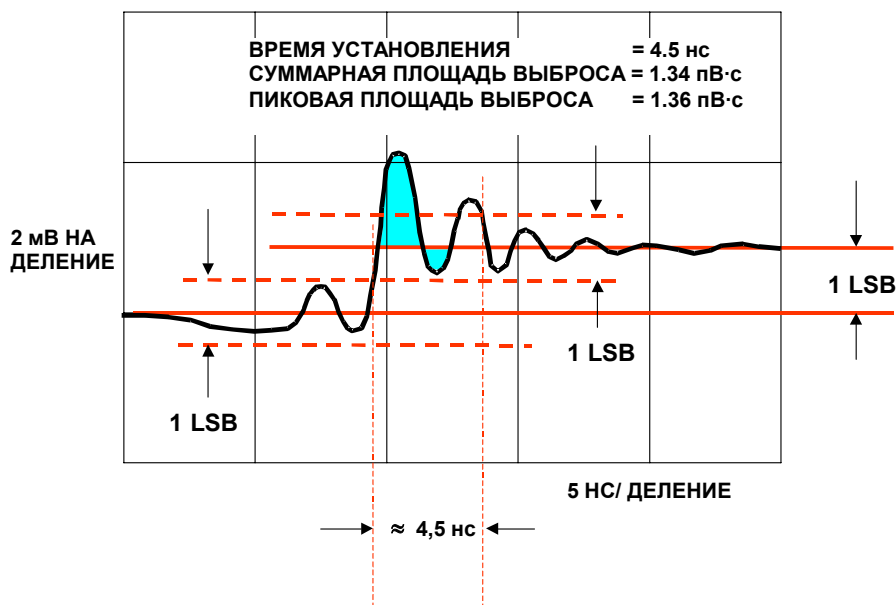


Рис. 2.40

Время установки ЦАП важно в таких приложениях, как блок развертки RGB-сигнала в мониторах, а характеристики в частотной области типа SFDR в общем случае более важны в телекоммуникациях.

а

Если мы рассмотрим спектр сигнала, преобразованного в ЦАП из цифровой формы, то обнаружим, что, в дополнение к ожидаемому спектру (который будет содержать одну или больше частот, в зависимости от природы восстановленного сигнала), в нем также будет присутствовать шум и составляющие искажений. Искажения могут быть определены в терминах нелинейных искажений, динамического диапазона, свободного от помех (SFDR), интермодуляционных искажений или всех вышеперечисленных вместе. Под нелинейными искажениями понимается отношение высших гармоник к гармонике основной частоты, на которой восстановлен чистый (теоретически) синусоидальный сигнал. Эти искажения являются наиболее общей характеристикой искажений. Динамический диапазон, свободный от помех (SFDR) – это отношение энергии наибольшей из гармоник (обычно – это гармоника основной частоты, но не обязательно) к энергии основной частоты.

При восстановлении с помощью ЦАП синусоидального сигнала, сгенерированного в системе прямого цифрового синтеза (DDS), зависимые от кода ложные сигналы формируют гармоники как внутри полосы, так и за ее пределами. Сигнал проходит через уровень, соответствующий середине шкалы, дважды за один цикл. Поэтому ложный сигнал имеет вторую синусоидальную гармонику, как показано на рис.2.41. Обратите внимание, что гармоники более высокого порядка, составляющие которых попадают в основную полосу Найквиста (от 0 до $f_s/2$), не фильтруются.

ПРОЯВЛЕНИЕ КОД-ЗАВИСИМЫХ ВЫБРОСОВ СИГНАЛА В СПЕКТРЕ ВЫХОДНОГО СИГНАЛА

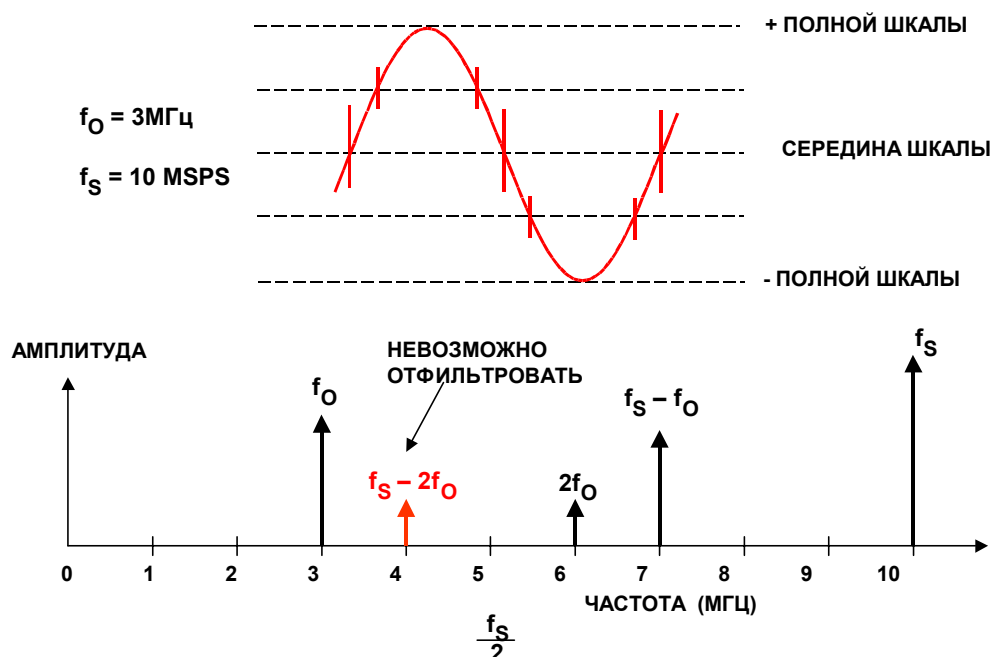


Рис. 2.41

Руководствуясь одной лишь характеристикой площади под кривой ложного сигнала, трудно предсказать нелинейное искажение или SFDR. Другие факторы, такие как полная линейность ЦАП, также способствуют возникновению искажений. Поэтому, общепринята проверка восстановительной способности ЦАП в частотной области (с использованием анализатора спектра) на различных тактовых и сигнальных частотах, как показано на

а

рис.2.43. Типичное значение SFDR для 14-разрядного ЦАП AD9772 представлено на рис.2.44. Тактовая частота равна 65 MSPS и сигнальная частота анализируется до 25 МГц. Как и в случае с АЦП, шум квантования будет проявляться в виде увеличенного нелинейного искажения, если отношение между частотой синхронизации и выходной частотой ЦАП представляется целым числом. Таких отношений нужно избегать при измерении SFDR.

ИСТОЧНИКИ ИСКАЖЕНИЙ В ЦАП СИНТЕЗАТОРОВ ЧАСТОТЫ (DDS)

- Разрешающая способность ЦАП
- Общая нелинейность
- Дифференциальная нелинейность
- Код-зависимые выбросы
- Отношение тактовой частоты к выходной (даже для идеального ЦАП)
- Аналитический подход затруднен!

Рис. 2.42

СХЕМА ИЗМЕРЕНИЯ SFDR ЦИФРО-АНАЛОГОВОГО ПРЕОБРАЗОВАТЕЛЯ

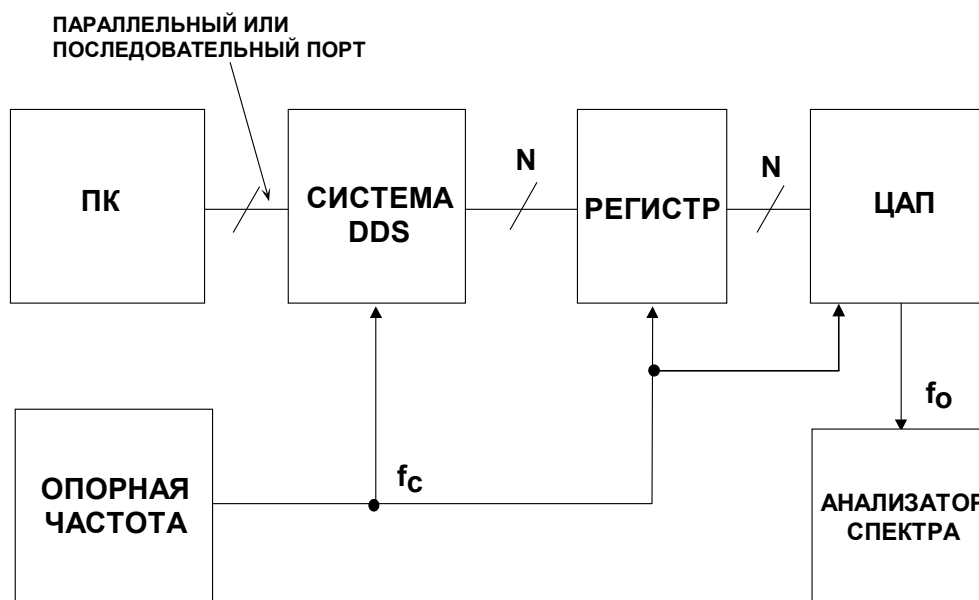


Рис. 2.43

а

Спад частотной характеристики (Rolloff) ЦАП $\sin(x)/x$

Выходной сигнал ЦАП может быть представлен в виде ряда прямоугольных импульсов шириной, равной обратной величине тактовой частоты, как показано на рис.2.45. Обратите внимание, что восстановленная амплитуда сигнала составляет -3,92 дБ на частоте Найквиста $f_c/2$. Для компенсации этого эффекта в большинстве случаев достаточно использовать инверсный фильтр $\sin(x)/x$. Значения составляющих основной частоты также ослабляются функцией $\sin(x)/x$.

СПЕКТР ВЫХОДНОГО СИГНАЛА ЦАП С ОГИБАЮЩЕЙ ВИДА $\sin X/X$ (АМПЛИТУДА НОРМАЛИЗОВАННАЯ)

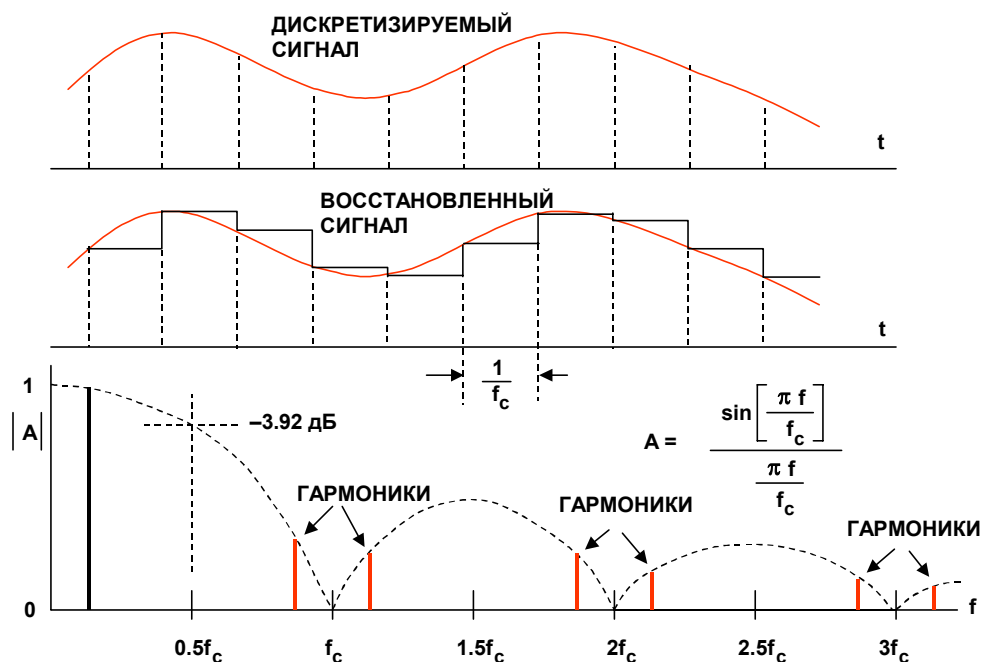


Рис. 2.45

a

СПИСОК ЛИТЕРАТУРЫ

1. **Active and Passive Electrical Wave Filter Catalog**, Vol. 34, TTE, Incorporated, 2251 Barry Avenue, Los Angeles, CA 90064.
2. W. R. Bennett, "Spectra of Quantized Signals", **Bell System Technical Journal**, No. 27, July 1948, pp. 446-472.
3. Steve Ruscak and Larry Singer, *Using Histogram Techniques to Measure A/D Converter Noise*, **Analog Dialogue**, Vol. 29-2, 1995.
4. M.J. Tant, **The White Noise Book**, Marconi Instruments, July 1974.
5. G.A. Gray and G.W. Zeoli, *Quantization and Saturation Noise due to A/D Conversion*, **IEEE Trans. Aerospace and Electronic Systems**, Jan. 1971, pp. 222-223.
6. Chuck Lane, *A 10-bit 60MSPS Flash ADC*, **Proceedings of the 1989 Bipolar Circuits and Technology Meeting**, IEEE Catalog No. 89CH2771-4, September 1989, pp. 44-47.
7. F.D. Waldhauer, *Analog to Digital Converter*, **U.S. Patent 3-187-325**, 1965.
8. J.O. Edson and H.H. Henning, *Broadband Codecs for an Experimental 224Mb/s PCM Terminal*, **Bell System Technical Journal**, 44, November 1965, pp. 1887-1940.
9. J.S. Mayo, *Experimental 224Mb/s PCM Terminals*, **Bell System Technical Journal**, 44, November 1965, pp. 1813-1941.
10. Hermann Schmid, **Electronic Analog/Digital Conversions**, Van Nostrand Reinhold Company, New York, 1970.
11. Carl Moreland, *An 8-bit 150MSPS Serial ADC*, **1995 ISSCC Digest of Technical Papers**, Vol. 38, p. 272.
12. Roy Gosser and Frank Murden, *A 12-bit 50MSPS Two-Stage A/D Converter*, **1995 ISSCC Digest of Technical Papers**, p. 278.
13. Carl Moreland, **An Analog-to-Digital Converter Using Serial-Ripple Architecture**, Masters' Thesis, Florida State University College of Engineering, Department of Electrical Engineering, 1995.
14. **Practical Analog Design Techniques**, Analog Devices, 1995, Chapter 4, 5, and 8.
15. **Linear Design Seminar**, Analog Devices, 1995, Chapter 4, 5.
16. **System Applications Guide**, Analog Devices, 1993, Chapter 12, 13, 15,16.

a

17. **Amplifier Applications Guide**, Analog Devices, 1992, Chapter 7.
18. Walt Kester, *Drive Circuitry is Critical to High-Speed Sampling ADCs*, **Electronic Design Special Analog Issue**, Nov. 7, 1994, pp. 43-50.
19. Walt Kester, *Basic Characteristics Distinguish Sampling A/D Converters*, **EDN**, Sept. 3, 1992, pp. 135-144.
20. Walt Kester, *Peripheral Circuits Can Make or Break Sampling ADC Systems*, **EDN**, Oct. 1, 1992, pp. 97-105.
21. Walt Kester, *Layout, Grounding, and Filtering Complete Sampling ADC System*, **EDN**, Oct. 15, 1992, pp. 127-134.
22. Robert A. Witte, *Distortion Measurements Using a Spectrum Analyzer*, **RF Design**, September, 1992, pp. 75-84.
23. Walt Kester, *Confused About Amplifier Distortion Specs?*, **Analog Dialogue**, 27-1, 1993, pp. 27-29.
24. **System Applications Guide**, Analog Devices, 1993, Chapter 16.
25. Frederick J. Harris, *On the Use of Windows for Harmonic Analysis with the Discrete Fourier Transform*, **IEEE Proceedings**, Vol. 66, No. 1, Jan. 1978, pp. 51-83.
26. Joey Doernberg, Hae-Seung Lee, David A. Hodges, *Full Speed Testing of A/D Converters*, **IEEE Journal of Solid State Circuits**, Vol. SC-19, No. 6, Dec. 1984, pp. 820-827.
27. Brendan Coleman, Pat Meehan, John Reidy and Pat Weeks, *Coherent Sampling Helps When Specifying DSP A/D Converters*, **EDN**, October 15, 1987, pp. 145-152.
28. Robert W. Ramierez, **The FFT: Fundamentals and Concepts**, Prentice-Hall, 1985.
29. R. B. Blackman and J. W. Tukey, **The Measurement of Power Spectra**, Dover Publications, New York, 1958.
30. James J. Colotti, *Digital Dynamic Analysis of A/D Conversion Systems Through Evaluation Software Based on FFT/DFT Analysis*, **RF Expo East 1987 Proceedings**, Cardiff Publishing Co., pp. 245-272.
31. **HP Journal**, Nov. 1982, Vol. 33, No. 11.
32. **HP Product Note 5180A-2**.
33. **HP Journal**, April 1988, Vol. 39, No. 2.
34. **HP Journal**, June 1988, Vol. 39, No. 3.

a

35. Dan Sheingold, Editor, **Analog-to-Digital Conversion Handbook, Third Edition**, Prentice-Hall, 1986.
36. Lawrence Rabiner and Bernard Gold, **Theory and Application of Digital Signal Processing**, Prentice-Hall, 1975.
37. Matthew Mahoney, **DSP-Based Testing of Analog and Mixed-Signal Circuits**, IEEE Computer Society Press, Washington, D.C., 1987.
38. **IEEE Trial-Use Standard for Digitizing Waveform Recorders**, No. 1057-1988.
39. Richard J. Higgins, **Digital Signal Processing in VLSI**, Prentice-Hall, 1990.
40. M. S. Ghausi and K. R. Laker, **Modern Filter Design: Active RC and Switched Capacitors**, Prentice Hall, 1981.
41. Mathcad™ 4.0 software package available from MathSoft, Inc., 201 Broadway, Cambridge MA, 02139.
42. Howard E. Hilton, *A 10MHz Analog-to-Digital Converter with 110dB Linearity*, **H.P. Journal**, October 1993, pp. 105-112.

а

ГЛАВА 3

АНАЛОГО-ЦИФРОВЫЕ ПРЕОБРАЗОВАТЕЛИ ДЛЯ ЗАДАЧ ЦИФРОВОЙ ОБРАБОТКИ СИГНАЛОВ

- АЦП последовательного приближения
- Сигма-дельта АЦП
- Параллельные (Flash) АЦП
- Конвейерные (Pipelined) АЦП
- АЦП последовательного счета (Bit-Per-Stage)

а

ГЛАВА 3

АНАЛОГО-ЦИФРОВЫЕ ПРЕОБРАЗОВАТЕЛИ ДЛЯ ЗАДАЧ ЦИФРОВОЙ ОБРАБОТКИ СИГНАЛОВ

Уолт Кестер, Джеймс Брайэнт

Современная тенденция развития АЦП и ЦАП состоит в увеличении скоростей и разрешающих способностей обработки сигналов при уменьшении уровня потребляемой мощности и напряжения питания. Современные преобразователи данных в основном работают на напряжениях питания $\pm 5V$ (двуполярный источник питания), $+5V$ или $+3V$ (однополярный источник питания). В действительности, число устройств с напряжением питания $+3V$ быстро увеличивается вследствие появления для них большого числа новых рынков сбыта, таких как цифровые камеры, видеокамеры и телефоны сотовой связи. Эта тенденция создала множество проектных и конструкторских проблем, которым не придавалось значения в разработках более ранних преобразователей, использовавших стандартное напряжение питания $\pm 15V$ и диапазон изменения входных сигналов $\pm 10V$.

Более низкие напряжения питания подразумевают меньшие диапазоны входных напряжений и, следовательно, большую чувствительность к разного вида помехам: шумам от источников питания, некачественным опорным и цифровым сигналам, электромагнитным воздействиям и радиопомехам (EMI/RFI) и, возможно наиболее важный момент — к некачественным методам развязки, заземления и размещения компонентов на печатной плате. В АЦП с однополярным источником питания диапазон изменения входных сигналов обычно отсчитывается вне связи с «землей». При этом проблема заключается в поиске совместимых усилителей с однополярным питанием для нормализации сигнала на входе АЦП и в осуществлении необходимого сдвига входного сигнала относительно «земли» в приложениях с непосредственной связью.

Несмотря на эти проблемы, в настоящее время доступны компоненты, которые обладают чрезвычайно высокими разрешающими способностями при низких напряжениях питания и малой потребляемой мощности. Этот раздел посвящен обсуждению проблемы создания приложений на базе таких компонентов и описанию методов успешного проектирования таких систем.

Наиболее популярные АЦП для приложений цифровой обработки сигналов (ЦОС) базируются на пяти основных архитектурах: АЦП последовательного приближения, сигма-дельта АЦП, АЦП параллельной обработки (flash), АЦП конвейерной обработки (pipelined) и АЦП последовательного счета (Bit-Per-Stage).

а

ОСОБЕННОСТИ АЦП С НИЗКИМ НАПРЯЖЕНИЕМ ПИТАНИЯ И МАЛЫМ ЭНЕРГОПОТРЕБЛЕНИЕМ

- Типичные напряжения питания: ± 5 В, +5 В, +5/+3 В, +3 В
- Из-за малой амплитуды сигнала устройство чувствительно ко всем типам шумов (собственные шумы устройства, источника питания, логики и т.п.)
- Шумы устройства увеличиваются вследствие малых токов
- Ограничения по величине синфазного входного напряжения
- Критичен выбор входного буферного усилителя
- При высокой разрешающей способности желателен режим автокалибровки

Рис. 3.1

АЦП ДЛЯ ЦИФРОВЫХ СИГНАЛЬНЫХ ПРОЦЕССОРОВ

- Последовательного приближения:
 - ◆ Разрешение до 16 бит
 - ◆ Минимальное время задержки, может работать в режиме однократного преобразования
 - ◆ Используются в мультиплексированных системах сбора данных
- Сигма-Дельта ($\Sigma\Delta$):
 - ◆ Разрешение до 24 бит
 - ◆ Превосходная дифференциальная линейность
 - ◆ Встроенный цифровой фильтр (возможно с линейной фазой)
 - ◆ Большое время задержки (время ожидания выходного сигнала)
 - ◆ Трудно мультиплексировать входы из-за временных затрат на установку цифрового фильтра
- Высокоскоростные архитектуры:
 - ◆ Параллельный АЦП (Flash)
 - ◆ Субинтервальный (subranging) или конвейерный (pipelined)
 - ◆ Последовательного счета (Bit-Per-Stage)

Рис. 3.2

АЦП ПОСЛЕДОВАТЕЛЬНОГО ПРИБЛИЖЕНИЯ

АЦП последовательного приближения много лет были главным инструментом преобразования сигнала. Недавние усовершенствования разработчиков расширили диапазон частот дискретизации этих АЦП до мегагерц. Использование методов внутренних коммутируемых конденсаторов вместе с методами автокалибровки расширяет

а

разрешающую способность этих АЦП до 16 разрядов на стандартных CMOS-процессах без необходимости в дорогой тонкопленочной лазерной подстройке.

Основные элементы АЦП последовательного приближения представлены на рис.3.3. Этот АЦП выполняет преобразования в командном режиме. После подачи команды CONVERT START устройство выборки-хранения УВХ (SHA) устанавливается в режим хранения, и все разряды регистра последовательного приближения РПП (SAR) сбрасываются в "0", кроме старшего значащего разряда (MSB), который устанавливается в "1". Выходной сигнал регистра последовательного приближения (РПП) подается на внутренний ЦАП. Если выходной сигнал ЦАП больше, чем аналоговый входной сигнал, старший разряд РПП сбрасывается, в противном случае он остается установленным. Затем следующий старший значащий разряд устанавливается в "1". Если сигнал на выходе ЦАП больше, чем аналоговый входной сигнал, старший разряд РПП сбрасывается, в противном случае бит остается установленным. Описанный процесс поочередно повторяется для каждого разряда. Когда все разряды, в соответствии с входным сигналом, будут установлены в "0" или в "1", содержимое регистра последовательного приближения придет в соответствие со значением аналогового входного сигнала, и преобразование завершится. Если рассматриваемый АЦП имеет выход в виде последовательного порта, то последовательно поступаемые биты можно непосредственно передавать на выход.

Окончание преобразования индицируется сигналами end-of-convert (EOC), data-ready (DRDY) или BUSY (фактически, отсутствие сигнала BUSY индицирует окончание преобразования). Полярности и наименование этого сигнала могут отличаться для различных АЦП последовательного приближения, но основная концепция сохраняется. В начале интервала преобразования логический уровень сигнала высокий (или низкий) и остается в этом состоянии, пока преобразование не закончено. Затем уровень сигнала становится низким (или высоким). Фронт сигнала индицирует наличие выходных данных.

АЦП ПОСЛЕДОВАТЕЛЬНОГО ПРИБЛИЖЕНИЯ

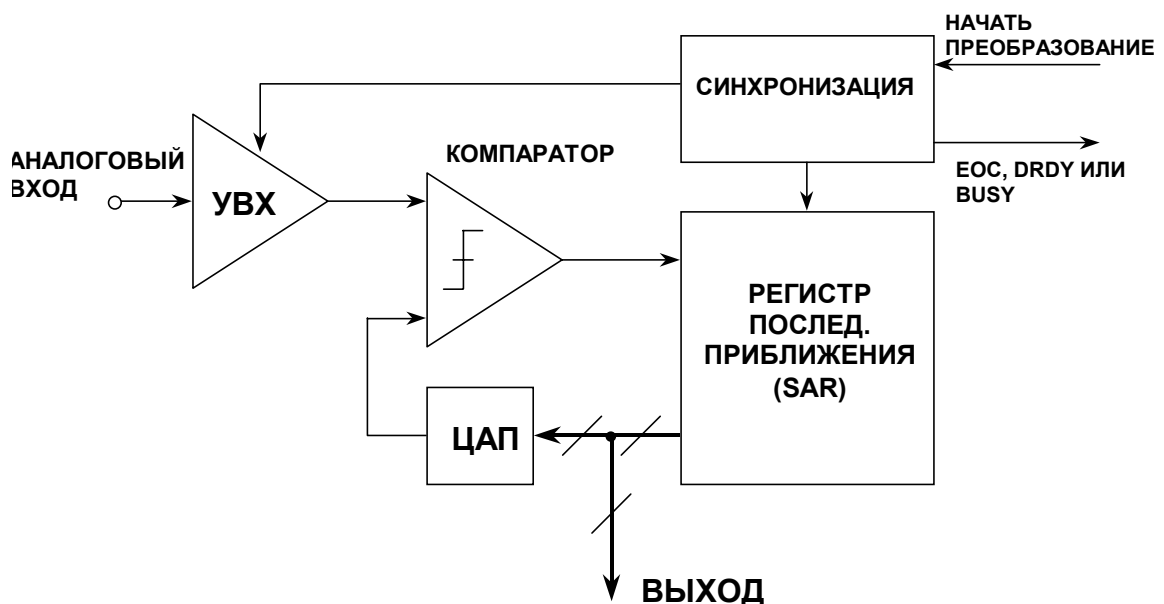
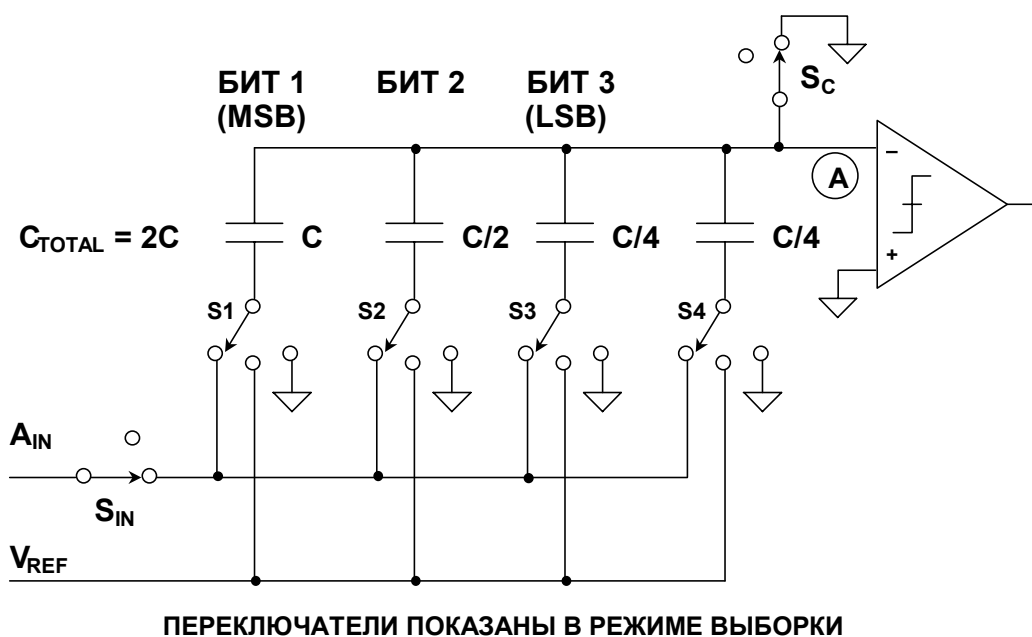


Рис. 3.3

а

N-разрядное преобразование осуществляется за N шагов. На первый взгляд может показаться, что 16-разрядному преобразователю для выполнения преобразования требуется в два раза больше времени, чем 8-разрядному преобразователю, но это не так. В 8-разрядном преобразователе перед принятием решения о значении очередного бита ЦАП должен установить на своем выходе сигнал с точностью, соответствующей 8 разрядам, в то время как ЦАП 16-разрядного преобразователя должен установить сигнала на своем выходе с точностью, соответствующей 16 разрядам, что занимает значительно больше времени. На практике 8-разрядный АЦП последовательного приближения может затрачивать на преобразование несколько сотен наносекунд, в то время как 16-разрядному АЦП требуется несколько микросекунд.

3-РАЗРЯДНЫЙ ЦАП С КОММУТИРУЕМЫМИ КОНДЕНСАТОРАМИ



ПЕРЕКЛЮЧАТЕЛИ ПОКАЗАНЫ В РЕЖИМЕ ВЫБОРКИ

Рис. 3.4

Обратите внимание, что общая точность и линейность АЦП последовательного приближения определяется, прежде всего, внутренним ЦАП. До недавнего времени в большинстве прецизионных АЦП последовательного приближения для достижения желательной точности и линейности использовалась тонкопленочная лазерная подгонка. Процесс подстройки тонкопленочного резистора увеличивает стоимость системы, а значение сопротивления тонкопленочного резистора может измениться при механическом воздействии на корпус микросхемы.

По этим причинам в более новых АЦП последовательного приближения стали популярными ЦАП с коммутируемыми конденсаторами (или конденсаторами с перераспределением заряда). Преимущество ЦАП с коммутируемыми конденсаторами состоит в том, что их точность и линейность определяются, прежде всего, качеством фотолитографии, которое, в свою очередь, зависит от площади конденсаторных пластин, емкости и соотношения емкостей конденсаторов. Кроме того, для достижения высокой точности и линейности конденсаторы малой емкости могут подключаться параллельно основным конденсаторам или отключаться от них в соответствии с алгоритмом автокалибровки без необходимости применения тонкопленочной лазерной подстройки.

а

Согласование температурных характеристик коммутируемых конденсаторов может быть лучше, чем $1 \text{ ppm}/^\circ\text{C}$, чем и обеспечивается высокая температурная стабильность. Простой 3-разрядный ЦАП на переключаемых конденсаторах представлен на рис.3.4.

Переключатели (коммутаторы) показаны в режиме выборки, или дискретизации, когда напряжением аналогового входного сигнала A_{IN} регулярно заряжается и разряжается параллельная комбинация всех конденсаторов. Режим хранения инициируется открытием S_{IN} . При этом напряжение аналогового входного сигнала на конденсаторной матрице остается дискретным. Затем открывается переключатель S_{C} , разрешая изменения Напряжения в точке А по мере коммутации переключателей разрядов. Если S_1, S_2, S_3 и S_4 замкнуты на «землю», в точке А появляется напряжение, равное $-A_{\text{IN}}$. Замыкание S_1 на V_{REF} добавляет к $-A_{\text{IN}}$ напряжение, равное $V_{\text{REF}}/2$. Затем компаратор принимает решение относительно значения старшего значащего разряда, и РПП либо оставляет S_1 соединенным с V_{REF} , либо подключает его к «земле», в зависимости от сигнала на выходе компаратора (нулевое или единичное значение выхода компаратора зависит от того, является ли напряжение в узле отрицательным или положительным). Аналогичный процесс проходит и в оставшихся двух разрядах. В конце интервала преобразования S_1, S_2, S_3, S_4 и S_{IN} замыкаются на A_{IN} , S_{C} подключается к «земле», после чего преобразователь готов к новому циклу.

Обратите внимание, что для выполнения двоичного деления при управлении конденсаторами отдельных разрядов требуется дополнительный конденсатор младшего разряда (LSB) (емкостью $C/4$ в случае 3-разрядного ЦАП) для того, чтобы полное значение емкости конденсаторной матрицы равнялось $2C$.

Работа "конденсаторного" ЦАП подобна работе резистивного R/2R ЦАП. Когда индивидуальный конденсатор разряда подключен к V_{REF} , делитель напряжения, созданный конденсатором разряда и общей емкостью матрицы ($2C$), добавляет в точке А напряжение, равное весу этого разряда. Когда индивидуальный конденсатор разряда подключен к «земле», такое же напряжение, пропорциональное весу этого разряда, вычитается из суммарного напряжения в точке А.

Будучи весьма популярными, АЦП последовательного приближения поставляются с широкой гаммой разрешающих способностей, частот дискретизации, опций ввода-вывода, конструктивного исполнения и стоимостных показателей. Невозможно перечислить все их типы, поэтому на рис.3.5 представлен ряд последних, наиболее представительных РПП АЦП последовательного приближения компании Analog Devices. Обратите внимание, что многие устройства являются полными системами сбора данных с входными мультиплексорами, которые позволяют одному "ядру" АЦП обрабатывать много аналоговых каналов.

а

СРАВНЕНИЕ РАЗРЕШАЮЩЕЙ СПОСОБНОСТИ И ВРЕМЕНИ ПРЕОБРАЗОВАНИЯ ТИПОВЫХ АЦП ПОСЛЕДОВАТЕЛЬНОГО ПРИБЛИЖЕНИЯ С ОДНОПОЛЯРНЫМ ИСТОЧНИКОМ ПИТАНИЯ

| | РАЗРЕШАЮЩАЯ СПОСОБНОСТЬ | ЧАСТОТА ДИСКРЕТИЗАЦИИ | МОЩНОСТЬ, мВт | ЧИСЛО КАНАЛОВ |
|-----------|----------------------------|--------------------------|------------------|------------------|
| AD7472 | 12 бит | 1,5 MSPS | 9 | 1 |
| AD7891 | 12 бит | 500 KSPS | 85 | 8 |
| AD7858/59 | 12 бит | 200 KSPS | 20 | 8 |
| AD7887/88 | 12 бит | 125 KSPS | 3,5 | 8 |
| AD7856/57 | 14 бит | 285 KSPS | 60 | 8 |
| AD7660 | 16 бит | 100 KSPS | 15 | 1 |
| AD974 | 16 бит | 200 KSPS | 120 | 4 |
| AD7664 | 16 бит | 570 KSPS | 150 | 1 |

Рис. 3.5

Несмотря на некоторые различия, основные принципы синхронизации большинства АЦП последовательного приближения сходны и достаточно просты (см. рис.3.6). Процесс преобразования инициируется сигналом CONVERT START. Сигнал $\overline{\text{CONVST}}$ представляет собой отрицательный импульс, положительный фронт которого запускает преобразование. Устройство выборки-хранения (УВХ) этим фронтом устанавливается в режим хранения и, используя алгоритм последовательного приближения, определяет различные разряды. Отрицательный фронт импульса $\overline{\text{CONVST}}$ устанавливает высокий уровень сигналов $\overline{\text{EOS}}$ или BUSY. По завершении преобразования устанавливается низкий уровень сигнала BUSY. В большинстве случаев задний фронт сигнала BUSY может использоваться в качестве индикатора корректности выходных данных и его можно использовать для записи выходных данных во внешний регистр. Но вследствие множества различий в терминологии и конструкции различных АЦП, при использовании определенного АЦП, следует всегда принимать во внимание конкретную спецификацию.

а

ВРЕМЕННАЯ ДИАГРАММА РАБОТЫ АЦП ПОСЛЕДОВАТЕЛЬНОГО ПРИБЛИЖЕНИЯ

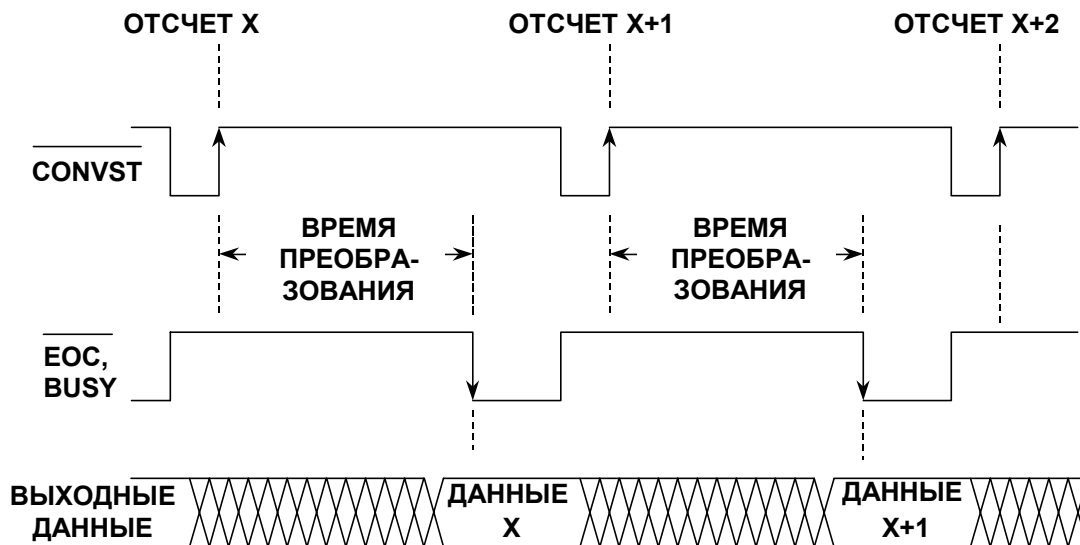


Рис. 3.6

Необходимо также отметить, что некоторые АЦП последовательного приближения дополнительно к команде **CONVERT START** требуют внешней высокочастотной синхронизации, хотя в большинстве случаев необходимости в двух синхронизаторах нет. Частота внешнего синхронизатора, если он требуется, находится в диапазоне от 1 МГц до 30 МГц в зависимости от времени преобразования и разрешающей способности АЦП. В других АЦП последовательного приближения есть внутренний генератор, который используется для выполнения преобразования и требует только команды **CONVERT START**. Благодаря своей архитектуре, АЦП последовательного приближения допускают любую скорость повторения однократного преобразования, от 0 до максимального быстродействия преобразователя.

В АЦП последовательного приближения выходные данные, соответствующие дискретному входному сигналу, формируются в конце соответствующего интервала преобразования. Иначе обстоит дело в АЦП, построенных с использованием другой архитектуры, таких как сигма-дельта АЦП или АЦП с двухступенчатым конвейером, представленный на рис.3.7. Показанный на рисунке АЦП является 12-разрядным двухступенчатым конвейерным (pipelined), или субинтервальным, преобразователем. Первое преобразование выполняется 6-разрядным АЦП, который управляет 6-разрядным ЦАП. На выходе 6-разрядного ЦАП получается 6-разрядное приближение аналогового входного сигнала. Обратите внимание, что **УВХ2** осуществляет временную задержку аналогового сигнала, пока 6-разрядный АЦП производит преобразование и 6-разрядный ЦАП устанавливает требуемый сигнал на выходе. Затем полученное с помощью ЦАП приближение вычитается из аналогового сигнала на выходе **УВХ2**, результат усиливается и оцифровывается 7-разрядным АЦП. Результаты этих двух преобразований объединяются, и дополнительный разряд используется для исправления ошибки, полученной при первом преобразовании. Типичные временные соотношения, соответствующие преобразователю этого типа, показаны на рис.3.8. Важно, что выходные данные, представленные сразу после отсчета **X**, фактически соответствуют отсчету **X-2**, то

а

есть существует конвейерная задержка в два такта. Конвейерная архитектура свойственна высокоскоростным АЦП и, в большинстве случаев, конвейерная задержка не является главной проблемой системы в большинстве приложений, где используется этот тип преобразователя.

АРХИТЕКТУРА 12-РАЗРЯДНОГО ДВУХСТУПЕНЧАТОГО КОНВЕЙЕРНОГО АЦП

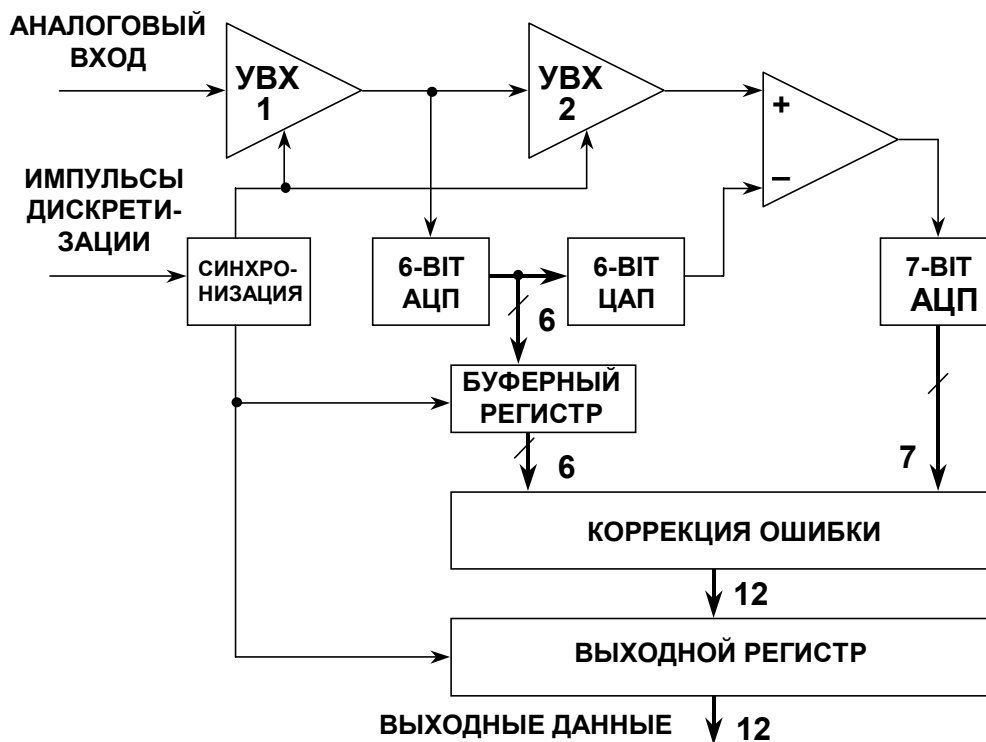
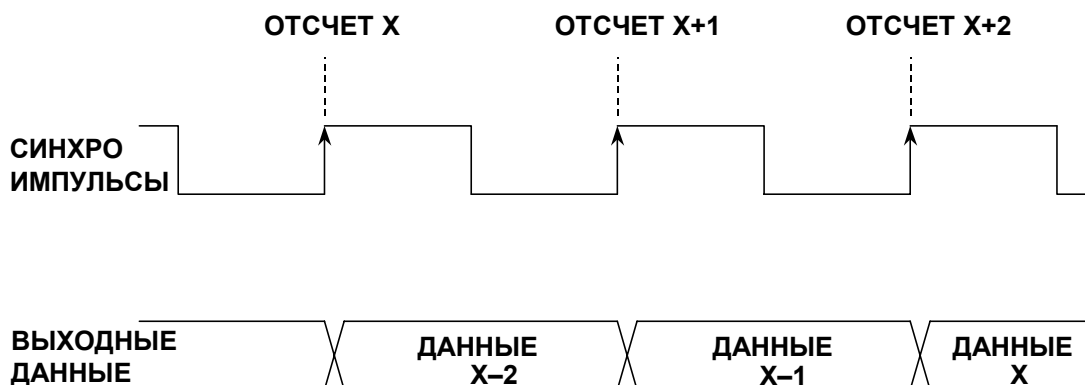


Рис. 3.7

ВРЕМЕННАЯ ДИАГРАММА РАБОТЫ КОНВЕЙЕРНОГО АЦП



ПОКАЗАНА РАБОТА С ЗАДЕРЖКОЙ НА 2 ТАКТОВЫХ ЦИКЛА

Рис. 3.8

а

Конвейерные АЦП могут иметь более двух тактов задержки в зависимости от специфики своей архитектуры. Например, возможно выполнение преобразования за три, четыре или, возможно, даже большее количество конвейерных ступеней, что вызывает дополнительную задержку выходных данных.

Поэтому, если АЦП используется в событийно-управляемом (event-triggered) (или однократном single-shot) режиме, требующем однозначного соответствия времени между каждым отсчетом и соответствующими данными, то конвейерная задержка может привести к нежелательному результату, и в этом случае более предпочтительна архитектура АЦП последовательного приближения. Конвейерная задержка или ожидание могут также создать проблемы в высокоскоростных системах управления с обратной связью или в приложениях с мультиплексированием данных. Кроме того, некоторые конвейерные преобразователи рассчитаны на определенную *минимально* допустимую скорость преобразования и должны непрерывно поддерживаться в рабочем состоянии для предотвращения насыщения внутренних узлов.

АЦП последовательного приближения с коммутируемыми конденсаторами имеет небуферизованные входные цепи, подобные схеме, показанной на рис.3.9 для АЦП AD7858/59. За время сбора данных аналоговый входной сигнал должен зарядить эквивалентную входную емкость 20 пФ до необходимой величины. Если входной сигнал является сигналом постоянного тока, то сопротивление источника R_S , включенное последовательно с внутренним сопротивлением выключателя 125 Ом, создает задержку с некоторой постоянной времени. Для достижения 12-разрядной точности необходимо предусмотреть интервал ожидания, соответствующий приблизительно промежутку в 9 постоянных времени для стабилизации сигнала на входе. Это определяет минимальное допустимое время выборки (достижение 14-разрядной точности требует приблизительно 10 постоянных времени, а 16-разрядная точность требует приблизительно 11 постоянных времени).

$$t_{ACQ} > 9 \times (R_S + 125) \text{ Ом} \times 20 \text{ пФ}.$$

Например, если $R_S = 50$ Ом, то время выборки в этой формуле должно быть, по крайней мере, 310 нс.

В приложениях переменного тока, чтобы предотвратить искажения из-за нелинейности входной цепи АЦП, должны использоваться источники сигнала с низким выходным сопротивлением. В случае приложения с однополярным питанием должен использоваться полнодиапазонный (rail-to-rail) операционный усилитель типа AD820 с малым временем установки выходного сигнала. Малое время установки позволяет операционному усилителю быстро устранять возникающие на его входе токи переходного режима, вызванные внутренними переключениями АЦП. На рис.3.9 AD820 управляет ФНЧ, состоящим из резистора 50 Ом и конденсатора 10 нФ (частота среза приблизительно 320 КГц). Этот фильтр удаляет высокочастотные компоненты, которые могут приводить к эффекту наложения и уменьшают шум.

Использование в этом приложении операционного усилителя с однополярным питанием требует специального рассмотрения уровней сигнала. AD820 включен в инвертирующем режиме и имеет коэффициент усиления сигнала -1. На неинвертирующий вход усилителя с делителя 10,7 К/10К подается синфазное напряжение смещения +1,3 В, создавая выходное напряжение +2,6 В для $V_{IN} = 0$ В, и +0,1 В для $V_{IN} = +2,5$ В. Это смещение необходимо потому, что выход AD820 не может быть полностью заземлен, т.к. это ограничивается напряжением V_{CESAT} n-p-n-транзистора выходного каскада, которое при этих условиях нагрузки приблизительно равно 50 мВ. Диапазон изменения входных

а

сигналов АЦП также смещен на +100 мВ, благодаря подаче от делителя 412 Ом/10 кОм смещения +100 мВ на вход AIN.

ПОДКЛЮЧЕНИЕ ВХОДА С КОММУТИРУЕМЫМ КОНДЕНСАТОРОМ 12-РАЗЯДНОГО 200KSPS АЦП AD7858/59

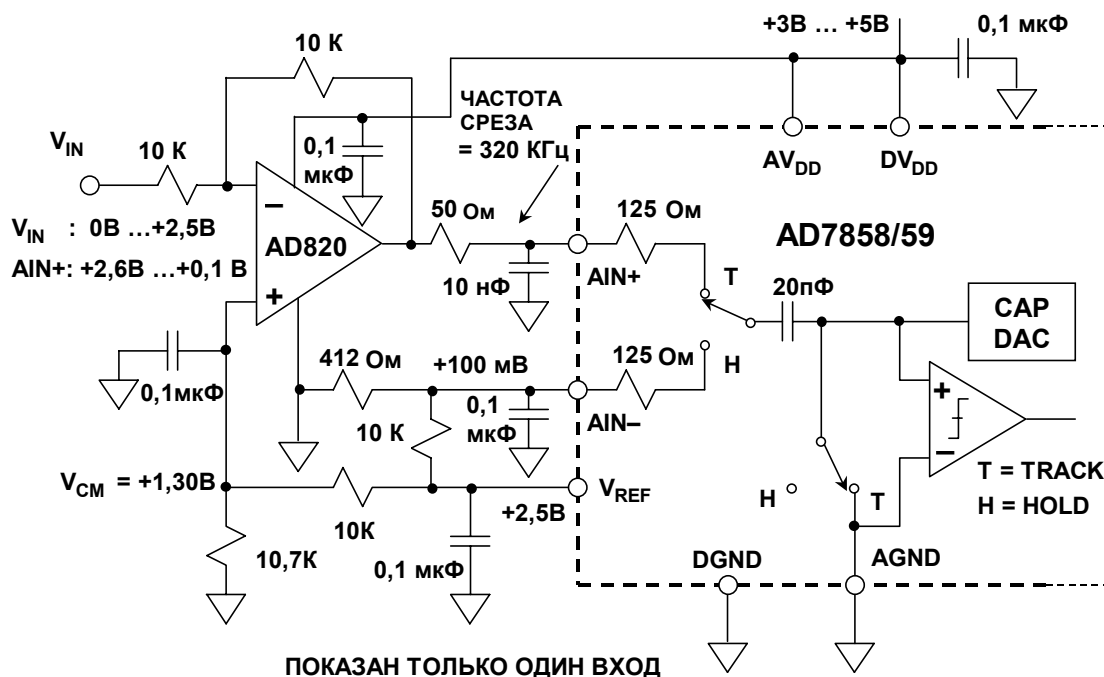


Рис. 3.9

SIGMA-DELTA ($\Sigma\Delta$) АЦП *Джеймс Брайэнт*

Sigma-delta АЦП известны почти тридцать лет, но только недавно появилась технология (цифровые микросхемы с очень высокой степенью интеграции, VLSI) для их производства в виде недорогих монокристаллических интегральных схем. В настоящее время они используются во многих приложениях, где требуется недорогой, узкополосный, экономичный АЦП с высоким разрешением.

Существуют многочисленные описания архитектуры и теории $\Sigma\Delta$ АЦП, но большинство из них переполнено сложными интегральными выражениями и с трудом доступно для понимания. В отделе по приложениям компании Analog Devices мы часто сталкиваемся с инженерами, которые не понимают теории работы $\Sigma\Delta$ АЦП и убеждены на опыте чтения распространенных статей, что $\Sigma\Delta$ АЦП слишком сложны для понимания.

Не прибегая к глубоким математическим выкладкам, заметим, что в понимании sigma-delta АЦП нет ничего особенно трудного, и данный раздел призван подтвердить это положение. $\Sigma\Delta$ АЦП содержит очень простую аналоговую электронику (компаратор, источник опорного напряжения, коммутатор и один или большее количество интеграторов и аналоговых сумматоров) и весьма сложную цифровую вычислительную схему. Эта схема состоит из цифрового сигнального процессора (DSP), который работает

а

как фильтр (в общем случае, но не всегда — это низкочастотный полосовой фильтр). Нет необходимости в точности знать, как работает фильтр, чтобы понимать то, что он делает. Для понимания того, как работает $\Sigma\Delta$ АЦП, важно познакомиться с концепциями избыточной дискретизации, формирования формы кривой распределения шума квантования, цифровой фильтрации и децимации.

СИГМА-ДЕЛЬТА АЦП

- Низкая стоимость, высокая разрешающая способность (до 24-разрядов)
- Превосходная дифференциальная нелинейность (DNL)
- Низкая потребляемая мощность, но ограниченная полоса пропускания (голосовые и звуковые частоты)
- Простые ключевые концепции, но сложная математика
 - ◆ Избыточная дискретизация
 - ◆ Формирование шума квантования
 - ◆ Цифровая фильтрация
 - ◆ Децимация
- Идеален для устройств обработки сигналов датчиков
 - ◆ Высокая разрешающая способность
 - ◆ Режимы: автономный, системный и автокалибровки
- Широко применяется в области обработки голосовых и аудио сигналов

Рис. 3.10

Рассмотрим методику избыточной дискретизации с анализом в частотной области. Там, где преобразование постоянного напряжения имеет ошибку квантования до $\frac{1}{2}$ младшего разряда (LSB), дискретная система, работающая с переменным напряжением или током, обладает шумом квантования. Идеальный классический N -разрядный АЦП имеет среднеквадратичное значение шума квантования, равное $q/\sqrt{12}$. Шум квантования равномерно распределен в пределах полосы Найквиста от 0 до $f_s/2$ (где q — значение младшего значащего бита и f_s — частота дискретизации), как показано на рис.3.11 а. Поэтому, его отношение сигнал/шум для полндиапазонного синусоидального входного сигнала будет $(6,02N+1,76)$ дБ. Если АЦП несовершенен и его реальный шум больше, чем его теоретический минимальный шум квантования, то эффективная разрешающая способность будет меньше, чем N -разрядов. Его фактическая разрешающая способность (часто известная как эффективное число разрядов или ENOB) будет определена, как

$$\text{ENOB} = \frac{\text{SNR} - 1,76\text{дБ}}{6,02\text{дБ}}$$

Если мы выберем более высокую частоту дискретизации $K f_s$ (см. рис.3.11 б), то среднеквадратичное значение шума квантования остается $q/\sqrt{12}$, но шум теперь распределен по более широкой полосе от 0 до $f_s/2$. Если мы затем используем на выходе цифровой низкочастотный фильтр, то значительно уменьшим шум квантования, но сохраним полезный сигнал, улучшая таким способом эффективное число разрядов (ENOB). Таким образом, мы выполняем аналого-цифровое преобразование с высоким

а

разрешением, используя аналого-цифровой преобразователь с низкой разрешающей способностью. Коэффициент K здесь упоминается, как коэффициент избыточной дискретизации. При этом необходимо отметить, что избыточная дискретизация дополнительно выгодна еще и тем, что она понижает требования к аналоговому ФНЧ.

ИЗБЫТОЧНАЯ ДИСКРЕТИЗАЦИЯ, ЦИФРОВАЯ ФИЛЬТРАЦИЯ, ФОРМИРОВАНИЕ ШУМА И ПРОРЕЖИВАНИЕ

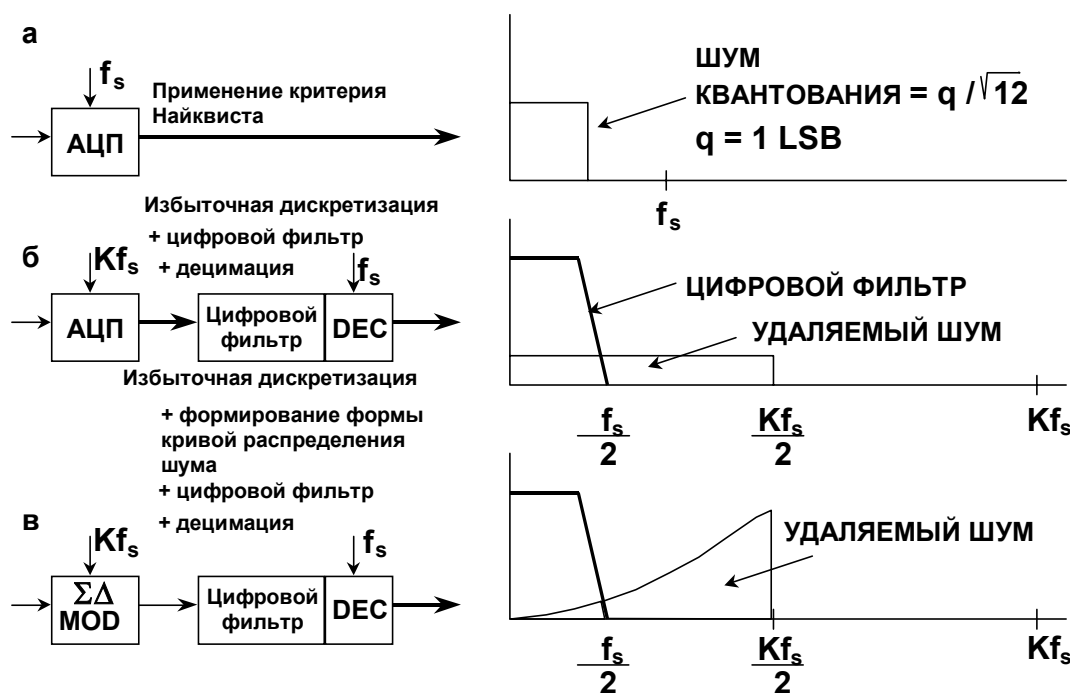


Рис. 3.11

Так как ширина полосы пропускания уменьшена выходным цифровым фильтром, скорость выдачи выходных данных может быть ниже, чем первоначальная частота дискретизации (Kf_s), и при этом все же удовлетворять критерию Найквиста. Это достигается посредством передачи на выход каждого M -го результата и отбрасывания остальных результатов. Такой процесс называют децимацией с коэффициентом M . Несмотря на происхождение термина (decem по-латыни — десять), M может принимать любое целое значение, при условии, что частота выходных данных больше, чем удвоенная ширина полосы сигнала. Прореживание не вызывает никакой потери информации (см. рис.3.11 б).

Если мы используем избыточную дискретизацию только для улучшения разрешающей способности, необходимо применять коэффициент избыточности 2^{2N} , чтобы получить N -разрядное увеличение разрешающей способности. $\Sigma\Delta$ -преобразователь не нуждается в таком высоком коэффициенте избыточной дискретизации. Он не только ограничивает полосу пропускания сигнала, но также задает форму кривой распределения шума квантования таким образом, что большая ее часть выходит за пределы этой полосы пропускания, как это показано на рис.3.11 в.

Если взять одноразрядный АЦП (известный как компаратор), подать на его вход сигнал от интегратора, а на интегратор — входной сигнал, суммированный с выходом этого ЦАП, на вход которого сигнал поступает с выхода АЦП, получится $\Sigma\Delta$ -модулятор первого порядка, показанный на рис.3.12. Добавив цифровой низкочастотный фильтр и дециматор

а

на цифровой выход, получим $\Sigma\Delta$ АЦП: $\Sigma\Delta$ -модулятор формирует такую кривую распределения шума квантования, при которой большая часть шума располагается выше полосы пропускания цифрового выходного фильтра и, следовательно, эффективное число разрядов (ENOB) намного больше, чем ожидается от коэффициента избыточной дискретизации.

SIGMA-DELTA АЦП ПЕРВОГО ПОРЯДКА

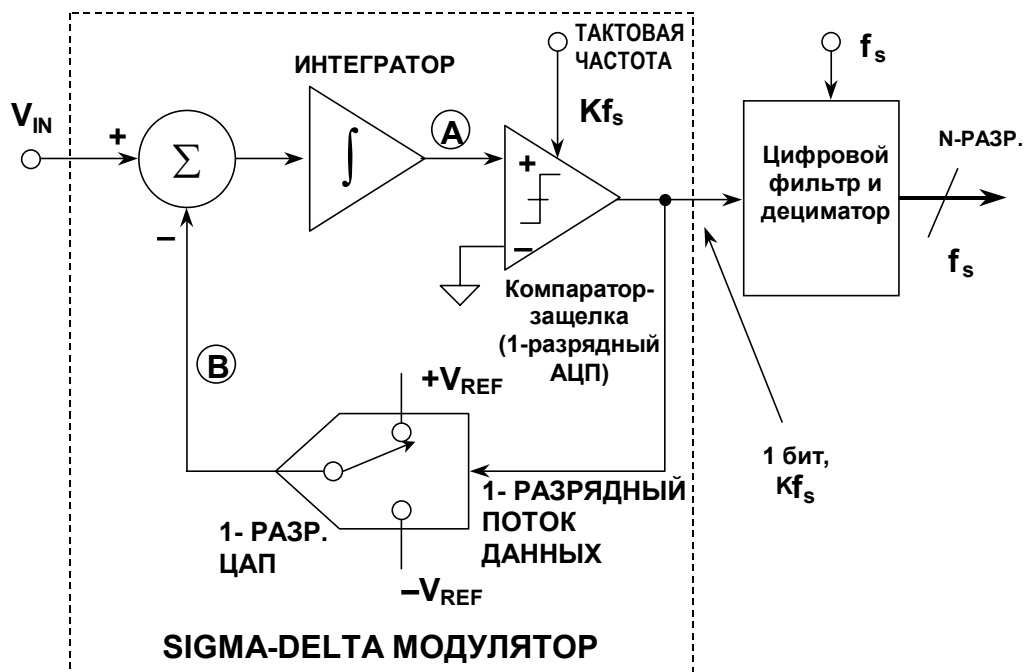


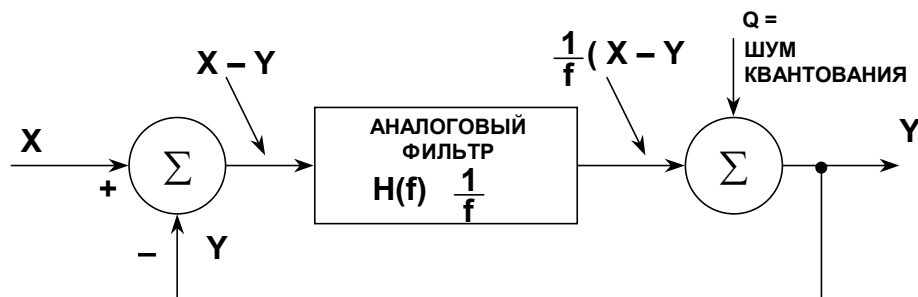
Рис. 3.12

Не вдаваясь в детали, работу $\Sigma\Delta$ АЦП можно описать следующим образом. Представим, что постоянное напряжение подается на вход V_{IN} . Сигнал на выходе интегратора в точке А при этом постоянно нарастает или убывает. С выхода компаратора сигнал подается обратно через одноразрядный ЦАП на суммирующий вход в точке В. Благодаря отрицательной обратной связи, соединяющей выход компаратора через одноразрядный ЦАП с точкой суммирования, среднее значение постоянного напряжения в точке В стабилизируется на уровне V_{IN} . Вследствие этого, среднее выходное напряжение ЦАП равняется входному напряжению V_{IN} . В свою очередь, среднее выходное напряжение ЦАП определяется плотностью потока единиц в одноразрядном потоке данных, следующего с выхода компаратора. Когда значение входного сигнала увеличивается до $+V_{REF}$, число единиц в последовательном потоке данных увеличивается, а число нулей уменьшается. Точно так же, когда значение сигнала приближается к отрицательному значению $-V_{REF}$, число единиц в последовательном потоке данных уменьшается, а число нулей увеличивается. Попросту говоря, в последовательном потоке разрядов на выходе компаратора содержится среднее значение входного напряжения. Цифровой фильтр и дециматор обрабатывают последовательный поток битов и выдают окончательные выходные данные.

Принцип формирования кривой распределения шума квантования в частотной области объясняется на простой модели $\Sigma\Delta$ -модулятора, показанной на рис.3.13.

а

УПРОЩЕННАЯ ЛИНЕАРИЗИРОВАННАЯ МОДЕЛЬ SIGMA-DELTA МОДУЛЯТОРА В ЧАСТОТНОЙ ОБЛАСТИ



$$Y = \frac{1}{f}(X - Y) + Q$$

ПЕРЕНОСЯ И РЕШАЯ УРАВНЕНИЕ ОТНОСИТЕЛЬНО Y ПОЛУЧАЕМ:

$$Y = \frac{X}{f+1} + \frac{Qf}{f+1}$$

СИГНАЛЬНАЯ СОСТАВЛЯЮЩАЯ

ШУМОВАЯ СОСТАВЛЯЮЩАЯ

Рис. 3.13

Интегратор в $\Sigma\Delta$ -модуляторе представлен в виде аналогового ФНЧ с передаточной функцией $H(f) = 1/f$. Эта передаточная функция имеет обратную входному сигналу амплитудную характеристику. Одноразрядный источник импульсов генерирует шум квантования Q , который добавляется к выходному сигналу суммирующего блока. Если считать входной сигнал равным X , а выходной — равным Y , то сигнал на выходе входного сумматора должен быть $X - Y$. Эта величина умножается на передаточную функцию фильтра $1/f$, и результат подается на один из входов выходного сумматора. В итоге получается выражение для выходного напряжения Y в виде:

$$Y = \frac{1}{f}(X - Y) + Q$$

Это выражение может быть легко решено относительно Y с аргументами X , f и Q :

$$Y = \frac{X}{f+1} + \frac{Q \cdot f}{f+1}$$

Обратите внимание, что, когда частота f приближается к нулю, значение выходного напряжения Y стремится к X , а шумовая составляющая устремляется к нулю. На более высоких частотах амплитуда сигнальной составляющей стремится к нулю, а шумовая составляющая приближается к Q . При дальнейшем повышении частоты выходной сигнал состоит практически из одного шума квантования. В сущности, аналоговый фильтр представляет собой ФНЧ для сигнала и ФВЧ для шума квантования. Иными словами, аналоговый фильтр выполняет функцию формирования кривой распределения шума квантования в модели $\Sigma\Delta$ -модулятора.

а

При фиксированной входной частоте аналоговый фильтр дает тем большее затухание, чем выше порядок этого фильтра. Это же положение с определенным допущением справедливо для $\Sigma\Delta$ -модуляторов.

С ростом числа каскадов интегрирования и суммирования в $\Sigma\Delta$ -модуляторе достигается лучший эффект при формировании кривой распределения шума квантования и лучшее эффективное число разрядов (ENOB) при фиксированном коэффициенте избыточной дискретизации, как это следует из рис.3.14 для $\Sigma\Delta$ -модуляторов первого-второго порядков. Блок-схема $\Sigma\Delta$ -модулятора второго порядка представлена на рис.3.15. До недавнего времени считалось, что $\Sigma\Delta$ АЦП третьего и более высокого порядков должны быть потенциально нестабильными при определенных входных сигналах. Последние исследования, рассматривающие компараторы с конечным, а не с бесконечным коэффициентом усиления, показали несостоятельность этого предположения. Даже если и существует неустойчивость, она не вносит существенной погрешности, так как цифровой сигнальный процессор (DSP) цифрового фильтра и дециматор в состоянии распознать возникающую неустойчивость и предотвратить ее.

На рис.3.16 показаны соотношения между порядком $\Sigma\Delta$ -модулятора и уровнем избыточной дискретизации, необходимым для достижения требуемого отношения сигнал/шум (SNR). В частности, если коэффициент избыточной дискретизации равен 64, идеальная система второго порядка способна обеспечить отношение сигнал/шум на уровне 80 дБ. Этим подразумевается, что значение эффективного числа разрядов (ENOB) равно приблизительно 13. Хотя фильтрация, выполняемая цифровым фильтром и дециматором, может приводить к любой желаемой степени точности, нет смысла выводить более 13 двоичных разрядов. Дополнительные разряды не дадут никакой полезной информации о сигнале, и информация будет подавлена шумом квантования, если не использовать дополнительной фильтрации. Повышенная разрешающая способность может быть достигнута за счет увеличения коэффициента избыточной дискретизации и/или за счет использования модулятора более высокого порядка.

а

ФОРМИРОВАНИЕ КРИВОЙ РАСПРЕДЕЛЕНИЯ ШУМА КВАНТОВАНИЯ SIGMA-DELTA МОДУЛЯТОРОВ

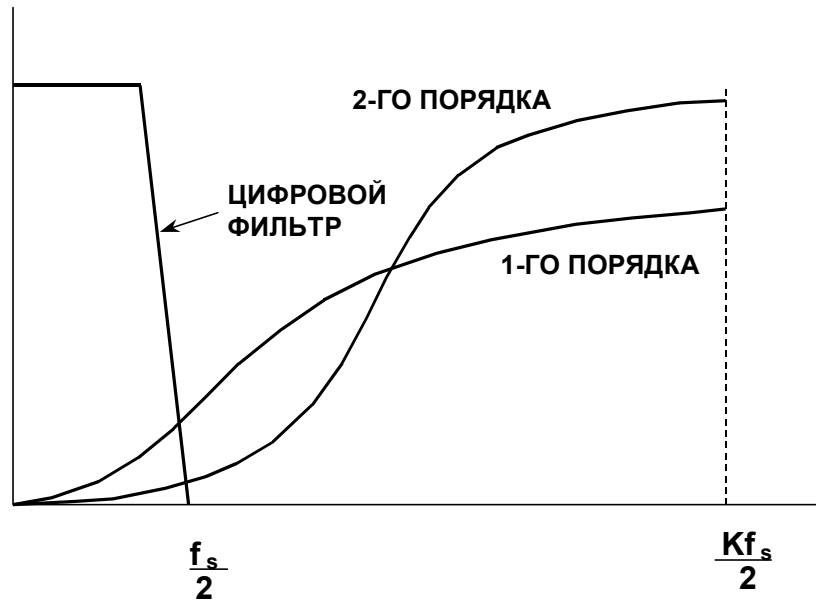


Рис. 3.14

SIGMA-DELTA АЦП ВТОРОГО ПОРЯДКА

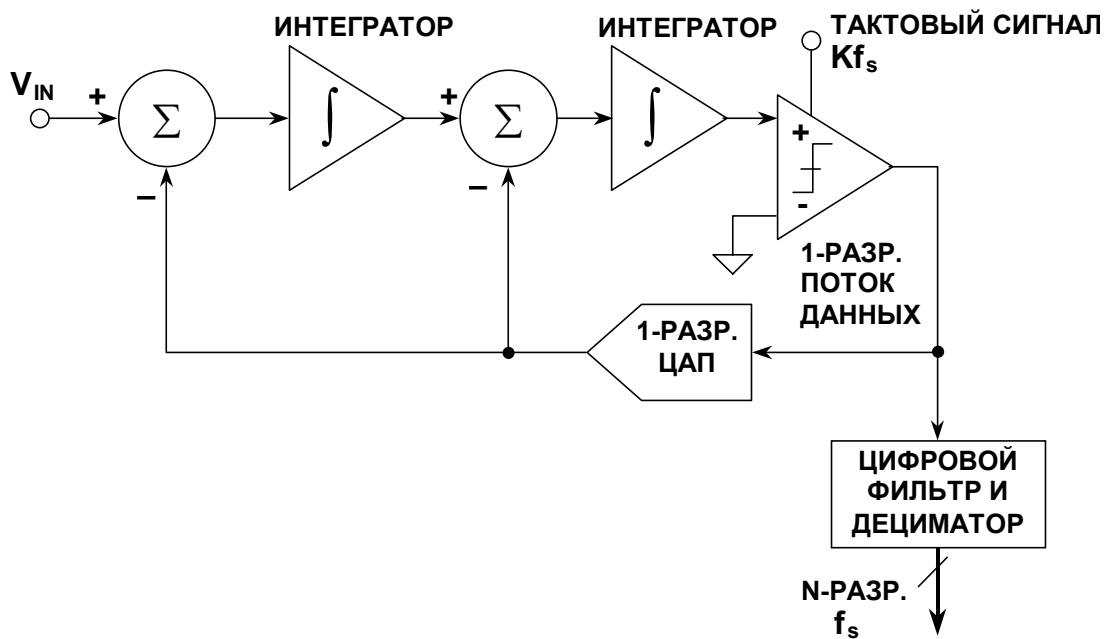


Рис. 3.15

а

ЗАВИСИМОСТИ ОТНОШЕНИЯ СИГНАЛ/ШУМ (SNR) ОТ КОЭФФИЦИЕНТА ИЗБЫТОЧНОЙ ДИСКРЕТИЗАЦИИ ДЛЯ $\Sigma\Delta$ -МОДУЛЯТОРОВ 1-ГО, 2-ГО И 3-ГО ПОРЯДКОВ

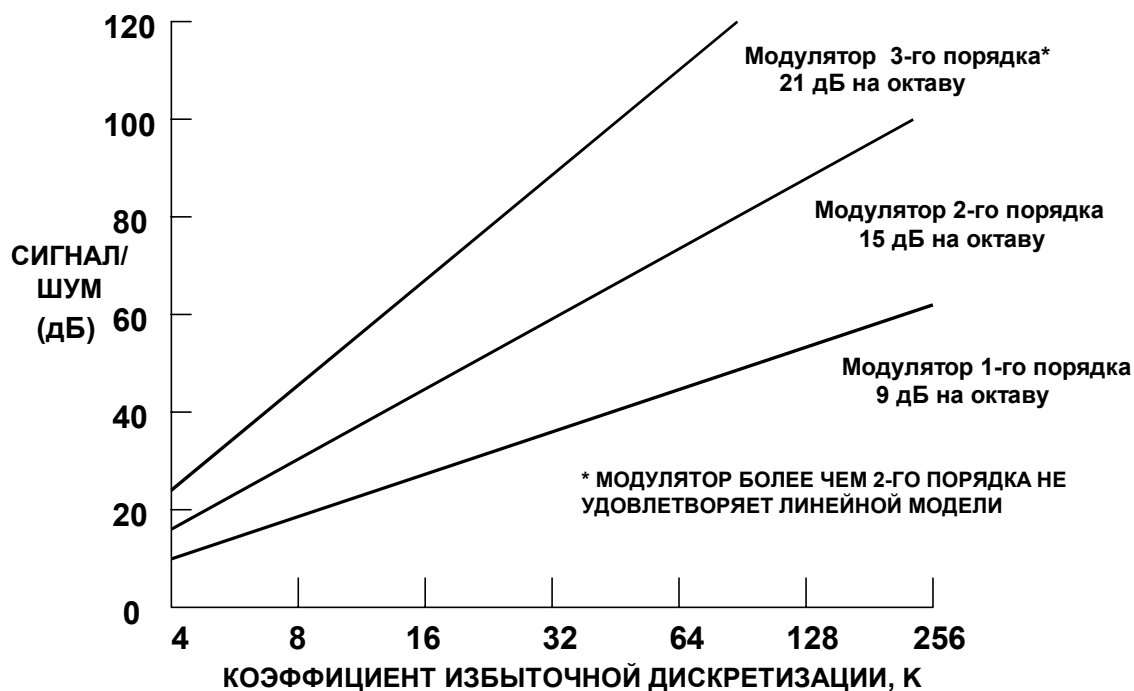


Рис. 3.16

Микросхема AD1877 является 16-разрядным стерео- $\Sigma\Delta$ АЦП с быстродействием 48 KSPS, которое удовлетворяет требованиям высококачественной обработки звука. Ключевые технические характеристики данной микросхемы отражены на рис.3.17. Это устройство имеет коэффициент избыточной дискретизации 64X и модулятор четвертого порядка. Внутренний цифровой КИХ фильтр данного АЦП имеет линейную фазовую характеристику. Частотная характеристика данного фильтра приведена на рис.3.18. Фильтр имеет неравномерность частотной характеристики в полосе пропускания - 0,006 дБ и ослабление более 90 дБ в полосе задержки. Ширина области перехода от полосы пропускания к полосе задержки составляет всего $0,1f_s$, где f_s — эффективная частота дискретизации AD1877 (максимум 48 KSPS). Очевидно, что такой фильтр было бы невозможно реализовать в аналоговом виде.

а

16-РАЗРЯДНЫЙ СТЕРЕО 48 KSPS SIGMA-DELTA АЦП AD1877

- Однополярное питание +5 В
- Двухканальные аналоговые не дифференциальные входы
- Динамический диапазон 92 дБ (тип.)
- Отношение сигнал/общие нелинейные искажения плюс шум $S/(THD+N)$ 90 дБ (тип.)
- Неравномерность АЧХ дециматора в полосе пропускания 0,006 дБ
- $\Sigma\Delta$ -модулятор 4-го порядка с коэффициентом избыточной дискретизации 64
- 3-х каскадный дециматор с линейной фазой
- Потребляемая мощность менее 100 мВт
- Режим пониженного энергопотребления (power-down)
- Индикация входной перегрузки
- Встроенный источник опорного напряжения
- Гибкий выходной последовательный интерфейс
- Малогабаритный (SOIC) 28-контактный корпус

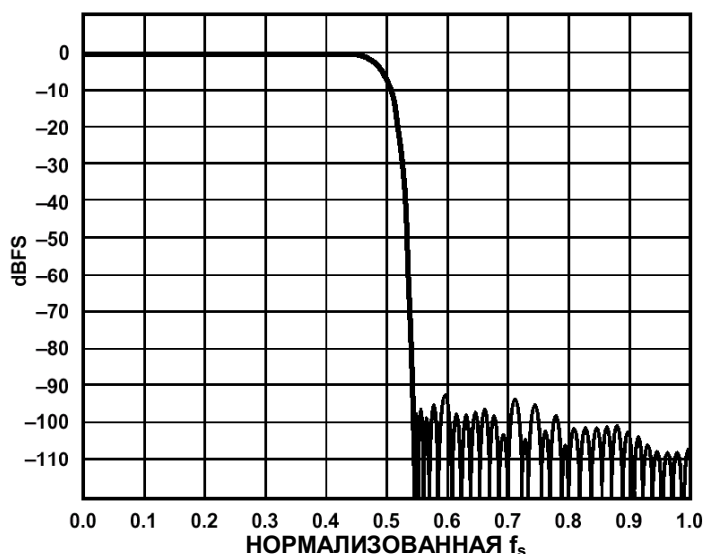
Рис. 3.17

Все $\Sigma\Delta$ АЦП имеют определенное время установки, связанное с внутренним цифровым фильтром, которое невозможно сократить. В задачах, где необходимо применять мультиплексирование и существует различие между входными напряжениями соседних каналов, сигнал на входе АЦП является ступенчатой функцией. Фактически, при коммутации каналов выход мультиплексора может выдавать на $\Sigma\Delta$ АЦП ступенчатое напряжение с перепадами, соответствующими полному динамическому диапазону. Поэтому в таких приложениях необходимо обеспечить требуемое адекватное время установки фильтра. Но это не означает, что $\Sigma\Delta$ АЦП нельзя использовать в приложениях, требующих мультиплексирования. Просто в этом случае необходимо учитывать время установки цифрового фильтра.

Например, групповая задержка КИХ-фильтра микросхемы AD1877 составляет $36/f_s$ и представляет собой время, которое требуется входному воздействию в форме ступенчатой функции для преодоления половины всех каскадов цифрового фильтра. Поэтому, полное время установки составляет $72/f_s$ или приблизительно 1,5 мс при дискретизации с частотой 48 KSPS и коэффициенте избыточной дискретизации 64X.

а

ХАРАКТЕРИСТИКИ КИХ-ФИЛЬТРА (FIR) 16-РАЗРЯДНОГО СТЕРЕО SIGMA-DELTA 48 KSPS АЦП AD1877



- f_s - ЧАСТОТА ДИСКРЕТИЗАЦИИ, ТИПИЧНЫЕ ЗНАЧЕНИЯ 32 KSPS, 44,1 KSPS ИЛИ 48 KSPS
- ОБЛАСТЬ ПЕРЕХОДА ОТ ПОЛОСЫ ПРОПУСКАНИЯ К ПОЛОСЕ ЗАДЕРЖКИ: ОТ $0,45 f_s$ ДО $0,55 f_s$
- ВРЕМЯ УСТАНОВЛЕНИЯ = $72 / f_s = 1,5$ мс ДЛЯ $f_s = 48$ KSPS
- ГРУППОВАЯ ЗАДЕРЖКА = $36 / f_s = 0,75$ мс ДЛЯ $f_s = 48$ KSPS

Рис. 3.18

В других приборах, таких как низкочастотный, с высоким разрешением, 24-разрядный измерительный $\Sigma\Delta$ АЦП (типа серии AD77xx), могут использоваться другие типы цифровых фильтров. Например, фильтры с характеристикой SINC^3 популярны, потому что это имеют нули в точках частотной характеристики, кратных скорости обработки данных. В частности, скорость обработки данных 10 Гц (10 отсчетов в секунду) дает нули на частотах 50 Гц и 60 Гц, что способствует подавлению соответствующих составляющих переменного тока.

До сих пор нами рассматривались только $\Sigma\Delta$ -преобразователи, содержащие одnorазрядный АЦП (компаратор) и одnorазрядный ЦАП (коммутатор). Блок-схема на рис.3.19 представляет многоразрядный $\Sigma\Delta$ АЦП, включающий n-разрядный параллельный (flash) АЦП и n-разрядный ЦАП. Очевидно, эта архитектура дает более широкий динамический диапазон при фиксированных коэффициентах избыточной дискретизации и порядке $\Sigma\Delta$ -модулятора. Стабилизация здесь проще, так как могут использоваться $\Sigma\Delta$ -модуляторы второго и более высоких порядков. Выходные сигналы, соответствующие паузам во входном сигнале, при использовании данной архитектуры имеют тенденцию к большей степени случайности, благодаря чему, минимизируется шум на выходе.

а

МНОГОРАЗРЯДНЫЙ SIGMA-DELTA АЦП

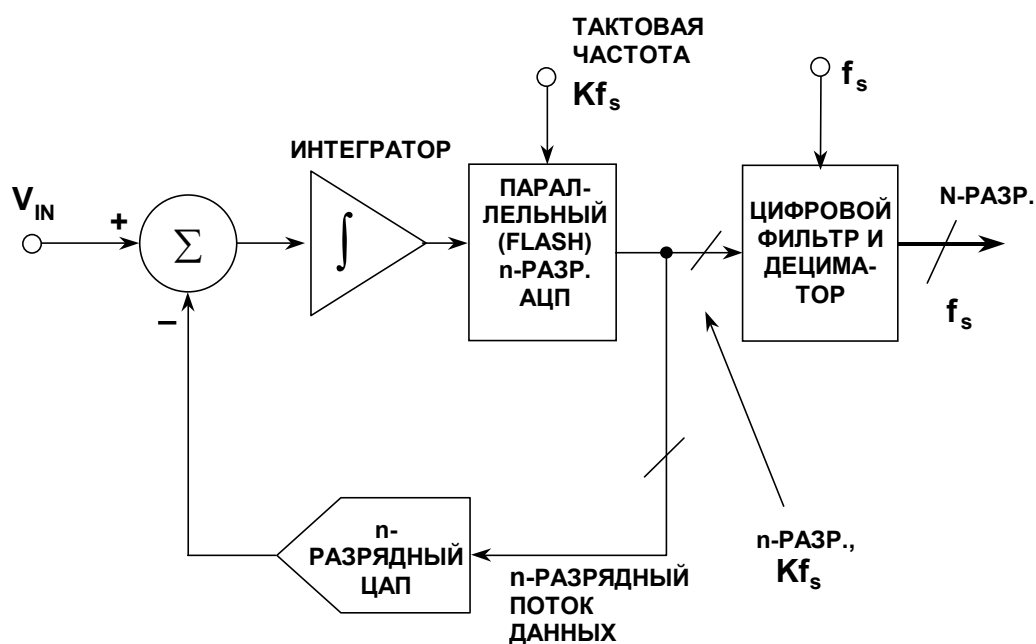


Рис. 3.19

Реальным недостатком этого метода является то, что линейность всего устройства зависит от линейности ЦАП, и требуется тонкопеночная лазерная подстройка для приближения к уровню 16-разрядной точности. Это делает чрезвычайно трудной в реализации многоразрядную архитектуру, в том числе и архитектуру $\Sigma\Delta$ АЦП.

Тем не менее, в настоящее время она применяется в звуковых $\Sigma\Delta$ ЦАП (AD1852, AD1853, AD1854), где используются специальные методы скремблирования битов для гарантии линейности и устранения шума.

Описанные выше $\Sigma\Delta$ АЦП содержат интеграторы, играющие роль ФНЧ, полоса пропускания которых начинается от 0 Гц, т.е. с уровня постоянного тока. Таким образом, максимум распределения их шума квантования смещен вверх по частоте. В настоящее время по такому принципу построено большинство коммерчески распространенных АЦП (хотя некоторые, предназначенные для использования в звуковых или коммуникационных приложениях, имеют полосовой фильтр вместо ФНЧ для устранения смещения по постоянному току). Нет никакой принципиально непреодолимой причины, по которой фильтры $\Sigma\Delta$ -модулятора должны быть непременно низкочастотными, за исключением того, что традиционно АЦП считались низкочастотными устройствами, а интеграторы проще в реализации, чем полосовые фильтры. При замене интеграторов в АЦП полосовыми фильтрами, показанной на рис.3.20, максимумы распределения шумов квантования смещаются вверх и вниз по частоте, так что область, соответствующая полосе сигнала, становится фактически свободной от шумов (см. Приложение 1). Далее, если цифровой фильтр запрограммирован так, что его полоса пропускания находится в этой области, мы получаем полосовой $\Sigma\Delta$ АЦП вместо низкочастотного. Такие устройства полезны для прямого преобразования ПЧ в цифровой код, в устройствах цифровой радиосвязи, ультразвуковых приложениях и других задачах, использующих субдискретизацию. Но в этом случае модулятор и цифровой полосовой фильтр должны

а

быть разработаны для определенных частот, требуемых данным приложением, что несколько ограничивает гибкость описываемого подхода.

ЗАМЕНА ИНТЕГРАТОРОВ ПОЛОСОВЫМИ ФИЛЬТРАМИ ДАЕТ ПОЛОСОВОЙ SIGMA-DELTA АЦП

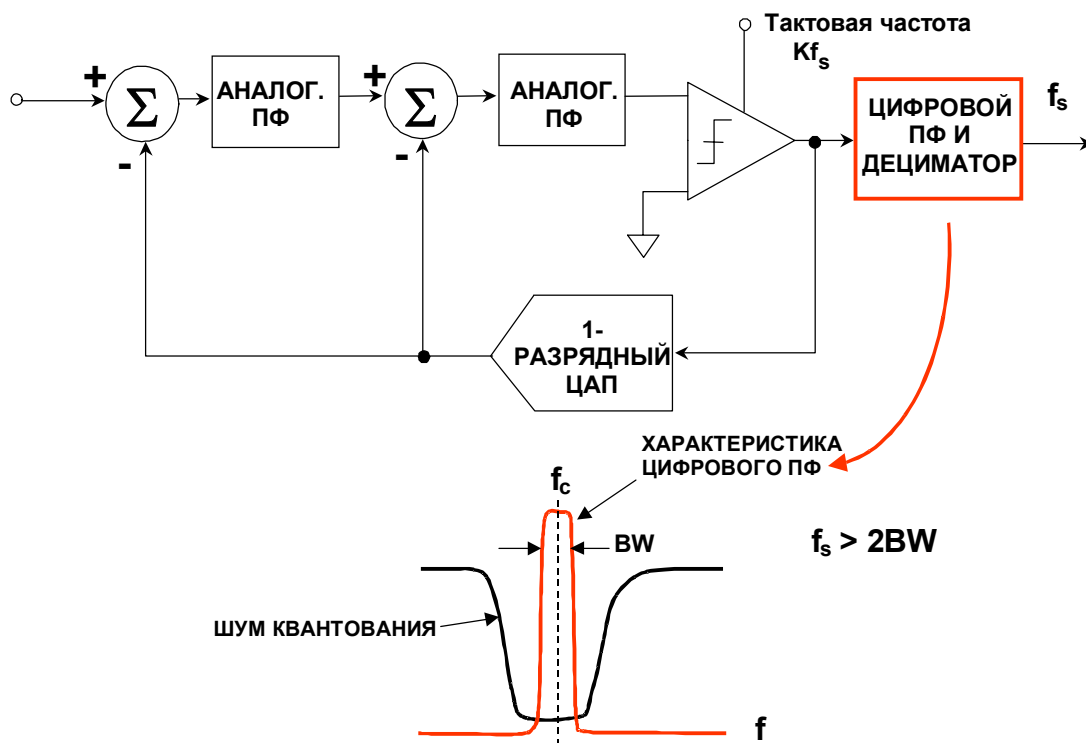


Рис. 3.20

В приложениях, использующих субдискретизацию и полосовые $\Sigma\Delta$ АЦП, минимальная частота дискретизации должна быть, по крайней мере, в два раза больше удвоенной ширины полосы сигнала BW . Сигнал концентрируется вокруг несущей частоты f_c .

Типичная цифровая радиосистема, использующая центральную частоту 455 кГц и ширину полосы сигнала 10 кГц, описана в Приложении 1. Частота избыточной дискретизации $Kf_s = 2$ MSPS и выходная скорость потока цифровых данных $f_s = 20$ KSPS обеспечивают динамический диапазон 70 дБ в пределах ширины полосы сигнала.

Большинство $\Sigma\Delta$ АЦП имеют встроенный цифровой фильтр с фиксированными параметрами. Частота среза фильтра и скорость потока выходных данных являются кратными частоте тактового генератора. Модель AD7725 является 16-разрядным $\Sigma\Delta$ АЦП с внутренним программируемым цифровым фильтром. Максимальная частота избыточной дискретизации модулятора составляет 19,2 MSPS. Выход модулятора подключен к КИХ-фильтру с фиксированными параметрами, который осуществляет децимацию данных, поступающих с выхода модулятора, с коэффициентом 8, выдавая выходные данные со скоростью 2,4 MSPS. Выходной сигнал от КИХ-фильтра с фиксированными параметрами подается на программируемый КИХ-фильтр. Загружая ПЗУ подходящими значениями коэффициентов, этот фильтр может быть запрограммирован для реализации желаемой частотной характеристики.

Программируемый фильтр обладает способностью гибко менять число своих коэффициентов и коэффициент децимации. Фильтр может иметь до 108 коэффициентов,

а

до 5 каскадов децимации и коэффициент децимации в диапазоне от 2 до 256. Точность коэффициентов – 24 разряда, арифметическая точность – 30 разрядов.

Модель AD7725 содержит постпроцессор PuldeDSP™ (торговая марка Systolix) компании Systolix, который позволяет программировать характеристики фильтра через параллельный или последовательный интерфейс микропроцессора. Кроме того, характеристики фильтра могут загружаться при включении/сбросе питания из его внутреннего ПЗУ или из внешнего программируемого ПЗУ.

Постпроцессор является полностью программируемым ядром, которое обеспечивает мощность обработки до 130 миллионов операций умножения с накоплением (MAC) в секунду. Для программирования постпроцессора пользователь должен создать конфигурационный файл, который содержит настраиваемые данные фильтра. Этот файл может быть сгенерирован компилятором, который поставляется компанией Analog Devices. Компилятор AD7725 воспринимает набор коэффициентов фильтра как исходные данные и автоматически создает необходимый файл.

Файл коэффициентов для характеристики КИХ-фильтра (FIR) может быть сгенерирован с использованием пакетов проектирования цифровых фильтров, таких как QEDesign от Momentum Data Systems. Характеристики фильтра можно вывести на печать, позволяя, таким образом, пользователю ознакомиться с ней перед генерацией коэффициентов фильтра. Процессор осуществляет доступ к данным на скорости 2,4 MSPS. Когда в многокаскадном фильтре используется прореживание, первый каскад фильтра работает с быстродействием 2,4 MSPS, благодаря чему пользователь может выполнять прореживание между каскадами. Количество обслуживаемых процессором сигналов равно 108. Поэтому возможна генерация одного 108-сигнального фильтра или может быть спроектирован многокаскадный фильтр на 108 сигналов. Фильтр может иметь характеристики ФНЧ, ФВЧ, полосового режекторного фильтра или просто полосового фильтра.

Модель AD7725 питается однополярным напряжением +5V, имеет встроенный источник опорного напряжения 2,5V и выполнена в 44-контактном корпусе (PQFP). При работе на полную мощность рассеиваемая энергия равна приблизительно 350 мВт. Имеется режим работы с пониженным потреблением, который позволяет использовать частоту тактового генератора 10 MSPS. Максимальная потребляемая мощность в пассивном режиме составляет 200 мВт. Более подробное описание функционирования AD7725 можно найти в разделе 9.

Резюме

$\Sigma\Delta$ АЦП работает в режиме избыточной дискретизации. В этом режиме простые аналоговые фильтры $\Sigma\Delta$ -модулятора формируют кривую распределения шума квантования таким образом, что отношение сигнал/шум (SNR) в заданной полосе пропускания намного больше, чем в других случаях. Благодаря использованию высококачественных цифровых фильтров и дециматора, производится подавление шума за пределами требуемой полосы пропускания. Избыточная дискретизация имеет дополнительный плюс, понижая требования к ФНЧ, применяемому для подавления эффекта наложения спектра. Поскольку аналоговая цепь относительно неприхотлива, ее можно строить с использованием той же цифровой технологии сверхвысокой степени интеграции (VLSI), которая используется для изготовления цифровых фильтров ЦОС. Поскольку основой АЦП является одноразрядный компаратор, применяемая методика является принципиально линейной.

Хотя детальный анализ $\Sigma\Delta$ АЦП затрагивает весьма сложную математику, их основные принципы могут быть поняты без применения математических выкладок. Для дальнейшего обсуждения $\Sigma\Delta$ АЦП Вы можете обратиться к Приложению 1-18.

РЕЗЮМЕ ПО SIGMA-DELTA АЦП

- Изначально превосходная линейность
- Избыточная дискретизация снижает требования к аналоговому антиалайзинговому фильтру
- Идеальны для микросхем со смешанными сигналами, не требуют подгонки параметров
- Не требуют устройств выборки-хранения
- Дополнительные возможности: встроенные усилители с программируемым усилением, аналоговые фильтры, автокалибровка
- Встроенные программируемые цифровые фильтры (AD7725: ФНЧ, ФВЧ, полосовой, режекторный)
- В настоящее время ограничения по частоте дискретизации позволяют использовать данные АЦП для измерений, в голосовых и звуковых приложениях, но технология полосовых сигма-дельта АЦП может изменить ситуацию
- Скорость переключения аналогового мультиплексора ограничена временем установления внутреннего фильтра. Предполагается использование одного сигма-дельта АЦП на один канал.

Рис. 3.21

ПАРАЛЛЕЛЬНЫЕ (FLASH) АЦП

Параллельные АЦП (Flash АЦП) являются самым быстрым типом АЦП, использующим большое количество компараторов, работающих параллельно. N-разрядный параллельный АЦП состоит из 2^N резисторов и $2^N - 1$ компараторов, размещенных, как это показано на рис.3.22. На каждый компаратор подается опорное напряжение, значение которого для соседних точек отличается на величину, соответствующую одному младшему значащему разряду (LSB) (более старшие разряды — в верхних по схеме элементах). При фиксированном входном напряжении все компараторы, размещенные на схеме ниже некоторой точки, имеют входное напряжение выше опорного напряжения. На их логическом выходе присутствует "1". У всех же компараторов выше этой точки опорное напряжение больше входного, и их логический выход установлен в "0". Поэтому $2^N - 1$ выходов компаратора ведут себя аналогично ртутному термометру, и выходной код такого АЦП иногда называют «кодом термометра». В действительности, было бы непрактично выводить $2^N - 1$ линий данных наружу, поэтому они преобразуются шифратором в N-разрядный двоичный код.

а

ПАРАЛЛЕЛЬНЫЙ (FLASH) АЦП

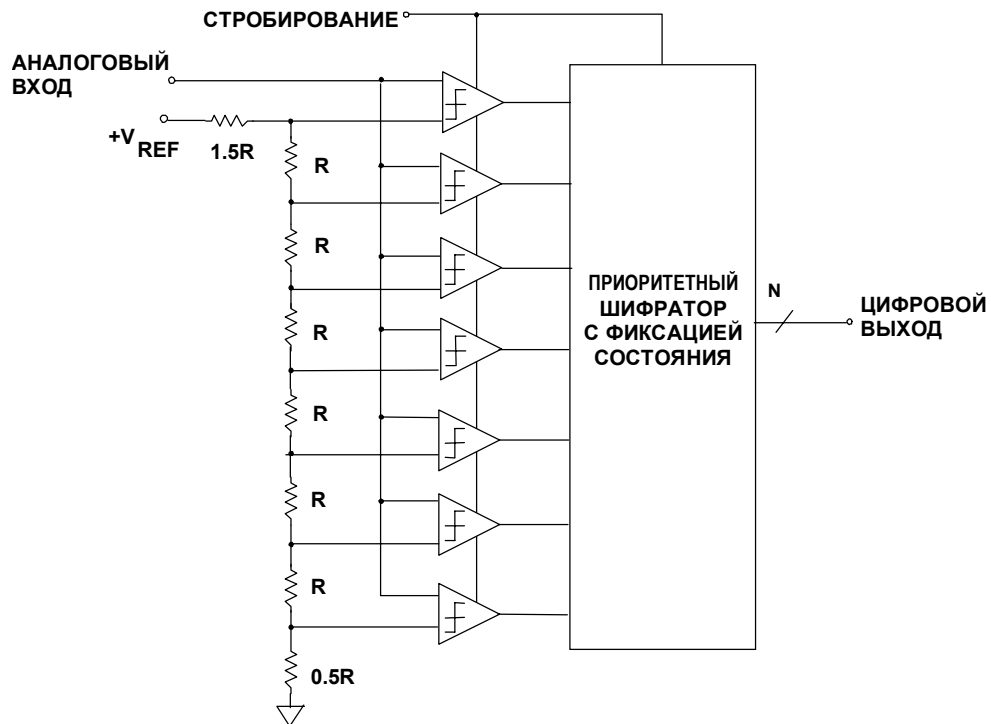


Рис. 3.22

Входной сигнал подается на все компараторы сразу, поэтому "выход термометра" имеет задержку по отношению к входному сигналу, равную задержке только одного компаратора и N -разрядного кодера. Это соответствует задержке нескольких логических элементов, так что процесс преобразования осуществляется очень быстро. Но такая архитектура предполагает использование большого числа резисторов и компараторов, имеет ограничение по максимальной разрешающей способности и, чтобы обеспечить высокое быстродействие, каждый компаратор должен иметь довольно высокий уровень потребления энергии. Следовательно, к проблемам параллельных АЦП относятся ограниченная разрешающая способность, высокий уровень рассеивания энергии вследствие большого количества высокоскоростных компараторов (особенно на частотах дискретизации больших, чем 50 MSPS) и относительно большие размеры кристалла (и потому — высокая стоимость). Кроме того, для питания быстрых компараторов необходимым током смещения, цепочка опорных резисторов должна иметь низкое сопротивление, чтобы этот источник давал весьма большие токи (> 10 мА).

На практике реализуются преобразователи до 10-разрядов, но обычно параллельные АЦП имеют разрешающую способность, соответствующую 8-разрядам. Их максимальная частота дискретизации может достигать 1 ГГц при ширине полосы пропускания по уровню полной мощности более 300 МГц.

Как упоминалось ранее, полоса пропускания по уровню полной мощности не обязательно равна полосе, соответствующей полной разрешающей способности. Идеальный компаратор параллельного преобразователя имеет хорошие характеристики и по постоянному, и по переменному току. Поскольку синхронизирующий строб подается на все компараторы одновременно, параллельный преобразователь автоматически реализует схему выборки-хранения на своем входе. На практике существуют различия в задержках компараторов и другие рассогласования по переменному току, которые вызывают

а

уменьшение эффективного числа разрядов (ENOB) на высоких входных частотах. Это происходит потому, что скорость нарастания сигналов непосредственно на входах сопоставима со временем преобразования компаратора.

Вход параллельного АЦП непосредственно подключается к большому количеству компараторов. Каждый компаратор имеет изменяющуюся в зависимости от напряжения емкость перехода, и наличие этой емкости, зависящей от сигнала, приводит в большинстве параллельных АЦП к уменьшению эффективного числа разрядов (ENOB) и к большим искажениям на высоких входных частотах.

Добавление одного разряда к общей разрешающей способности параллельного преобразователя требует удвоения количества компараторов! Это ограничивает практическую разрешающую способность высокоскоростных параллельных преобразователей до 8 разрядов, так как при более высоких разрешающих способностях слишком велико выделение тепла.

В 10-разрядном АЦП AD9410 с быстродействием 200 MSPS для минимизации числа предварительных усилителей в компараторах преобразователя, а также для уменьшения мощности (1,8 Вт), используется метод, называемый интерполяцией. Метод иллюстрируется на рис.3.23.

ИНТЕРПОЛИРУЮЩИЙ FLASH АЦП УМЕНЬШАЕТ КОЛИЧЕСТВО ПРЕДВАРИТЕЛЬНЫХ УСИЛИТЕЛЕЙ ВДВОЕ

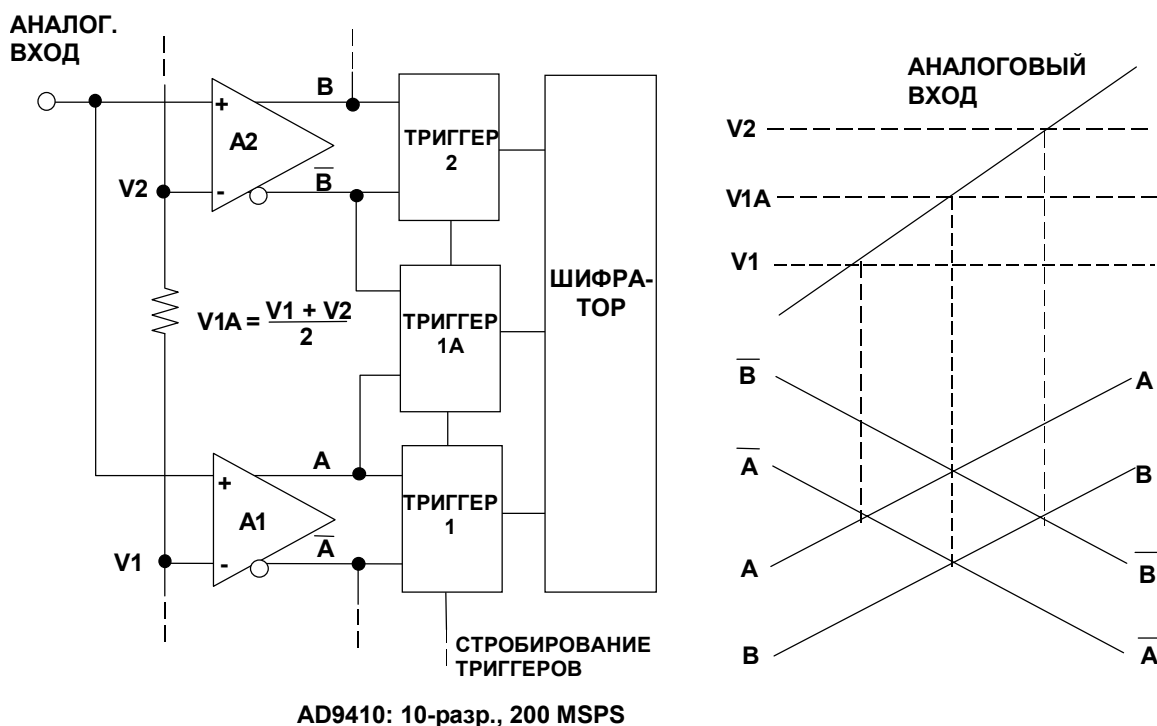


Рис. 3.23

Предварительные усилители (обозначены "A1", "A2" и т.д.) представляют собой каскады с низким коэффициентом усиления g_m , ширина полосы пропускания которых пропорциональна обратным токам дифференциальных пар. Рассмотрим случай положительного пилообразного входного сигнала, который первоначально меньше

а

опорного напряжения V_1 усилителя A_1 . По мере того, как значение входного сигнала приближается к V_1 , значение дифференциального выхода A_1 приближается к 0 (т.е. $A = \bar{A}$) в точке переключения компаратора. Сигнал с выхода A_1 подается на дифференциальный вход триггера 1. Пока входные сигналы остаются положительными, выход A также сохраняется положительным, а выход \bar{B} становится отрицательным. Получаемая в результате интерполяции точка переключения соответствует $A = \bar{B}$. Пока входной сигнал остается положительным, третья точка переключения определяется условием $B = \bar{B}$. Эта новая архитектура уменьшает входную емкость АЦП и, таким образом, минимизирует ее изменение под действием входного сигнала и связанные с этим искажения. УВХ на входе модели AD9410 улучшает ее линейность по переменному току.

КОНВЕЙЕРНЫЕ (SUBRANGING, PIPELINED) АЦП

Хотя целесообразность построения параллельных АЦП с высоким разрешением (большим, чем 10-разрядов) вызывает сомнения, такие АЦП часто используются в качестве подсистем конвейерных (subranging) АЦП (иногда называемых полупараллельными (half-flash) АЦП), которые обладают значительно более высокой разрешающей способностью (до 16-разрядов).

Блок-схема 8-разрядного конвейерного АЦП на основе двух параллельных 4-разрядных АЦП показана на рис.3.24. Учитывая широкую распространенность 8-разрядных параллельных преобразователей с высокими частотами дискретизации, пример такого преобразователя мы используем для иллюстрации концепции. Процесс преобразования осуществляется в два этапа. Первые четыре старших разряда (MSB) оцифровываются первым параллельным АЦП (обладающим точностью выше 8 разрядов), и двоичный выходной 4-разрядный код подается на 4-разрядный ЦАП (также обладающий точностью выше 8 разрядов). Выходной сигнал с ЦАП вычитается из сохраненного аналогового входного сигнала, и результат вычитания (остаток) усиливается и подается на второй параллельный АЦП. Затем выходные сигналы двух 4-разрядных параллельных преобразователей объединяются в один 8-разрядный выходной код. Если динамический диапазон остаточного сигнала не точно заполняет динамический диапазон второго параллельного преобразователя, возникает нелинейность и, возможно, потеря кода.

а

8-РАЗРЯДНЫЙ КОНВЕЙЕРНЫЙ АЦП

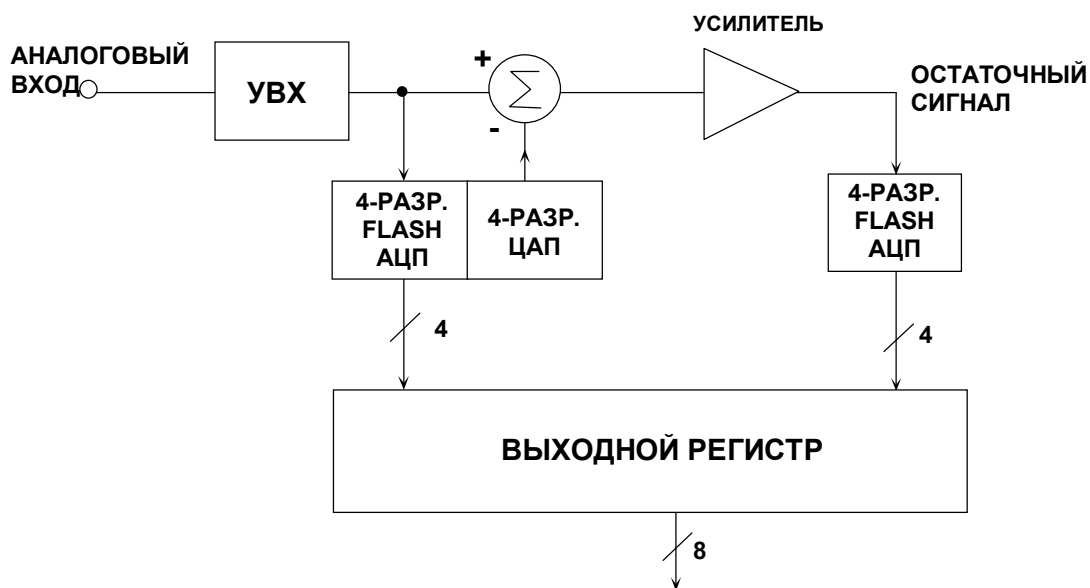


Рис. 3.24

Современные конвейерные АЦП используют методы, называемые цифровой коррекцией, для устранения проблем, связанных с архитектурой, представленной на рис.3.24.

Упрощенная блок-схема 12-разрядного конвейерного АЦП с цифровой коррекцией (DCS) представлена на рис.3.25. Представленная архитектура подобна той, что используется в 12-разрядном АЦП AD6640 с быстродействием 65MSPS. Обратите внимание, что 6-разрядный и 7-разрядный АЦП используются для получения выходного кода в 12 разрядов. Данные АЦП не являются параллельными АЦП, но используют архитектуру усилителей модуля (*magnitude-amplifier, MagAmp™*), которая вскоре будет описана.

Если в преобразовании первой ступени нет ошибок, 6-разрядный остаточный сигнал, поданный на 7-разрядный АЦП с суммирующего усилителя, никогда не превысит половину диапазона 7-разрядного АЦП. Избыточный динамический диапазон второго АЦП, совместно с логикой исправления ошибки (обычно это просто полный сумматор), используются для исправления в выходных данных большинства ошибок, свойственных традиционным преобразователям с конвейерной архитектурой без коррекции. Важно обратить внимание, что 6-разрядный ЦАП должен иметь точность, соответствующую не менее чем 12-разрядам, потому что при цифровой коррекции не исправляются ошибки ЦАП. На практике вместо "двоичного" ЦАП часто используются ЦАП типа "термометр" или полностью декодирующие ЦАП, имеющие на каждый уровень один коммутатор тока (63 коммутатора в случае 6-разрядного ЦАП). Этим гарантируется высокая дифференциальная и интегральная линейность и минимизируются переходные процессы, вызванные коммутацией.

а

12-РАЗРЯДНЫЙ 65MSPS КОНВЕЙЕРНЫЙ АЦП С ЦИФРОВОЙ КОРРЕКЦИЕЙ ОШИБОК AD6640

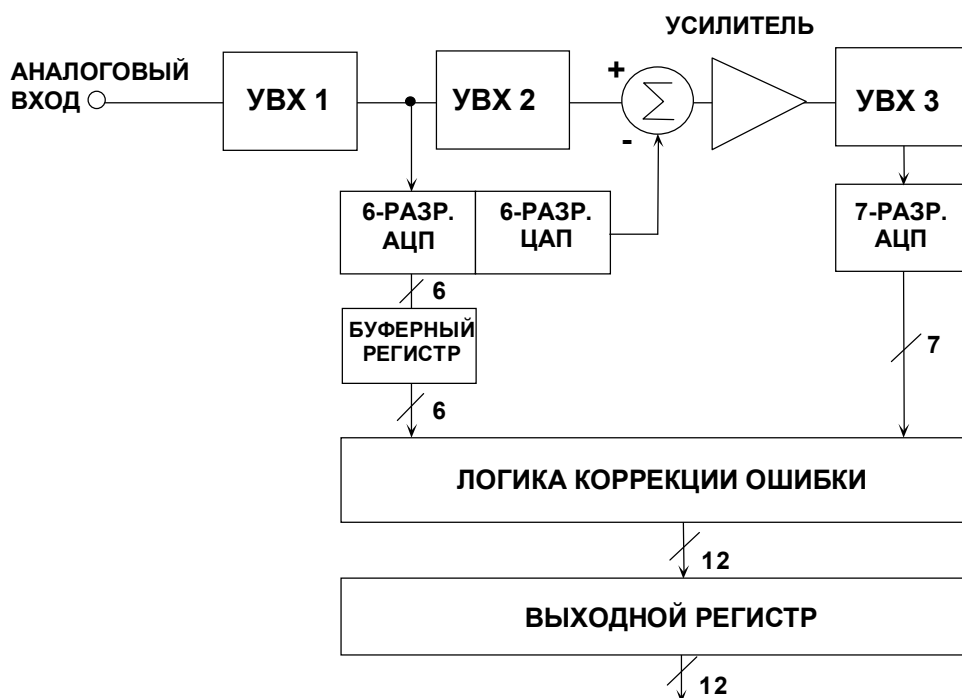


Рис. 3.25

УВХ-2 хранит сигнал с выхода УВХ-1 до тех пор, пока выполняется преобразование первой ступени, максимизируя, таким образом, производительность. УВХ-3 ограничивает значение ложного сигнала (glitch) по остаточному сигналу, таким образом, давая возможность осуществить полный цикл преобразования сигнала 7-разрядным АЦП (6- и 7-разрядные АЦП в AD6640 являются поразрядными АЦП, построенные по архитектуре MagAmp, которые требуют большего времени установки, чем параллельные АЦП).

Такой метод многоступенчатого преобразования иногда упоминается как конвейерная обработка. Дополнительные регистры сдвига, подключенные последовательно с цифровыми выходами АЦП первой ступени, гарантируют, что, когда их выходы объединяются в логике коррекции ошибки, они оказываются синхронизированными по времени с последними 7 разрядами второго АЦП. Поэтому конвейерный АЦП имеет специфическое число тактовых циклов ожидания результата, или конвейерную задержку, связанную с выходными данными. Передний фронт тактового импульса дискретизации (отсчета N) используется для синхронизации выходного регистра, но данные, которые появляются по фронту этого тактового импульса, соответствует отсчету N - L, где L — число тактовых циклов конвейерной задержки. В AD6640 конвейерная задержка выполняется в два тактовых цикла.

Схема коррекции ошибки, описанная выше, рассчитана на исправление ошибок, допущенных при первом преобразовании. Ошибки внутреннего усиления АЦП, смещения и линейности корректируются, пока остаточный сигнал находится в пределах динамического диапазона АЦП второй ступени. Эти ошибки не будут затрагивать линейности передаточной характеристики всего АЦП. Но ошибки конечного преобразования становятся ошибками общей функции передачи всего АЦП. Ошибки линейности или усиления ЦАП и усилителя остаточного сигнала не корректируются и проявятся как нелинейность или немонотонность в общей функции передачи всего АЦП.

а

Мы рассмотрели пока только двухступенчатые конвейерные АЦП, поскольку они являются самыми простыми для анализа. Но нет причины останавливаться на двух ступенях. Трех- и четырехступенчатые конвейерные АЦП являются весьма обычной продукцией и могут быть реализованы самыми разными способами, как правило — с цифровой коррекцией ошибок.

Упрощенная блок-схема 12-разрядного CMOS АЦП AD9220 с быстродействием 10MSPS, однополярным питанием и потребляемой мощностью 250 мВт представлена на рис.3.26. АЦП AD9221 (1,25 MSPS, 60 мВт) и AD9223 (3MSPS, 100 мВт) имеют идентичную архитектуру, но работают с более низким энергопотреблением и на более низких частотах дискретизации. Это четырехступенчатая конвейерная архитектура с дополнительным разрядом, используемым для коррекции ошибки на второй, третьей и четвертой ступенях. Благодаря конвейерной архитектуре, эти АЦП имеют три тактовых цикла конвейерной задержки (см. рис.3.27).

12-РАЗРЯДНЫЕ КОНВЕЙЕРНЫЕ CMOS АЦП AD9220/9221/9223

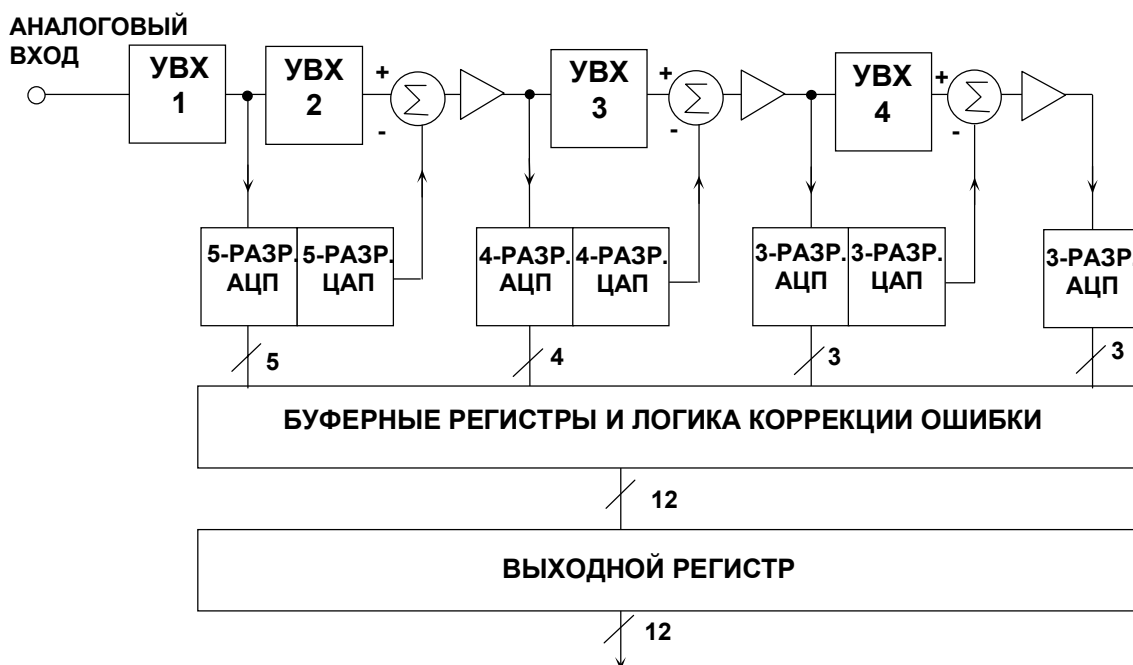


Рис. 3.26

а

КОНВЕЙЕРНАЯ ЗАДЕРЖКА АЦП AD9220/9221/9223

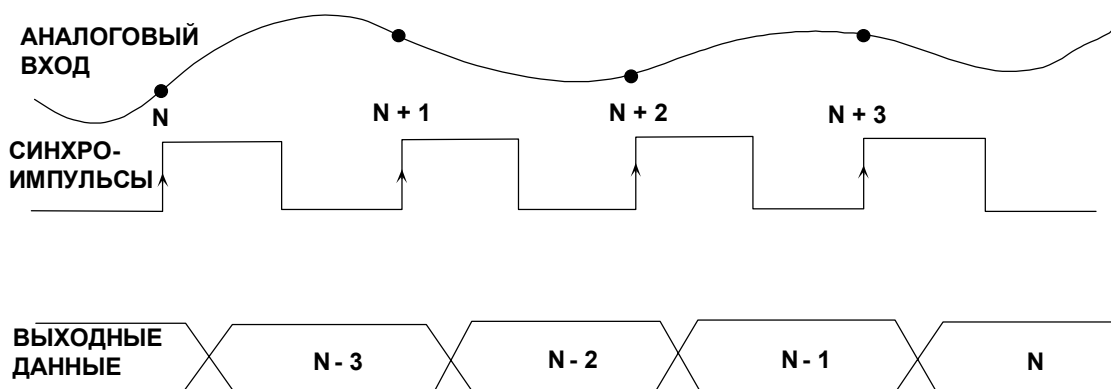


Рис. 3.27

КАСКАДНЫЕ АЦП (BIT-PER-STAGE, ПОСЛЕДОВАТЕЛЬНЫЕ)

Для выполнения аналого-цифрового преобразования существуют различные архитектуры, использующие принципы последовательного преобразования. В действительности, конвейерный АЦП с одним разрядом на ступень и без коррекции ошибок может рассматриваться как АЦП последовательного счета. На рис.3.28 представлена общая концепция. УВХ хранит значение входного сигнала в течение цикла преобразования. Существует N ступеней, каждая из которых имеет одноразрядный цифровой выход и выход остаточного сигнала. Остаточный сигнал каждой ступени является входным сигналом для следующей ступени. Как показано на рисунке, последний разряд является просто выходным сигналом компаратора.

ПОСЛЕДОВАТЕЛЬНЫЕ АЦП (BIT-PER-STAGE)

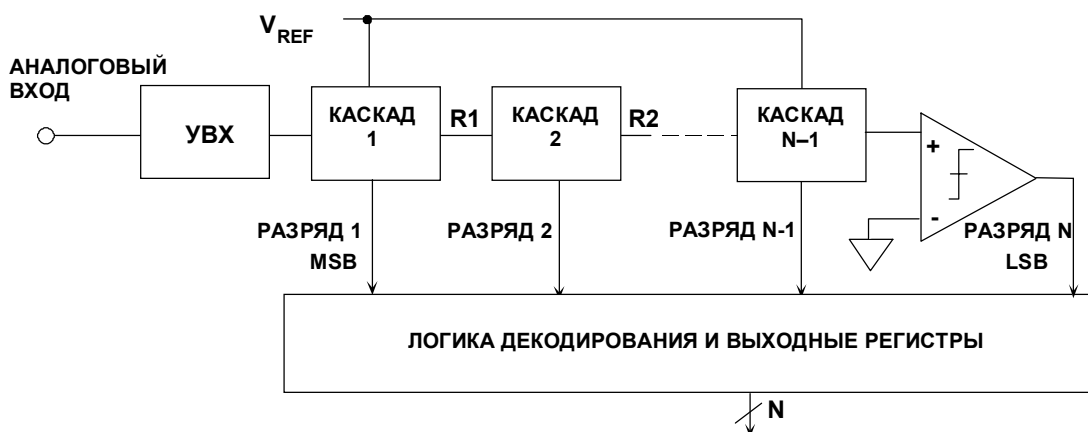


Рис. 3.28

а

ОДИН КАСКАД ПОСЛЕДОВАТЕЛЬНОГО АЦП

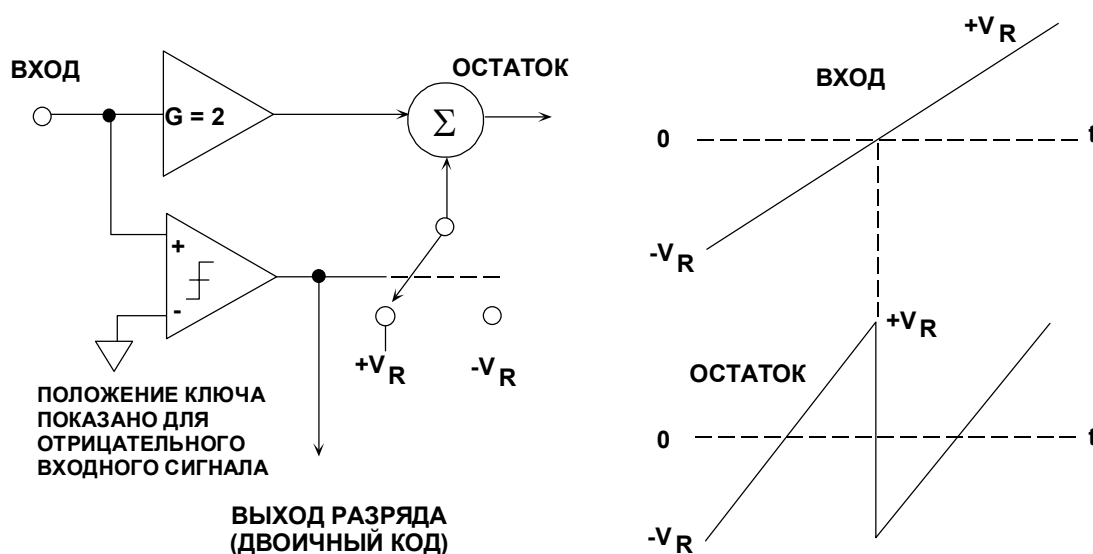


Рис. 3.29

На рис.3.29 показан каскад для выполнения одного однобитового преобразования. Каскад состоит из усилителя с коэффициентом усиления 2, компаратора и одноразрядного ЦАП. Предположим, что данный каскад является первой ступенью АЦП. Старший значащий разряд (MSB) – это разряд полярности входного сигнала, определяемой компаратором, который также управляет одноразрядным ЦАП. Выходной сигнал одноразрядного ЦАП суммируется с сигналом на выходе усилителя, который имеет коэффициент усиления 2. Результирующий остаточный сигнал подается на следующую ступень. Для лучшего понимания работы схемы на графике показан остаточный сигнал для случая входного линейно нарастающего пилообразного напряжения, размах которого соответствует полному диапазону АЦП от $-V_R$ до $+V_R$. Обратите внимание, что полярность остаточного сигнала определяет значение выхода двоичного разряда следующей ступени.

Упрощенный 3-разрядный последовательный двоичный АЦП представлен на рис.3.30. Графики остаточных сигналов, соответствующие выходам различных ступеней, представлены на рис.3.31. Как и в предыдущем случае, рассматривается вариант входного линейного пилообразного напряжения, размах которого соответствует диапазону от $-V_R$ до $+V_R$. Каждый остаточный выходной сигнал имеет разрывы, которые соответствуют точкам смены состояния компараторов и переключения ЦАП. Основной проблемой такой архитектуры является наличие разрывов (скачкообразных изменений) формы выходных остаточных сигналов различных ступеней. Необходимо предусмотреть адекватное время установки для окончания соответствующих переходных процессов во всех промежуточных ступенях и на входе компаратора последней ступени. Поэтому перспективы использования этой архитектуры для работы на высоких частотах дискретизации весьма неутешительны.

а

3-РАЗРЯДНЫЙ ПОСЛЕДОВАТЕЛЬНЫЙ АЦП С ДВОИЧНЫМ ВЫХОДОМ

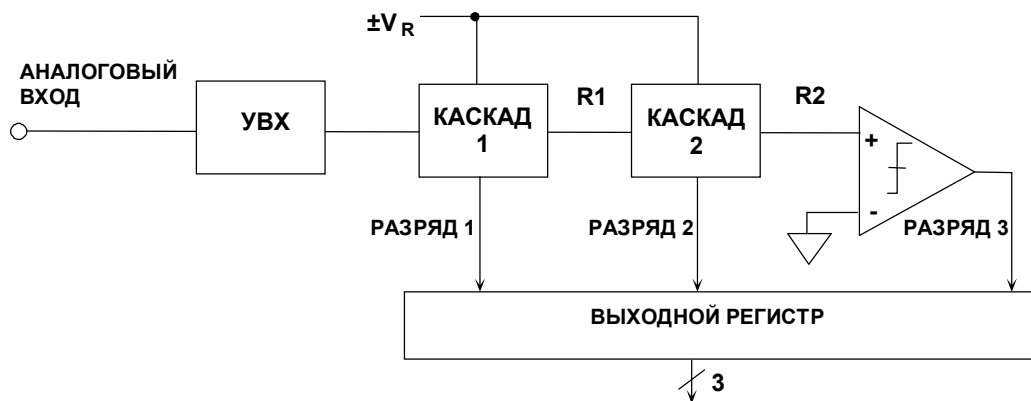


Рис. 3.30

ФОРМА ВХОДНОГО И ОСТАТОЧНОГО СИГНАЛОВ 3-РАЗРЯДНОГО ПОСЛЕДОВАТЕЛЬНОГО АЦП

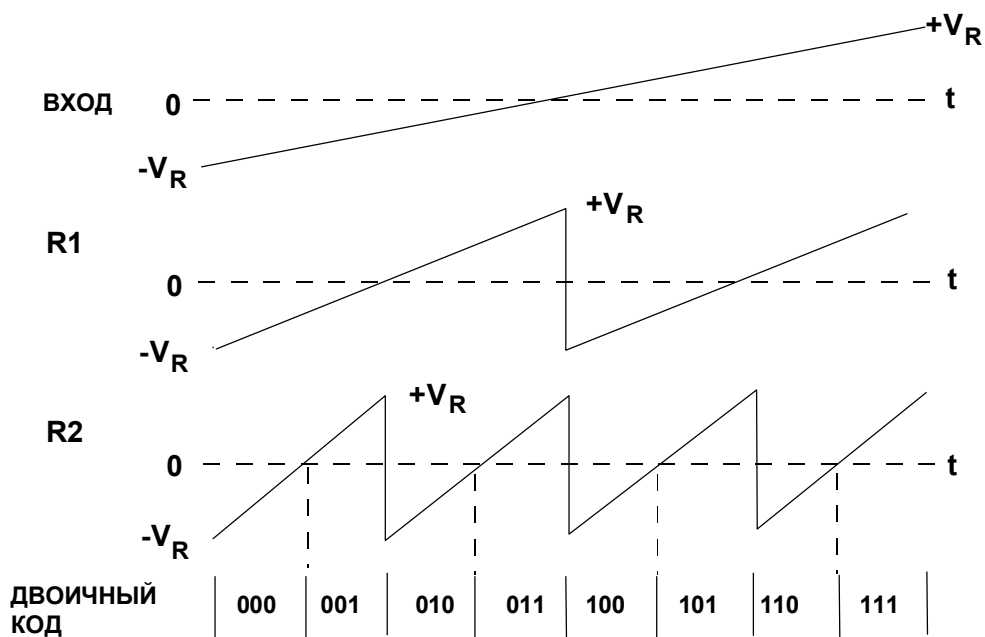


Рис. 3.31

Намного более совершенная архитектура АЦП последовательного счета, основанная на усилителях абсолютной величины (усилители модуля (magnitude amplifiers) или просто *MagAmps*TM), была разработана Ф. Д. Вальдхауэром (F.D. Waldhauer), Приложение 21. Эта схема часто упоминается, как последовательная схема Грея (serial-Gray) (так как выходное кодирование осуществляется кодом Грея) или поворачивающий (folding) преобразователь (Приложения 22, 23, 24). Функциональная схема основной ступени вместе с ее передаточной функцией представлены на рис.3.32. Принимается, что входной сигнал ступени является линейным пилообразным напряжением, размах которого соответствует диапазону от $-V_R$ до $+V_R$. Компаратор выявляет полярность входного сигнала и

а

формирует выходной разряд для данной ступени в виде кода Грея. Компаратор также определяет, должно ли общее усиление ступени быть равным +2 или -2. опорное напряжение V_R суммируется с выходом коммутатора для генерации остаточного сигнала, который подается на следующую ступень. Полярность остаточного сигнала определяет выходной разряд следующей ступени вновь в виде кода Грея. Передаточная функция поворачивающей (folding) ступени также представлена на рис.3.32.

ЭКВИВАЛЕНТНАЯ СХЕМА КАСКАДА MAGAMP

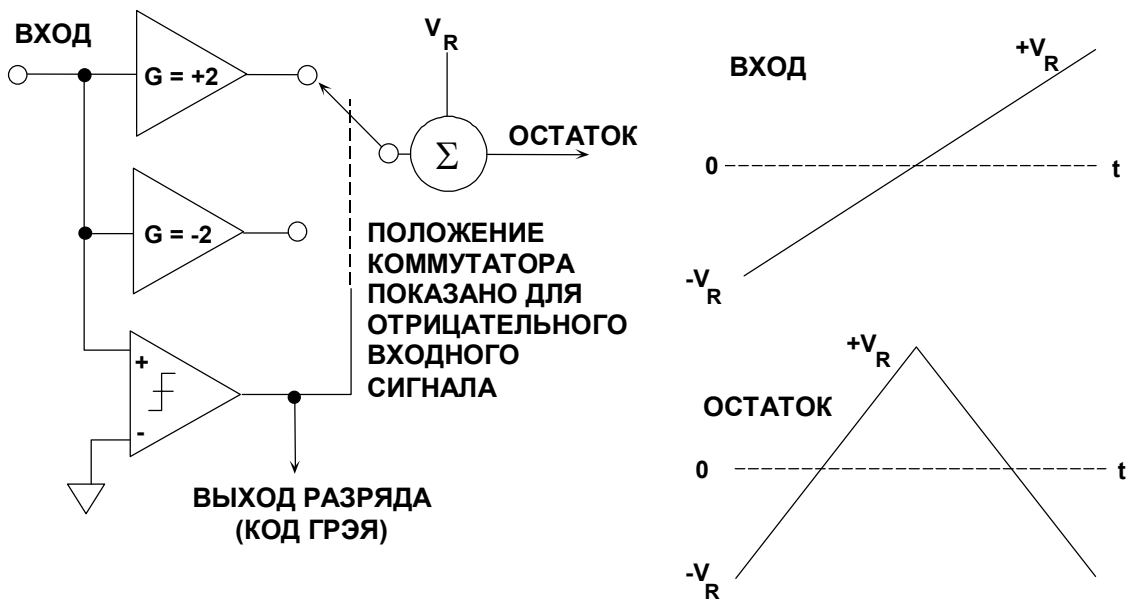


Рис. 3.32

3-разрядный поворачивающий (folding) MagAmp АЦП представлен на рис.3.33, а диаграммы соответствующих остаточных сигналов изображены на рис.3.34. Как и в случае двоичного АЦП с пилообразной формой остаточных сигналов, значение кода Грея для следующей ступени определяется полярностью выходного остаточного сигнала предыдущей ступени. Полярность входного сигнала первой ступени определяет старший значащий разряд кода Грея; полярность выхода R1 — второй разряд кода Грея, полярность выхода R2 — третий разряд кода Грея. Обратите внимание, что, в отличие от двоичного импульсного АЦП, ни одна из ступеней данной архитектуры не дает перепада значения остаточного сигнала. Это делает данную архитектуру перспективной для работы на высоких частотах дискретизации.

Основой функционирования этой архитектуры на высоких скоростях является применение поворачивающей (folding) ступени. Ранние применения данной архитектуры (см. Приложения 22, 23, 24) для генерации поворачивающей функции передачи использовали дискретные операционные усилители с диодами в контуре обратной связи. Современные интегральные схемы реализуют требуемую функцию передачи, управляя коэффициентом усиления по току при разомкнутой обратной связи, что может быть реализовано с более высоким быстродействием. Полностью дифференциальные ступени (включая УВХ) также обеспечивают высокую скорость, более низкие искажения и дают поворачивающие (folding) ступени, обладающие 8-разрядной точностью, не требуя лазерной подстройки тонкопленочного резистора (см. Приложения 25, 26, 27).

а

БЛОК-СХЕМА 3-РАЗРЯДНОГО АЦП MagAmp™

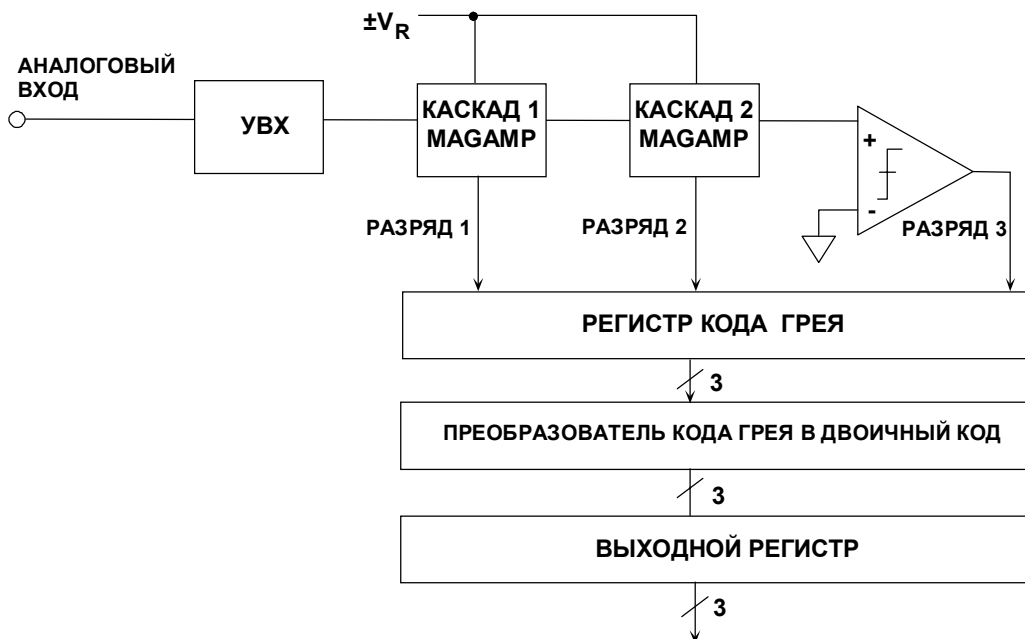


Рис. 3.33

ФОРМА ВХОДНОГО И ОСТАТОЧНЫХ СИГНАЛОВ 3-РАЗРЯДНОГО АЦП МАГАМП

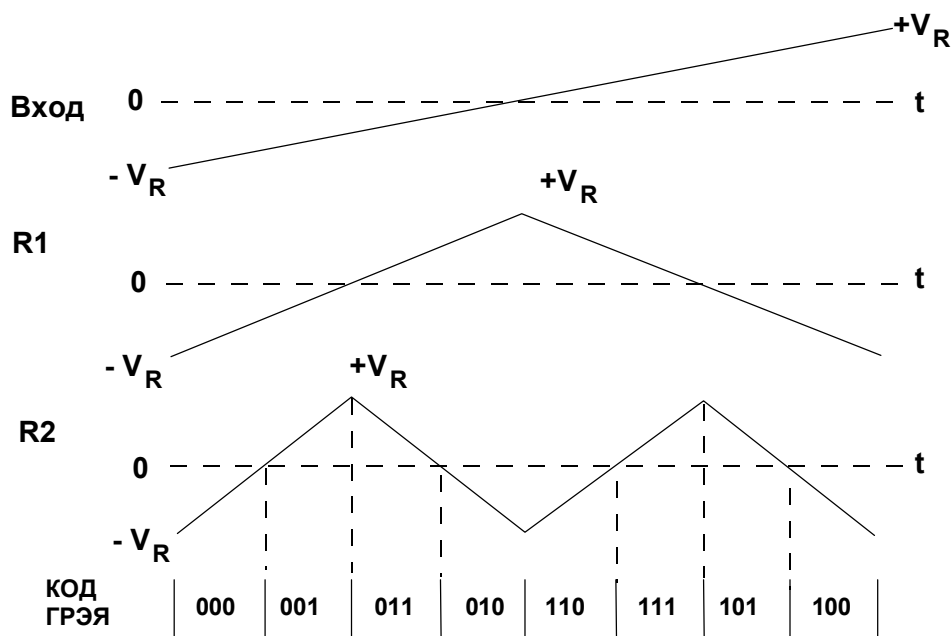


Рис. 3.34

Использование архитектура MagAmp может быть расширено до скоростей дискретизации, в которых ранее доминировали параллельные (flash) преобразователи. Двойной 8-

а

разрядный АЦП AD9288-100 с быстродействием 100 MSPS представлен на рис.3.35. Первые пять разрядов (код Грея) получены из пяти дифференциальных MagAmp ступеней. Дифференциальный остаточный выход пятой ступени MagAmp управляет 3-разрядным параллельным преобразователем вместо одиночного компаратора. Выходной код Грея пяти ступеней, построенных по архитектуре MagAmps, и выходной двоичный код 3-разрядного параллельного АЦП хранятся в регистре, затем все данные преобразуются в двоичный код и помещаются в выходной регистр.

ФУНКЦИОНАЛЬНАЯ СХЕМА ДВОЙНОГО 8-РАЗРЯДНОГО 100 MSPS АЦП AD9288-100

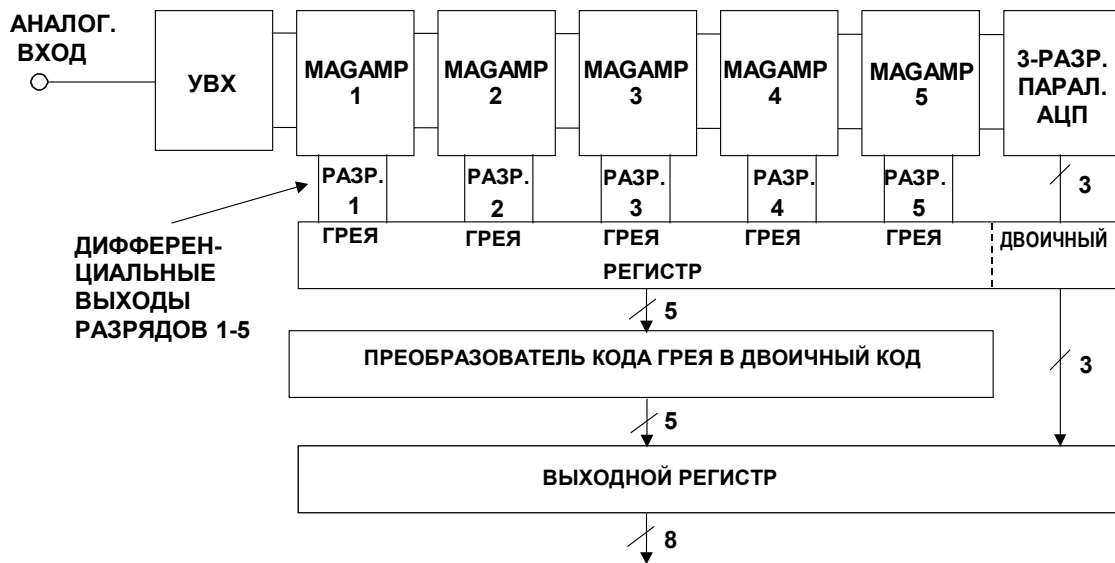


Рис. 3.35

a

СПИСОК ЛИТЕРАТУРЫ

1. S. A. Jantzi, M. Snelgrove & P. F. Ferguson Jr., *A 4th-Order Bandpass Sigma-Delta Modulator*, **IEEE Journal of Solid State Circuits**, Vol. 38, No. 3, March 1993, pp.282-291.
2. **System Applications Guide**, Analog Devices, Inc., 1993, Section 14.
3. **Mixed Signal Design Seminar**, Analog Devices, Inc., 1991, Section 6.
4. **AD77XX-Series Data Sheets**, Analog Devices, <http://www.analog.com>.
5. **Linear Design Seminar**, Analog Devices, Inc., 1995, Section 8.
6. J. Dattorro, A. Charpentier, D. Andreas, *The Implementation of a One-Stage Multirate 64:1 FIR Decimator for use in One-Bit Sigma-Delta A/D Applications*, **AES 7th International Conference**, May 1989.
7. W.L. Lee and C.G. Sodini, *A Topology for Higher-Order Interpolative Coders*, **ISCAS PROC. 1987**.
8. P.F. Ferguson, Jr., A. Ganesan and R. W. Adams, *One Bit Higher Order Sigma-Delta A/D Converters*, **ISCAS PROC. 1990**, Vol. 2, pp. 890-893.
9. R. Koch, B. Heise, F. Eckbauer, E. Engelhardt, J. Fisher, and F. Parzefall, *A 12-bit Sigma-Delta Analog-to-Digital Converter with a 15MHz Clock Rate*, **IEEE Journal of Solid-State Circuits**, Vol. SC-21, No. 6, December 1986.
10. Wai Laing Lee, *A Novel Higher Order Interpolative Modulator Topology for High Resolution Oversampling A/D Converters*, **MIT Masters Thesis**, June 1987.
11. D. R. Welland, B. P. Del Signore and E. J. Swanson, *A Stereo 16-Bit Delta-Sigma A/D Converter for Digital Audio*, **J. Audio Engineering Society**, Vol. 37, No. 6, June 1989, pp. 476-485.
12. R. W. Adams, *Design and Implementation of an Audio 18-Bit Analog-to-Digital Converter Using Oversampling Techniques*, **J. Audio Engineering Society**, Vol. 34, March 1986, pp. 153-166.
13. B. Boser and Bruce Wooley, *The Design of Sigma-Delta Modulation Analog-to-Digital Converters*, **IEEE Journal of Solid-State Circuits**, Vol. 23, No. 6, December 1988, pp. 1298-1308.
14. Y. Matsuya, et. al., *A 16-Bit Oversampling A/D Conversion Technology Using Triple-Integration Noise Shaping*, **IEEE Journal of Solid-State Circuits**, Vol. SC-22, No. 6, December 1987, pp. 921-929.
15. Y. Matsuya, et. al., *A 17-Bit Oversampling D/A Conversion Technology Using Multistage Noise Shaping*, **IEEE Journal of Solid-State Circuits**, Vol. 24, No. 4, August 1989, pp. 969-975.

a

16. P. Ferguson, Jr., A. Ganesan, R. Adams, et. al., *An 18-Bit 20-kHz Dual Sigma-Delta A/D Converter*, **ISSCC Digest of Technical Papers**, February 1991.
17. Steven Harris, *The Effects of Sampling Clock Jitter on Nyquist Sampling Analog-to-Digital Converters and on Oversampling Delta Sigma ADCs*, **Audio Engineering Society Reprint 2844 (F-4)**, October, 1989.
18. Max W. Hauser, *Principles of Oversampling A/D Conversion*, **Journal Audio Engineering Society**, Vol. 39, No. 1/2, January/February 1991, pp. 3-26.
19. Daniel H. Sheingold, **Analog-Digital Conversion Handbook**, Third Edition, Prentice-Hall, 1986.
20. Chuck Lane, *A 10-bit 60MSPS Flash ADC*, **Proceedings of the 1989 Bipolar Circuits and Technology Meeting**, IEEE Catalog No. 89CH2771-4, September 1989, pp. 44-47.
21. F.D. Waldhauer, *Analog to Digital Converter*, **U.S. Patent 3-187-325**, 1965.
22. J.O. Edson and H.H. Henning, *Broadband Codecs for an Experimental 224Mb/s PCM Terminal*, **Bell System Technical Journal**, 44, November 1965, pp. 1887-1940.
23. **J.S. Mayo**, *Experimental 224Mb/s PCM Terminals*, **Bell System Technical Journal**, 44, November 1965, pp. 1813-1941.
24. Hermann Schmid, **Electronic Analog/Digital Conversions**, Van Nostrand Reinhold Company, New York, 1970.
25. Carl Moreland, *An 8-bit 150MSPS Serial ADC*, **1995 ISSCC Digest of Technical Papers**, Vol. 38, p. 272.
26. Roy Gosser and Frank Murden, *A 12-bit 50MSPS Two-Stage A/D Converter*, **1995 ISSCC Digest of Technical Papers**, p. 278.
27. Carl Moreland, **An Analog-to-Digital Converter Using Serial-Ripple Architecture**, Masters' Thesis, Florida State University College of Engineering, Department of Electrical Engineering, 1995.
28. **Practical Analog Design Techniques**, Analog Devices, 1995, Chapter 4, 5, and 8.
29. **Linear Design Seminar**, Analog Devices, 1995, Chapter 4, 5.
30. **System Applications Guide**, Analog Devices, 1993, Chapter 12, 13, 15,16.
31. **Amplifier Applications Guide**, Analog Devices, 1992, Chapter 7.

a

32. Walt Kester, *Drive Circuitry is Critical to High-Speed Sampling ADCs*, **Electronic Design Special Analog Issue**, Nov. 7, 1994, pp. 43-50.
33. Walt Kester, *Basic Characteristics Distinguish Sampling A/D Converters*, **EDN**, Sept. 3, 1992, pp. 135-144.
34. Walt Kester, *Peripheral Circuits Can Make or Break Sampling ADC Systems*, **EDN**, Oct. 1, 1992, pp. 97-105.
35. Walt Kester, *Layout, Grounding, and Filtering Complete Sampling ADC System*, **EDN**, Oct. 15, 1992, pp. 127-134.
36. **High Speed Design Techniques**, Analog Devices, 1996, Chapter 4, 5.

а

ГЛАВА 4

ЦИФРО-АНАЛОГОВЫЕ ПРЕОБРАЗОВАТЕЛИ (ЦАП) ДЛЯ ЗАДАЧ ЦИФРОВОЙ ОБРАБОТКИ СИГНАЛОВ

- Структуры ЦАП
- Архитектуры ЦАП с малыми искажениями
- Логика ЦАП
- Сигма-Дельта ЦАП
- Прямой цифровой синтез (DDS)

ЦИФРО-АНАЛОГОВЫЕ ПРЕОБРАЗОВАТЕЛИ (ЦАП) ДЛЯ ЗАДАЧ ЦИФРОВОЙ ОБРАБОТКИ СИГНАЛОВ

Уолт Кестер, Джеймс Брайэнт

СТРУКТУРЫ ЦАП

Большинство обычно используемых структур ЦАП (отличных от простого одnorазрядного ЦАП, основанного на одном коммутаторе с использованием опорного напряжения) являются двоичными взвешивающими ЦАП или многоразрядными схемами лестничного типа. Данные схемы, хотя и являются несложными по структуре, требуют весьма тщательного анализа. Мы начнем рассматривать одну из простейших структур – делитель Кельвина, представленный на рис.4.1. N-разрядная версия этого ЦАП просто содержит 2^N равных по величине последовательно соединенных резисторов. Выходной сигнал снимается с соответствующего отвода замыканием одного из 2^N коммутаторов после декодирования N-разрядных данных. Современные ЦАП, использующие эту архитектуру, называются строковыми ЦАП.

ДЕЛИТЕЛЬ КЕЛЬВИНА – ПРОСТЕЙШИЙ ЦАП С ВЫХОДОМ НАПРЯЖЕНИЯ (СТРОКОВЫЙ ЦАП)

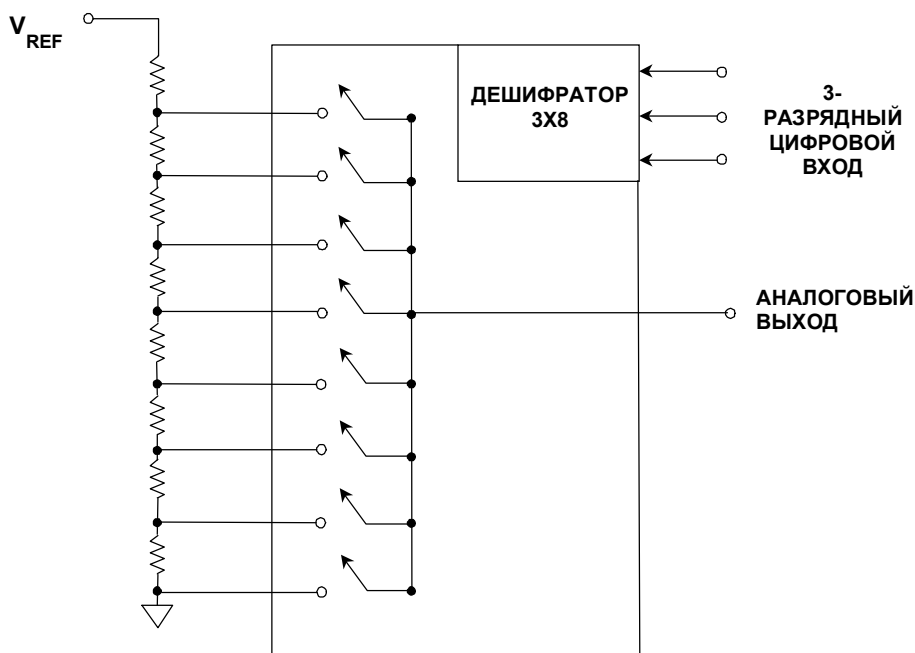


Рис. 4.1

Эта архитектура проста, имеет выход с изменяющимся значением напряжения Z_{OUT} , и изначально обеспечивает монотонный сигнал (даже если сопротивление одного из резисторов равно 0, $OUTPUT_N$ не может превышать $OUTPUT_{N+1}$). Архитектура линейна, если все резисторы равны по значению, но может быть преднамеренно сделана нелинейной, если требуется нелинейный ЦАП. Так как в момент переключения работают

а

только два коммутатора, эта архитектура обладает малым ложным сигналом (low-glitch). Ее главным недостатком является большое количество резисторов, требуемых для обеспечения высокой разрешающей способности, поэтому в качестве отдельного устройства она обычно не используется, но, как мы увидим позже, применяется в роли компонента более сложных структур ЦАП.

Существует аналогичный ЦАП с токовым выходом, который также состоит из 2^N резисторов, или источников тока, но подключенных теперь параллельно между входом опорного напряжения и виртуальным заземленным выходом (рис.4.2).

ПРОСТЕЙШИЙ ЦАП С ТОКОВЫМ ВЫХОДОМ

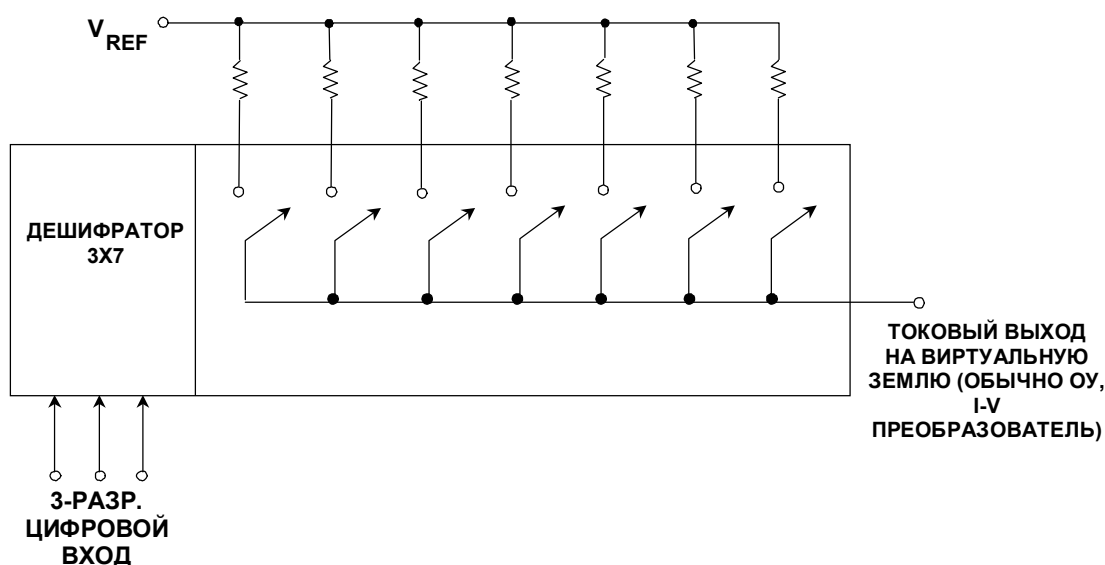


Рис. 4.2

В данном ЦАП, как только какой-либо резистор подключается к цепи, любые дальнейшие увеличения цифрового кода уже не могут его отключить. Таким образом, структура является изначально монотонной, независимо от погрешностей резисторов и, подобно предыдущему случаю, может быть сделана преднамеренно нелинейной там, где эта нелинейность требуется. Опять, как и в предыдущем случае, архитектура является редкостью, так как, если попытаться ее использовать для изготовления полного ЦАП, потребуется большое количество резисторов и коммутаторов. Но опять же она часто используется в качестве компонента в ЦАП более сложной структуры.

В отличие от делителя Кельвина, этот тип ЦАП не имеет уникального названия, хотя оба типа упомянуты как *полно-декодирующие (fully decoded) ЦАП*, *ЦАП типа "столбик термометра" (thermometer)* или *строковые (string) ЦАП*.

Полно-декодирующие ЦАП часто используются как компоненты более сложных ЦАП. Наиболее популярными являются сегментные ЦАП, где часть выходного сигнала полно-декодирующего ЦАП в дальнейшем вновь поступает на делитель. Данная структура используется потому, что полно-декодирующий ЦАП изначально монотонен, так что, если последующий делитель тоже монотонен, в целом является таковым же и результирующий ЦАП.

а

В сегментных ЦАП с выходом по напряжению (рис.4.3) сигнал подается с одного из резисторов делителя Кельвина на новый делитель Кельвина (в этом случае полная структура известна как "делитель Кельвина-Варлея") или на ЦАП какой-либо другой структуры.

СЕГМЕНТНЫЕ ЦАП С ВЫХОДОМ НАПРЯЖЕНИЯ

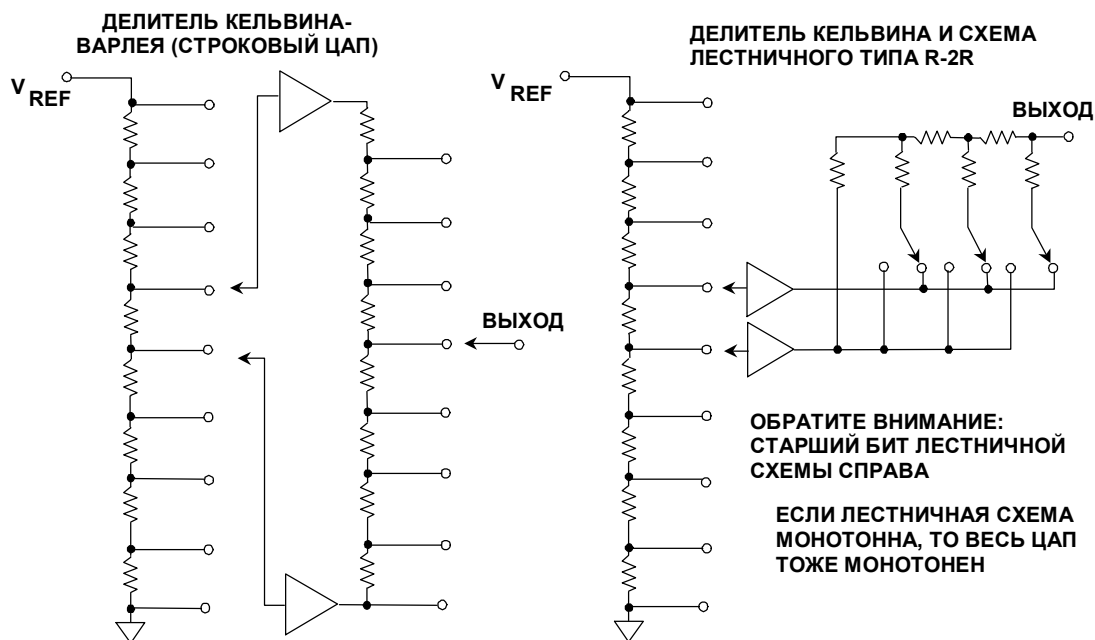


Рис. 4.3

Во всех ЦАП выходной сигнал представляет собой результат комбинации опорного напряжения и цифрового кода. В этом смысле все ЦАП являются перемножающими, но многие из них хорошо работают только в ограниченном диапазоне V_{ref} . Настоящие перемножающие ЦАП (MDAC) ориентированы на работы в широком диапазоне V_{ref} . Строгое определение перемножающего ЦАП требует, чтобы его диапазон опорного напряжения включал 0 В, и многие схемы, особенно лестничного типа с токовым режимом и с переключателями CMOS, допускают положительное, отрицательное и переменное значение V_{ref} . ЦАП, которые не работают при значении $V_{ref} = 0$ В, тоже полезны, и их типы, допускающие изменение значения V_{ref} в пропорции 10:1 или около того, часто относят к перемножающим ЦАП (MDAC), хотя более точно их можно было бы назвать полуперемножающими ЦАП.

АРХИТЕКТУРЫ ЦАП С МАЛЫМИ ИСКАЖЕНИЯМИ

Из-за акцента, делаемого в системах связи на ЦАП прямого цифрового синтеза (DDS) с высоким SFDR, было положено много сил на определение оптимальной архитектуры ЦАП. Фактически, все высокоскоростные ЦАП с малыми искажениями используют некоторый вид режима токовой коммутации без насыщения. Как описано выше, прямой двоичный ЦАП с одним токовым ключом на разряд дает кодозависимые ложные сигналы и, конечно, не является наиболее оптимальной архитектурой (рис.4.4). ЦАП с одним токовым источником на кодový уровень не имеет кодозависимых ложных сигналов, но не практичен в реализации, когда требуется достижение высокой разрешающей способности. Тем не менее, эта характеристика может быть улучшена, если декодировать несколько первых старших разрядов (MSB) в код "термометра" при одном токовом ключе

а

на уровень. Например, 5-разрядный ЦАП-"термометр" имел бы архитектуру, подобную представленной на рис.4.5.

АРХИТЕКТУРЫ 5-РАЗРЯДНЫХ ДВОИЧНЫХ ЦАП

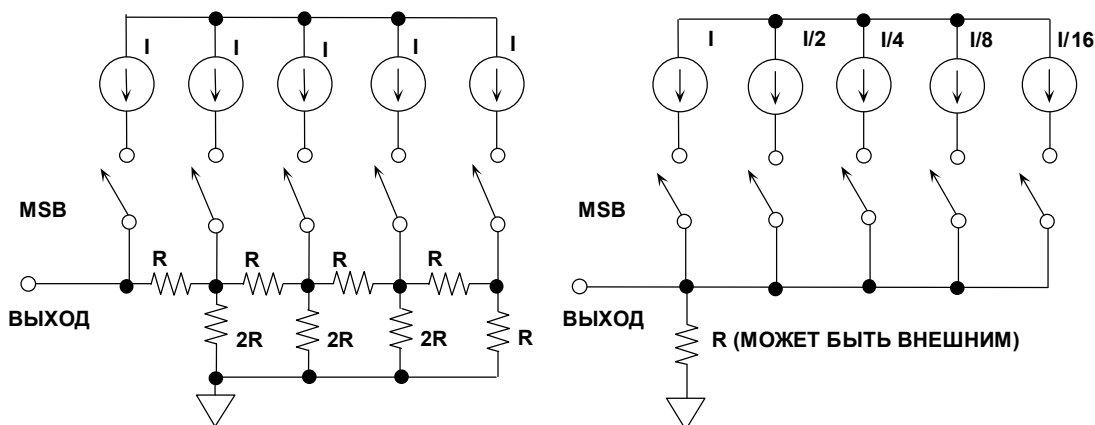


Рис. 4.4

5-РАЗРЯДНЫЙ ЦАП-"ТЕРМОМЕТР" ИЛИ ПОЛНОДЕКОДИРУЮЩИЙ ЦАП, МИНИМИЗИРУЮЩИЙ КОДОЗАВИСИМЫЕ ИМПУЛЬСНЫЕ ПОМЕХИ

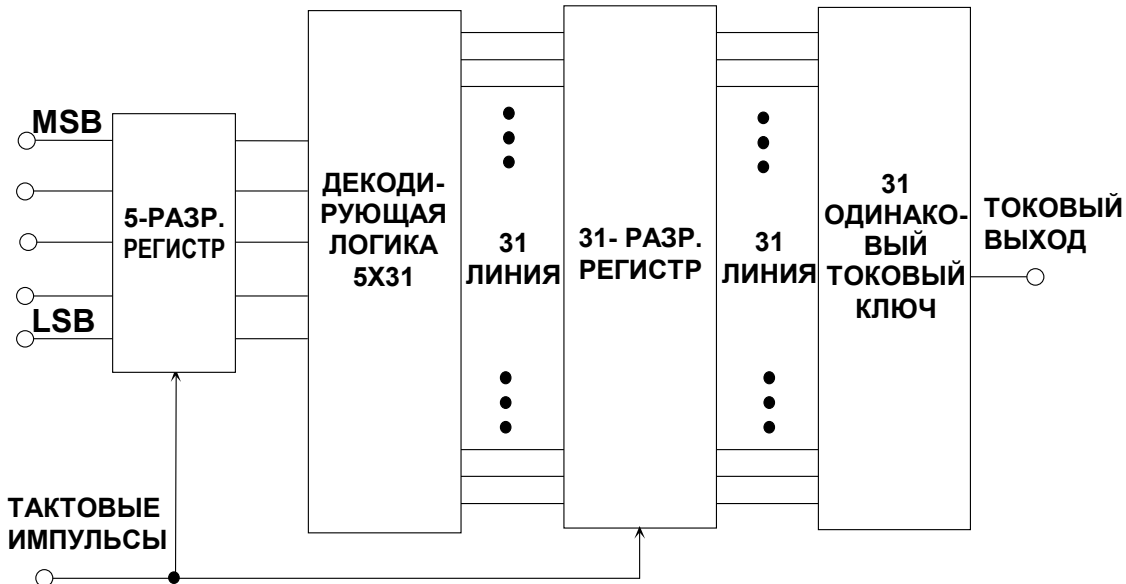


Рис. 4.5

Здесь входное двоичное слово фиксируется триггером и затем декодируется на один из 31 возможных выходов, которые управляют вторым триггером. Выход второго триггера управляет 31 токовым ключом с одинаковым весом, выходные сигналы которых складываются вместе. Эта схема эффективно устраняет почти всякую зависимость выходного кода от ложного сигнала. Остаточный ложный сигнал на выходе одинаков и не

а

зависит от изменения входного кода, то есть он кодонезависимый, и может подлежать фильтрации, поскольку появляется на частоте преобразования ЦАП и ее гармониках. Причинами искажений, связанных с полнодекодирующей архитектурой, являются, прежде всего, асимметричный выходной поворот (slewing), конечное время включения и выключения ключей и интегральная нелинейность.

Очевидным недостатком этого типа ЦАП является большое количество триггеров и ключей, требуемых для создания 14-, 12-, 10- или даже 8-разрядного ЦАП. Но, если эта методика используется на пяти старших битах 8-, 10-, 12- или 14-разрядного ЦАП, возможно существенное сокращение кодозависимости ложного сигнала. Этот процесс называется сегментацией и весьма обычен в ЦАП с низкими искажениями.

На рис.4.6 представлена схема, посредством которой первые пять разрядов 10-разрядного ЦАП декодируются, как описано выше, и управляют 31 ключом с одинаковым весом. Последние пять разрядов получены посредством использования двоично взвешенных источников тока. Сигналы от источников тока с одинаковым весом, подаваемые на лестничную резисторную схему R/2R, могли бы использоваться для получения младших разрядов (LSB), но этот подход требует наличия тонкопленочных резисторов, в общем случае недоступных для дешевого CMOS процесса. Кроме того, использование R/2R схем понижает выходное сопротивление ЦАП, так как требует большего управляющего тока при том же напряжении и фиксированном нагрузочном сопротивлении.

10-РАЗРЯДНЫЙ СЕГМЕНТИРОВАННЫЙ ЦАП

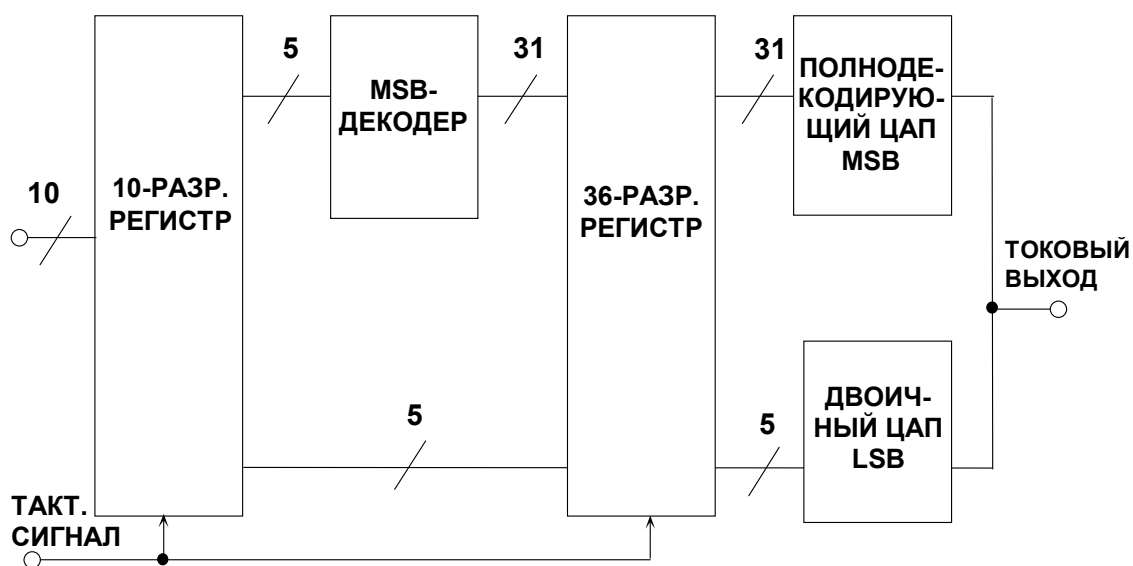


Рис. 4.6

В 14-разрядном ЦАП AD9772 (TxDAC™) с быстродействием 150 MSPS используется три секции сегментации, показанных на рис.4.7. В других представителях семейства AD977x и AD985x используется такой же принцип.

Первые пять разрядов (MSB) полностью декодируются и управляют 31 токовым ключом с одинаковым весом, каждый из которых является источником для 512 уровней, соответствующих младшим разрядам. Следующие четыре разряда декодируются в 15 сигналов. Они управляют 15 токовыми ключами, каждый из которых является источником

а

для 32 уровней, соответствующих следующим разрядам. Пять младших разрядов хранятся триггером и управляют традиционным двоичным взвешивающим ЦАП с одним разрядом на выход. Для реализации этой архитектуры требуется 51 токовый ключ и 51 триггер.

ЯДРО 14-РАЗРЯДНОГО CMOS ЦАП AD9772 TxDAC™

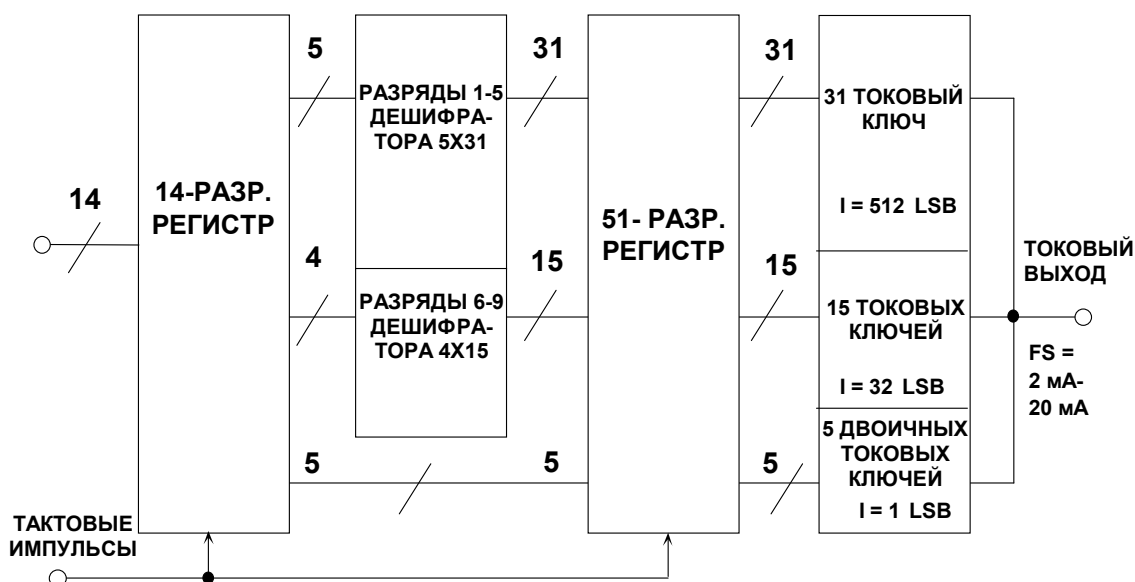


Рис. 4.7

В основе ячейки токового ключа лежит дифференциальная МОП (PMOS) транзисторная пара, показанная на рис.4.8. Дифференциальные пары управляются низковольтной логикой, минимизирующей время переходных процессов при коммутации и временной сдвиг. Выходы ЦАП являются симметричными дифференциальными токовыми выходами, которые обеспечивают минимизацию искажений четного порядка (особенно в случаях, когда выход ЦАП управляет устройством с дифференциальным входом, таким как трансформатор или операционный усилитель – преобразователь тока в напряжение).

Полная архитектура семейств AD977x TxDAC™ и AD985x-DDS является превосходным компромиссом в соотношении энергопотребление/производительность и позволяет реализовать полную функцию ЦАП на базе стандартного CMOS-процесса без тонкопленочных резисторов. Работа с однополярным источником питания +3,3 В или +5 В делает устройства чрезвычайно привлекательными для переносных и маломощных приложений.

а

ТОКОВЫЕ КЛЮЧИ НА МОП-ТРАНЗИСТОРАХ (PMOS)

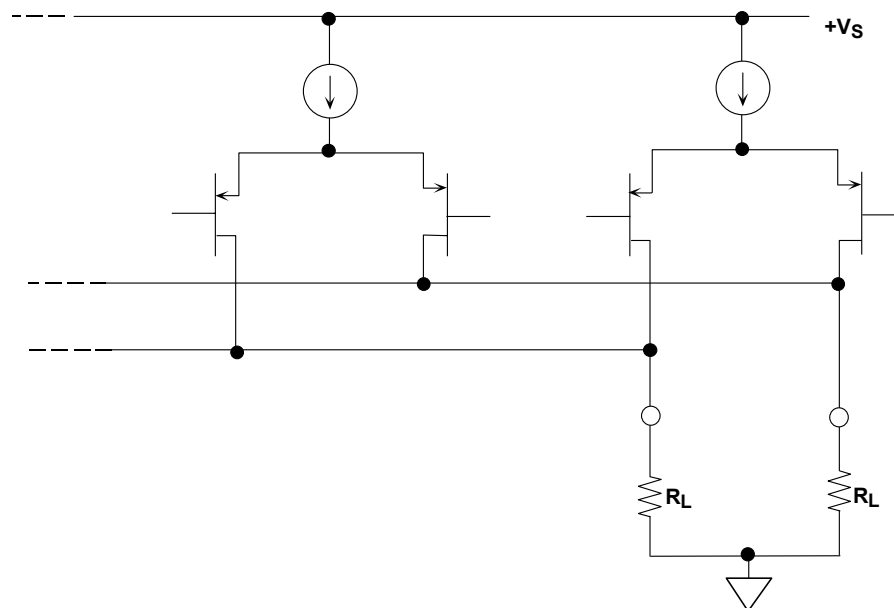


Рис. 4.8

ЛОГИКА ЦАП

Самые ранние монолитные ЦАП содержали небольшую, если таковая вообще была, логическую схему, и параллельные данные должны были накапливаться на цифровом входе, чтобы сформировать аналоговый выходной сигнал. Сегодня почти все ЦАП имеют входные элементы фиксации состояния (триггеры, latches) и записывают данные только один раз, без процедуры накопления.

Существует многочисленные разновидности входных структур ЦАП, которые не будут обсуждаться здесь, но в большинстве своем сегодня преобладают устройства "с двойной буферизацией". ЦАП с двойной буферизацией имеет два набора триггеров. Данные первоначально хранятся (защелкиваются) в первом наборе и впоследствии передаются на второй, как показано на рис.4.9. Существует три причины, по которым это компоновка представляется выгодной.

Первая – это то, что она позволяет вводить данные в ЦАП многими различными способами. ЦАП без триггера или с одним триггером должен быть заполнен сразу по всем разрядам, так как иначе его выходной сигнал в течение загрузки может сильно отличаться от тех значений, которые были до преобразования и появятся после преобразования. С другой стороны, ЦАП с двойной буферизацией может быть загружен параллельными данными, последовательными данными, 4-разрядными или 8-разрядными словами или чем-то подобным, и выход его остается неизменным до тех пор, пока новые данные полностью не загрузятся, и на ЦАП не поступит команда модификации выходных данных.

а

ЦАП С ДВОЙНОЙ БУФЕРИЗАЦИЕЙ ДОПУСКАЮТ СЛОЖНЫЕ ВХОДНЫЕ СТРУКТУРЫ ДАННЫХ И МГНОВЕННУЮ МОДИФИКАЦИЮ

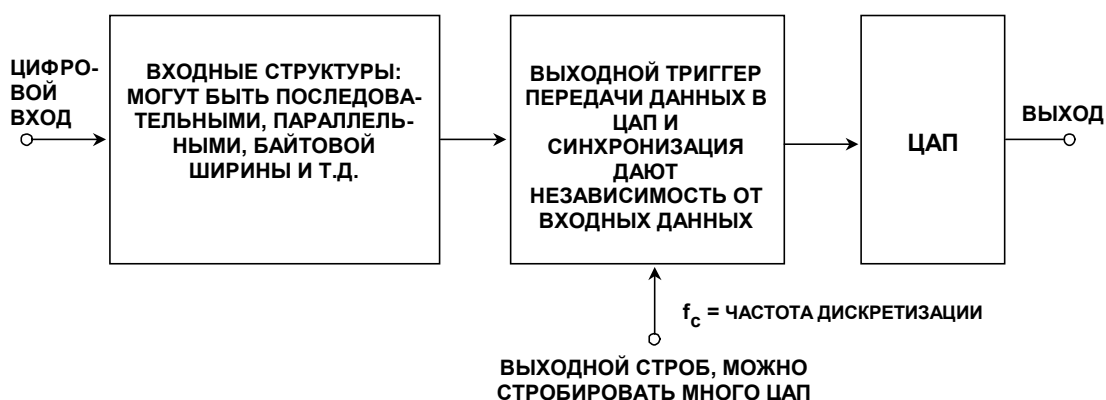


Рис. 4.9

Второй особенностью входной структуры этого типа является то, что генератор тактовых импульсов может работать на фиксированной частоте (частоте дискретизации сигнала), в то время как входной триггер может быть загружен асинхронно. Это выгодно в приложениях, где требуется восстановление сигнала в реальном масштабе времени.

Третья выгодная особенность структуры с двойной буферизацией состоит в том, что несколько ЦАП могут выполнять преобразования одновременно. Данные загружаются в первый набор каждого ЦАП, и когда преобразования завершатся, выходные буферы всех ЦАП модифицируются одновременно. Существует много приложений, требующих цифро-аналогового преобразования, в которых выходы нескольких ЦАП должны одновременно изменяться, и структура с двойной буферизацией позволяет легко осуществить это.

Наиболее ранние однокристалльные ЦАП с высоким разрешением имели параллельные порты данных для подключения к параллельным шинам передачи данных и дешифраторам адреса. Они отображались в адресном пространстве микропроцессора в виде очень маленьких блоков памяти только для записи (некоторые ЦАП обеспечивали не только запись, но и чтение содержимого – это было выгодно для некоторых приложений, но не очень распространено). ЦАП, подключаемые к параллельной шине данных, уязвимы из-за емкостной связи шины с аналоговым выходом. Поэтому многие ЦАП сегодня имеют последовательные структуры ввода данных. Они менее подвержены шуму (так как в них меньше шумовых контактов), используют меньшее количество выводов и поэтому занимают меньше места и более удобны для использования с современными микропроцессорами, многие из которых имеют последовательные порты передачи данных. Некоторые, хотя и не все из таких последовательных ЦАП имеют дополнительные выходы данных, благодаря которым несколько ЦАП могут соединяться последовательно, чтобы получать данные с одного последовательного порта. Эта компоновка часто упоминается как "гирляндная цепь" (daisy-chaining).

Другое достижение в технологии ЦАП заключается в возможности исполнения нескольких ЦАП на одном кристалле, что представляется полезным с точки зрения сокращения размеров печатной платы (РСВ) и затрат на сборку. Сегодня (в 2000 году) существует возможность приобретения шестнадцати 8-разрядных, восьми 12-разрядных,

а

четырёх 14-разрядных или двух 16-/18-/20-/22-/24-разрядных ЦАП в одном корпусе. В будущем возможна и более высокая степень интеграции.

ИНТЕРПОЛИРУЮЩИЕ ЦАП

В системах, использующих аналого-цифровое преобразование, избыточная дискретизация способствует снижению требований к ФНЧ (antialiasing filter). Сигма-дельта АЦП обладают этим характерным преимуществом в наибольшей мере. В системах, базирующихся на цифроаналоговом преобразовании (таких, как системы прямого цифрового синтеза, DDS), для достижения аналогичной цели может использоваться концепция интерполяции. Эта концепция обычно применяется в цифровых звуковоспроизводящих CD-проигрывателях, где основная скорость обновления данных от CD примерно равна 44 KSPS. Добавление "нулей" в параллельный поток данных увеличивает эффективную скорость обновления в 4, 8 или 16 раз по сравнению с базовой скоростью. 4-х, 8-ми, или 16-кратный поток пропускают через цифровой интерполяционный фильтр, который генерирует дополнительные значения данных. Высокая скорость избыточной дискретизации способствует смещению вверх крайних частот (image), допуская таким образом использование менее сложного фильтра с более широким переходным диапазоном. Архитектура одноразрядного sigma-delta ЦАП представляет собой пример завершённого развития этой концепции и является популярной в современных CD-проигрывателях.

Та же самая концепция может применяться в высокоскоростных ЦАП. Предположим, что традиционный ЦАП работает на частоте дискретизации 30 MSPS (рис.4.10 а). Пусть выходная частота ЦАП равна 10 МГц. Компонент боковой частоты $30-10 = 20$ МГц должен быть подавлен аналоговым ФНЧ (antialiasing), и переходной диапазон фильтра находится в диапазоне от 10 до 20 МГц. Предположим, что боковая частота должна быть уменьшена на 60 дБ. Поэтому характеристика фильтра должна пройти от полосы пропускания, заканчивающейся в точке 10 МГц, до ослабления на 60 дБ в полосе задержки, начинающейся в точке 20 МГц, то есть через переходный диапазон, который находится между 10 и 20 МГц (одна октава). Фильтр Баттерворта даёт ослабление 6 дБ на октаву для каждого порядка. Поэтому для обеспечения желательного ослабления требуется как минимум фильтр 10 порядка. Фильтры становятся ещё более сложными, если требуется более узкий переходной диапазон.

Предположим, что мы увеличим скорость обновления ЦАП до 60 MSPS и вставим "ноль" между каждым первоначальным отсчётом данных. Скорость параллельного потока данных теперь равна 60 MSPS, но нам предстоит определить значение точек с нулевыми данными. Для этого поток данных 60 MSPS с добавленными нулями пропускается через цифровой интерполяционный фильтр, который вычисляет дополнительные значения данных. Реакция цифрового фильтра при избыточной двукратной дискретизации представлена на рис.4.10 б. Теперь зона перехода аналогового сглаживающего ФНЧ (antialiasing filter) занимает от 10 до 50 МГц (первая составляющая (image) попадает на $2f_c - f_0 = 60 - 10 = 50$ МГц). Эта переходная зона немного больше, чем две октавы, и фильтра Баттерворта пятого или шестого порядка оказывается достаточно.

Упрощённая блок-схема микросхемы AD9772 14-разрядного интерполирующего ЦАП с избыточной двукратной дискретизацией представлена на рис.4.11. Устройство предназначено для обработки 14-разрядных входных данных, поступающих с частотой до 150 MSPS. Максимальная частота данных на выходе интерполятора составляет 300 MSPS. Для выходной частоты 60 МГц, скорости обновления 150 МГц и коэффициента избыточной дискретизации 2 боковая частота равна $300 \text{ МГц} - 60 \text{ МГц} = 240 \text{ МГц}$. Поэтому переходной диапазон для аналогового фильтра равен $60 \text{ МГц} - 240 \text{ МГц}$. Без

а

избыточной дискретизации боковая частота равна $150 \text{ МГц} - 60 \text{ МГц} = 90 \text{ МГц}$ и переходной диапазон фильтра находится в интервале от 60 МГц до 90 МГц .

ТРЕБОВАНИЯ К АНАЛОГОВОМУ ФИЛЬТРУ ДЛЯ $f_0 = 10 \text{ МГц}$: ПРИ $f_c = 30 \text{ MSPS}$ И $f_c = 60 \text{ MSPS}$

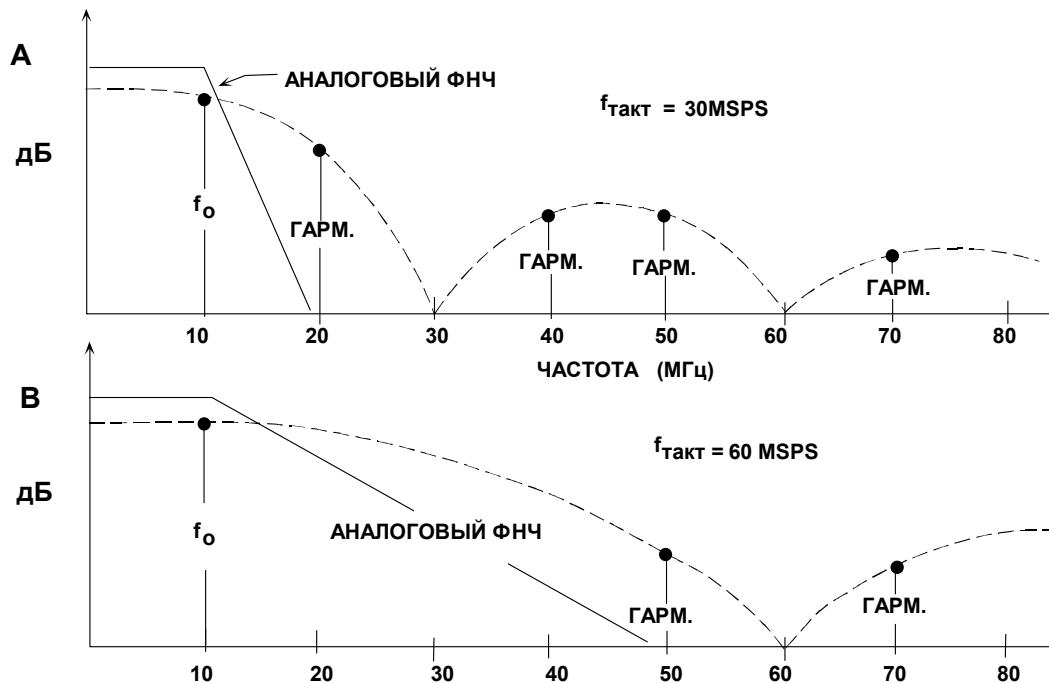


Рис. 4.10

14-РАЗРЯДНЫЙ ИНТЕРПОЛЯЦИОННЫЙ 150 MSPS ЦАП AD9772 TXDAC™



Рис. 4.11

а

СИГМА-ДЕЛЬТА ЦАП

Другой путь получения высокого разрешения состоит в использовании методов избыточной дискретизации и одноразрядного ЦАП. Этот метод, известный как сигма-дельта (Σ - Δ), является методом с весьма интенсивными вычислениями, так что только недавно началось практическое использование его для изготовления ЦАП с высоким разрешением. Поскольку данный метод использует одноразрядный ЦАП, ему по определению свойственны линейность и монотонность.

Σ - Δ -ЦАП, в отличие от Σ - Δ -АЦП, является в основном цифровым устройством (рис.4.12). Он состоит из интерполяционного фильтра (цифровая схема, которая принимает данные, поступающие с низкой частотой дискретизации, вставляет нули в поток данных, увеличивая тем самым частоту дискретизации, затем применяет алгоритм интерполяции и выдает данные с высокой частотой дискретизации), Σ - Δ -модулятора (который эффективно действует как ФНЧ по отношению к сигналу и как ФВЧ по отношению к шуму квантования, преобразуя результирующие данные в высокоскоростной последовательный поток битов) и одноразрядного ЦАП, чей выход переключается между равными по значению положительным и отрицательным опорными напряжениями. Выход фильтруется внешним аналоговым ФНЧ. Вследствие высокой частоты избыточной дискретизации, сложность ФНЧ намного меньше, чем в случае традиционного подхода Найквиста.

СИГМА-ДЕЛЬТА ($\Sigma\Delta$) ЦАП: ОДНОРАЗРЯДНЫЙ И МНОГОРАЗРЯДНЫЙ

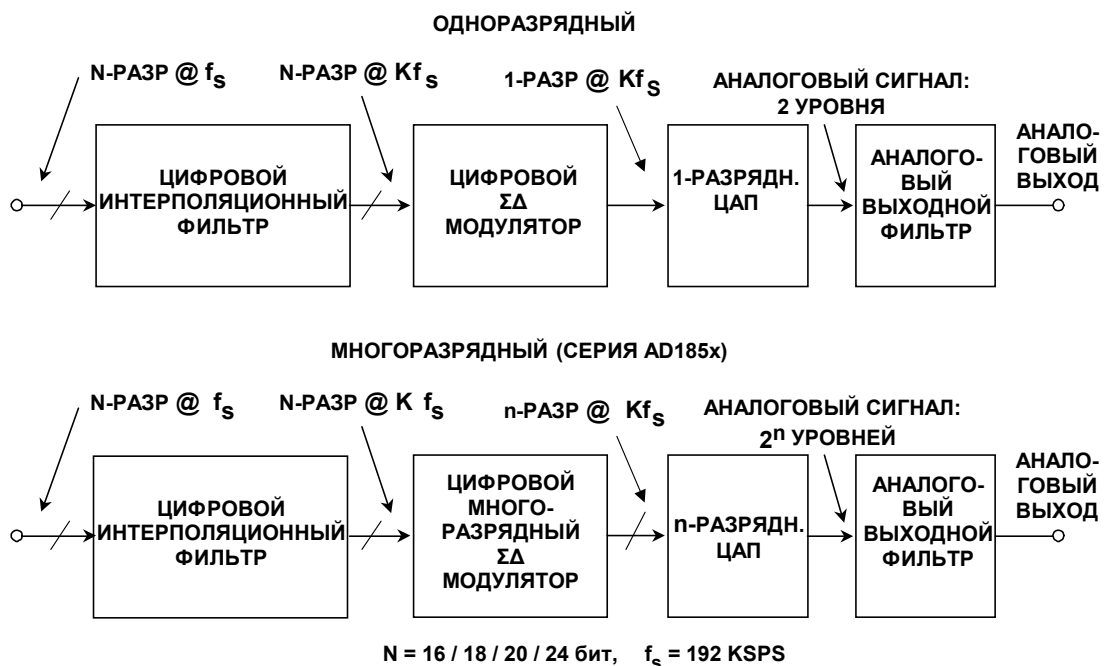


Рис. 4.12

Возможно использование большего, чем один, количества разрядов в ЦАП, и это приводит к многоразрядной архитектуре, представленной на рис.4.12 б. Ее концепция подобна описанному ранее интерполяционному ЦАП с добавлением цифрового Σ - Δ -модулятора. Раньше многоразрядные ЦАП были сложны для проектирования из-за

а

высоких требований по точности к внутреннему n -разрядному ЦАП (этот ЦАП, хотя и является n -разрядным, должен иметь линейность, соответствующую конечному числу разрядов N). Модели серии звуковых ЦАП AD185x используют патентованный метод скремблирования данных (называемый прямым скремблированием данных или D^2S), который решает эту проблему и имеет превосходное отношение общих нелинейных искажений и шума (THD + N). Например, двойной 24-разрядный ЦАП AD1853 с быстродействием 192 KSPS имеет значение THD + N больше, чем 115 дБ при частоте дискретизации 48 KSPS.

ПРЯМОЙ ЦИФРОВОЙ СИНТЕЗ (DDS)

Частотные синтезаторы используются для генерации некоторого множества частот на одном или большем числе опорных частот. Эти устройства используются в течение десятилетий, особенно в коммуникационных системах. Многие из них основаны на переключении и смешивании частотных выходов от группы кварцевых генераторов. В основе других лежат известные методы использования цепей с фазовой автоподстройкой частоты (ФАПЧ, PLL). Эта традиционная технология представлена на рис.4.13. Опорная фиксированная частота подается на один из входов компаратора фазы. Другой вход компаратора фазы подключается к делителю частоты на N , на который, в свою очередь, подается сигнал от генератора, управляемого напряжением (ГУН, VCO). Наличие отрицательной обратной связи приводит к тому, что сигнал на выходе фильтра, включенного в контур обратной связи, принимает такое значение, которое делает выходную частоту ГУН (VCO) равной N -кратной опорной частоте. Постоянная времени контура обратной связи зависит от характеристик фильтра в контуре. При проектировании ФАПЧ часто приходится идти на компромиссы между фазовым шумом, скоростью подстройки, разрешающей способностью по частоте и т.д. Существует немало хорошей литературы по данной тематике (см. Приложения 1, 2 и 3).

ЧАСТОТНЫЙ СИНТЕЗ С ИСПОЛЬЗОВАНИЕМ ГЕНЕРАТОРОВ И ЦЕПЕЙ ФАЗОВОЙ АУТОПОДСТРОЙКИ ЧАСТОТЫ (ФАПЧ)

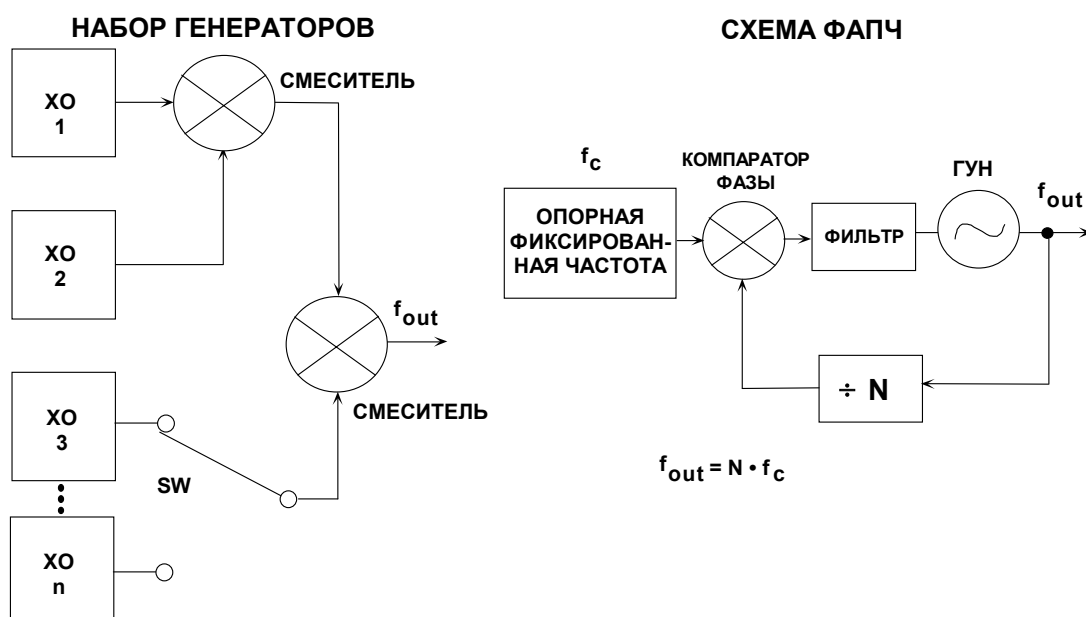


Рис. 4.13

а

В связи с широким распространением цифровых методов в измерительных и коммуникационных системах, метод генерации набора частот от источника опорной частоты, реализуемый в цифровой форме, развился в так называемый метод прямого цифрового синтеза (DDS). Основная его архитектура представлена на рис.4.14. В этой упрощенной модели, стабильный генератор тактового сигнала управляет программируемым ПЗУ (PROM), который хранит один или большее целое число циклов синусоидального сигнала (или другого сигнала произвольной формы). По мере того, как адресный счетчик проходит через каждую ячейку памяти, соответствующая цифровая амплитуда сигнала из каждой ячейки подается на ЦАП, который, в свою очередь, воспроизводит аналоговый выходной сигнал. Спектральная чистота конечного аналогового выходного сигнала определяется, прежде всего, ЦАП. Фазовый шум является, в основном, шумом задающего генератора.

СИСТЕМА ПРЯМОГО ЦИФРОВОГО СИНТЕЗА (DDS)



Рис. 4.14

Система прямого цифрового синтеза (DDS) отличается от ФАПЧ (PLL) несколькими моментами. В связи с дискретной природой DDS должны быть рассмотрены все проблемы, присутствующие в процессе дискретизации: шум квантования, наложение спектров, фильтрация и т.д. Например, гармоники высокого порядка выходных частот ЦАП, попадая обратно в полосу Найквиста, больше не фильтруются, тогда как гармоники высокого порядка в выходном сигнале ФАПЧ-синтезаторов могут быть отфильтрованы. Существуют и другие соображения, которые будут вскоре обсуждаться.

Основная проблема этой простой DDS-системы состоит в том, что выходная частота может быть изменена только путем изменения частоты задающего генератора или посредством перепрограммирования ПЗУ, что делает систему весьма негибкой. На практике DDS-система осуществляет эту основную функцию намного более гибким и эффективным способом, используя цифровую схему, называемую генератором с цифровым управлением (Numerically Controlled Oscillator, NCO). Блок-схема такой системы представлена на рис.4.15.

а

ГИБКАЯ СИСТЕМА ПРЯМОГО ЦИФРОВОГО СИНТЕЗА (DDS)

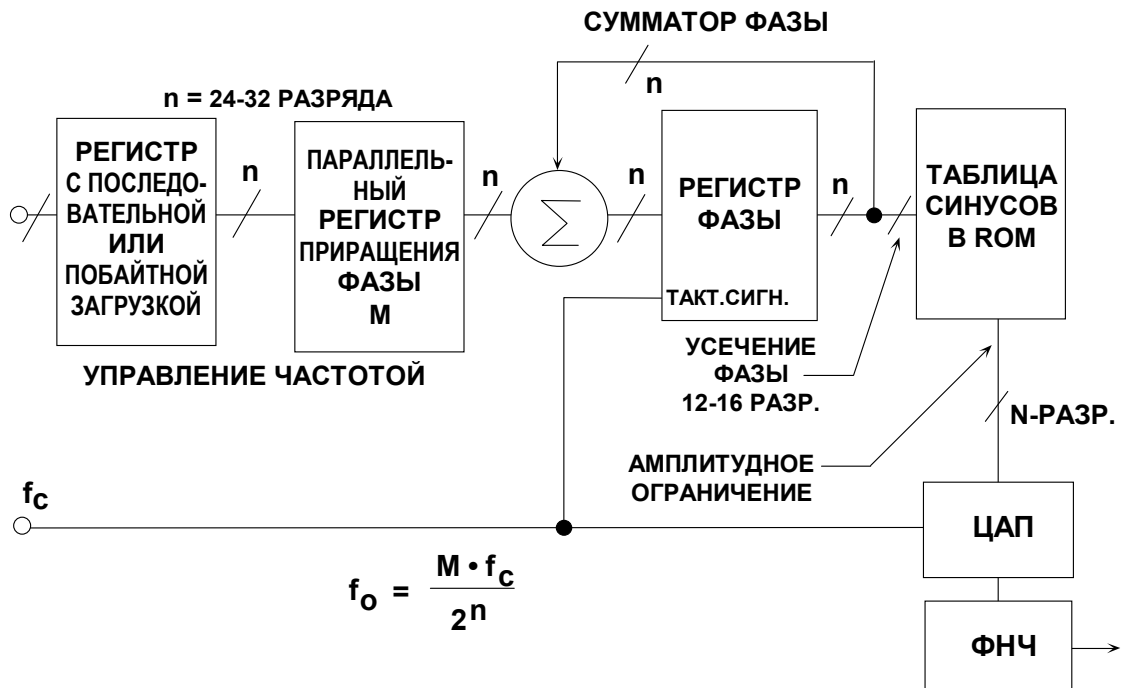


Рис. 4.15

Сердцем системы является сумматор фазы, чье содержимое обновляется однократно за каждый тактовый цикл. Каждый раз при обновлении сумматора фазы цифровое число M , сохраненное в регистре приращения фазы (delta phase register), добавляется к числу в сумматоре фазы. Предположим, что число в delta-регистре равно $00\dots01$ и что начальное содержимое сумматора фазы равно $00\dots00$. Сумматор фазы обновляется значением $00\dots01$ каждый тактовый цикл. Если сумматор является 32-разрядным, для возврата сумматора фазы в состояние $00\dots00$ требуется 2^{32} тактовых цикла (более 4 миллиардов), после чего цикл повторится.

Усеченное значение выходного сигнала сумматора фазы служит адресом для таблицы задания синуса (или косинуса). Каждый адрес в таблице соответствует точке синусоидального сигнала с фазой от 0° до 360° . Таблица поиска содержит информацию, соответствующую цифровой амплитуде для одного полного цикла синусоидального сигнала (в действительности, требуются только данные для 90° , потому что данные о квадранте содержатся в двух старших значащих разрядах). Таким образом, таблица отображает фазу синусоидального сигнала сумматора фазы в виде значения цифровой амплитуды, которое, в свою очередь, подается на ЦАП.

Рассмотрим случай для $n=32$ и $M=1$. Сумматор фазы проходит через каждое из 2^{32} возможных значений выхода перед переполнением. Соответствующая частота выходного синусоидального сигнала равна частоте синхронизации, деленной на 2^{32} . Если $M=2$, то число в регистре сумматора фазы успевает дважды смениться, и выходная частота удваивается. Это можно обобщить следующим образом.

Для n -разрядного сумматора фазы (в большинстве DDS-систем значение n лежит в диапазоне от 24 до 32) существует 2^n возможных значений фазы. Число M в регистре приращения фазы представляет собой величину, на которую текущее значение фазы увеличивается в каждом тактовом цикле. Если f_c – частота синхронизации,

а

то выходная частота синусоидального сигнала равна

$$f_o = \frac{M \cdot f_c}{2^n}.$$

Это уравнение известно как уравнение настройки DDS. Обратите внимание, что разрешающая способность системы по частоте равна $f_c/2^n$. Для $n=32$ разрешающая способность больше, чем один к четырем миллиардам! В реальной DDS-системе не все разряды от сумматора фазы используются для выбора значения из таблицы, оставляются только первые 12-16 старших значащих разрядов (MSB), тогда как младшие разряды игнорируются. Это уменьшает размер таблицы и не ухудшает разрешающую способность по частоте. Усечение разрядности фазы только добавляет незначительное, но приемлемое количество фазового шума к окончательному выходному сигналу; тогда как большая часть выходных искажений возникает непосредственно в ЦАП.

Описанная выше базовая DDS-система представляет чрезвычайно гибкое решение с весьма высокой разрешающей способностью. Частота может быть мгновенно изменена без искажения фазы простым изменением содержимого M-регистра. Реальные DDS-системы сначала требуют выполнения последовательной или параллельной загрузки нового значения частоты во внутренний буферный регистр, который предшествует M-регистру с параллельным выходом. Это делается для минимизации числа выводов в микросхеме счетчика. После того, как новое слово будет загружено в буферный регистр, оно синхронно переносится в регистр приращения фазы, благодаря чему все разряды регистра приращения фазы одновременно изменяются. Число тактовых циклов, требуемых для загрузки регистра приращения фазы, определяет максимальную скорость, с которой можно менять выходную частоту.

DDS-система AD9850 быстродействием 125MSPS (рис.4.16) использует 32-разрядный сумматор фазы, выход которого, перед тем как он используется для адресации в таблице, ограничивается 14-тью старшими разрядами. На внутренний ЦАП подается окончательный выходной 10-разрядный цифровой сигнал. AD9850 позволяет модулировать выходную фазу, используя дополнительный регистр и сумматор, помещенный между выходом сумматора фазы и входом таблицы. AD9850 для управления фазой использует 5-разрядное слово, которое позволяет сдвигать фазу в сторону увеличения на 180° , 90° , 45° , $22,5^\circ$, $11,25^\circ$ или на любую комбинацию из вышеперечисленных. Устройство также содержит внутренний высокоскоростной компаратор, который может быть сконфигурирован для приема отфильтрованного сигнала ЦАП, что позволяет сгенерировать выходной импульс с незначительным дрожанием фазы, пригодный для подачи на тактовый вход АЦП. Полный динамический диапазон значений тока на выходе может лежать в пределах от 10 до 20 мА при использовании одного внешнего резистора. Значение выходного напряжения составляет +1 В.

Настройка частоты (входное слово регистра приращения фазы) и значения загружаются для фазовой модуляции в AD9850 в параллельном или последовательном формате. Параллельный формат подразумевает загрузку пяти байтов. Первый байт управляет фазовой модуляцией (5 разрядов), активизацией выключения питания (1 разряд) и форматом загрузки (2 разряда). В байтах 2-5 содержится 32-разрядное слово настройки частоты. Максимальная частота обновления управляющего регистра равна 23 МГц. Последовательная загрузка AD9850 выполняется с использования 40-разрядного последовательного потока данных, загружаемого через один вывод микросхемы. Максимальная скорость (частота) обновления управляющего регистра в режиме последовательной загрузки равна 3 МГц.

Потребляемая мощность AD9850 составляет всего 380 мВт с однополярным источником питания +5 В при максимальном быстродействии 125 MSPS. Устройство выпускается в 28-контактном корпусе для поверхностного монтажа SSOP (Shrink Small Outline Package).

а

CMOS СИНТЕЗАТОР DDS/ЦАП AD9850 С БЫСТРОДЕЙСТВИЕМ 125 MSPS

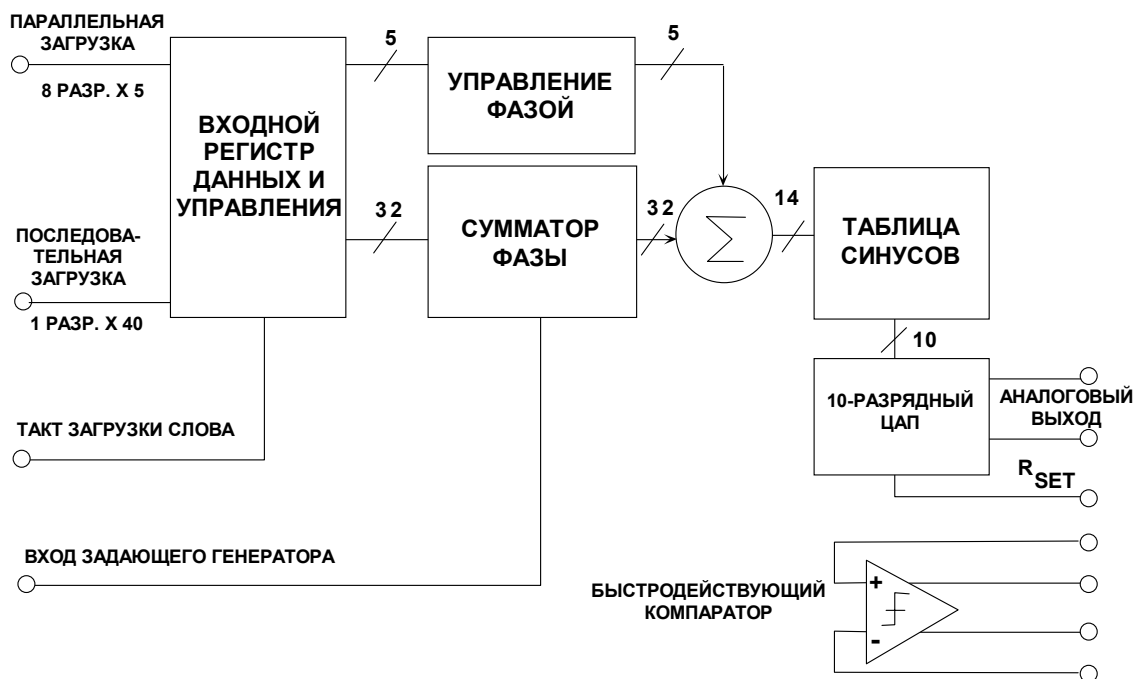


Рис. 4.16

Analog Devices предлагает множество систем прямого цифрового синтеза (DDS) для разнообразных приложений. Семейство AD983X представляет недорогие 10-разрядные системы с частотами синхронизации до 50 MSPS. Семейство AD985x предлагает 10-разрядные и 12-разрядные системы с синхронизации до 300 MSPS и дополнительными функциями, такими, как квадратурная и фазовая модуляция, возможность режима импульсного сигнала с ЧМ и программируемые, интегрированные на кристалле умножители частоты задающего генератора.

a

СПИСОК ЛИТЕРАТУРЫ

1. R.E. Best, **Phase-Locked Loops**, McGraw-Hill, New York, 1984.
2. F.M. Gardner, **Phaselock Techniques**, 2nd Edition, John Wiley, New York, 1979.
3. *Phase-Locked Loop Design Fundamentals*, Applications Note AN-535, Motorola, Inc.
4. **The ARRL Handbook for Radio Amateurs**, American Radio Relay League, Newington, CT, 1992.
5. Richard J. Kerr and Lindsay A. Weaver, *Pseudorandom Dither for Frequency Synthesis Noise*, United States Patent Number 4,901,265, February 13, 1990.
6. Henry T. Nicholas, III and Henry Samuelli, *An Analysis of the Output Spectrum of Direct Digital Frequency Synthesizers in the Presence of Phase-Accumulator Truncation*, **IEEE 41st Annual Frequency Control Symposium Digest of Papers**, 1987, pp. 495-502, IEEE Publication No. CH2427-3/87/0000-495.
7. Henry T. Nicholas, III and Henry Samuelli, *The Optimization of Direct Digital Frequency Synthesizer Performance in the Presence of Finite Word Length Effects*, **IEEE 42nd Annual Frequency Control Symposium Digest of Papers**, 1988, pp. 357-363, IEEE Publication No. CH2588-2/88/0000-357.

а

ГЛАВА 5

БЫСТРОЕ ПРЕОБРАЗОВАНИЕ ФУРЬЕ

- Дискретное преобразование Фурье
- Быстрое преобразование Фурье (БПФ)
- Аппаратное исполнение и тестирование БПФ
- Требования ЦОС для БПФ приложений в режиме реального времени
- Эффект расширения спектра сигналов при БПФ и использование взвешивания с функций окна

а

ГЛАВА 5

БЫСТРОЕ ПРЕОБРАЗОВАНИЕ ФУРЬЕ

Уолт Кестер

ДИСКРЕТНОЕ ПРЕОБРАЗОВАНИЕ ФУРЬЕ

В 1807 французский математик и физик Жан Батист Жозеф Фурье представил во Французский Институт (*Institut de France*) доклад о синусоидальном представлении температурных распределений. Доклад содержал спорное утверждение о том, что любой непрерывный периодический сигнал может быть представлен суммой выбранных должным образом сигналов синусоидальной формы. Среди членов комитета, занимавшихся обзором публикаций, были два известных математика – Жозеф Луи Лагранж и Пьер Симон де Лаплас. Лагранж категорически возразил против публикации на основании того, что подход Фурье неприменим к разрывным функциям, таким как сигналы прямоугольной формы. Работа Фурье была отклонена, прежде всего из-за возражения Лагранжа, и была издана после смерти Лагранжа, приблизительно пятнадцатью годами позже. Интересно, что времена Фурье совпали с важными политическими событиями: экспедициями Наполеона в Египет и попытками избежать гильотины после Французской Революции! (Эта историческая справка получена из Приложения 1, стр.141).

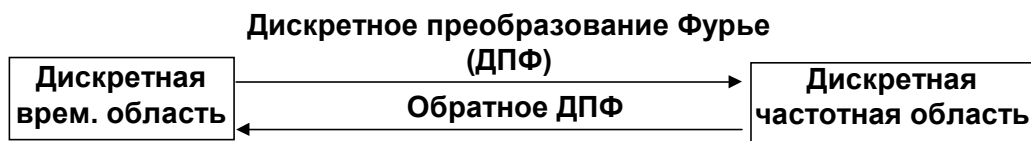
На самом деле и Фурье, и Лагранж были, по крайней мере частично, правы. Лагранж был прав в том, что суммированием сигналов синусоидальной формы невозможно точно сформировать сигнал, содержащий вертикальный фронт. Но можно очень точно к нему приблизиться, если использовать достаточное количество гармонических сигналов. (Это описывается эффектом Гиббса и сегодня хорошо понятно ученым, инженерам и математикам).

Анализ Фурье закладывает основы многих методов, применяющихся в области цифровой обработки сигналов (ЦОС). По сути дела, преобразование Фурье (фактически существует несколько вариантов таких преобразований) позволяет сопоставить сигналу, заданному во временной области, его эквивалентное представление в частотной области. Наоборот, если известна частотная характеристика сигнала, то обратное преобразование Фурье позволяет определить соответствующий сигнал во временной области.

В дополнение к частотному анализу, эти преобразования полезны при проектировании фильтров. Частотная характеристика фильтра может быть получена посредством преобразования Фурье его импульсной реакции. И наоборот, если определена частотная характеристика сигнала, то требуемая импульсная реакция может быть получена с помощью обратного преобразования Фурье над его частотной характеристикой. Цифровые фильтры могут быть созданы на основе их импульсной реакции, поскольку коэффициенты фильтра с конечной импульсной характеристикой (КИХ) идентичны дискретной импульсной реакции фильтра.

Семейство преобразований Фурье (преобразование Фурье, ряды Фурье, дискретные ряды Фурье и дискретное преобразование Фурье) представлено на рис.5.2. С течением времени принятые определения получили развитие (не обязательно вполне логичное) в зависимости от того, является ли сигнал непрерывно-апериодическим (*continuous-aperiodic*), непрерывно-периодическим (*continuous-periodic*), дискретно-апериодическим (*sampled-aperiodic*) или дискретно-периодическим (*sampled-periodic*). В данном контексте термин *sampled* означает то же самое, что *discrete* (дискретный) (то есть дискретные по времени выборки).

ПРИМЕНЕНИЕ ДИСКРЕТНОГО ПРЕОБРАЗОВАНИЯ ФУРЬЕ (ДПФ)



- Цифровой спектральный анализ
 - ◆ Анализаторы спектра
 - ◆ Обработка речи
 - ◆ Обработка изображений
 - ◆ Распознавание образов

- Проектирование фильтров
 - ◆ Вычисление импульсной характеристики по частотной
 - ◆ Вычисление частотной характеристики по импульсной

- Быстрое преобразование Фурье (БПФ) – это простой алгоритм для эффективного вычисления дискретного преобразования Фурье (ДПФ)

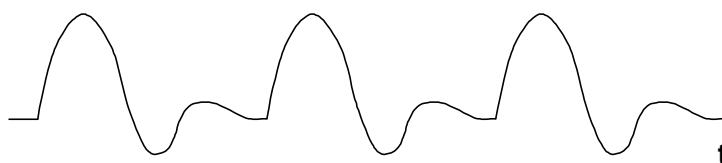
Рис. 5.1

СЕМЕЙСТВО ПРЕОБРАЗОВАНИЙ ФУРЬЕ КАК ФУНКЦИЯ СИГНАЛА ВО ВРЕМЕННОЙ ОБЛАСТИ

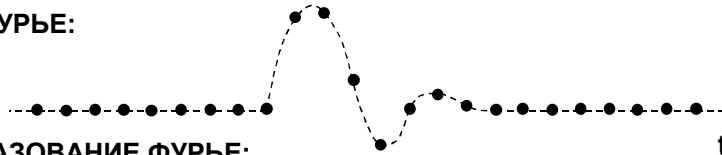
ПРЕОБРАЗОВАНИЕ ФУРЬЕ:
сигнал непрерывный и
апериодический



РЯДЫ ФУРЬЕ:
сигнал непрерывный
и периодический



ДИСКРЕТНЫЕ РЯДЫ ФУРЬЕ:
сигнал дискретный
и апериодический



ДИСКРЕТНОЕ ПРЕОБРАЗОВАНИЕ ФУРЬЕ:
(дискретные ряды Фурье)
сигнал дискретный
и периодический

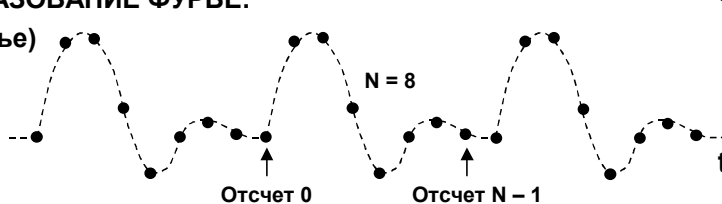


Рис. 5.2

а

Единственный член этого семейства, который имеет отношение к цифровой обработке сигналов, – это дискретное преобразование Фурье (ДПФ), которое оперирует дискретной по времени выборкой периодического сигнала во временной области. Для того, чтобы быть представленным в виде суммы синусоид, сигнал должен быть периодическим. Но в качестве набора входных данных для ДПФ доступно только конечное число отсчетов (N). Эту дилемму можно разрешить, если мысленно поместить бесконечное число одинаковых групп отсчетов до и после обрабатываемой группы, образуя, таким образом, математическую (но не реальную) периодичность, как показано на рис.5.2.

Фундаментальное уравнение для получения N-точечного ДПФ выглядит следующим образом:

$$X(k) = \frac{1}{N} \sum_{n=0}^{N-1} x(n)e^{-j2\pi nk/N} = \frac{1}{N} \sum_{n=0}^{N-1} x(n)[\cos(2\pi nk/N) - j\sin(2\pi nk/N)]$$

По отношению к этому уравнению следует сделать некоторые терминологические разъяснения (также см. рис.5.3). $X(k)$ (прописная буква X) представляет собой частотный выход ДПФ в k-ой точке спектра, где k находится в диапазоне от 0 до N-1. N представляет собой число отсчетов при вычислении ДПФ.

Обратите внимание, что "N" не следует путать с разрешающей способностью АЦП или ЦАП, которая в других главах данной книги также обозначается буквой N.

Значение $x(n)$ (строчная буква x) представляет собой n-ый отсчет во временной области, где n также находится в диапазоне от 0 до N-1. В общем уравнении $x(n)$ может быть вещественным или комплексным.

Обратите внимание, что косинусоидальные и синусоидальные компоненты в уравнении могут быть выражены в полярных или прямоугольных координатах, связь между которыми определяется формулой Эйлера:

$$e^{j\theta} = \cos \theta + j \sin \theta$$

Выходной спектр ДПФ $X(k)$ является результатом вычисления свертки между выборкой, состоящей из входных отсчетов во временной области, и набором из N пар гармонических базисных функций (косинус и синус). Концепцию хорошо иллюстрирует рис.5.4, на котором представлена вещественная часть первых четырех точек спектра (показаны только косинусоидальные гармонические базисные функции). Подобная же процедура используется для вычисления мнимой части спектра на основе синусоидальных функций.

Первая точка $X(0)$ является простой суммой входных отсчетов во временной области, потому что $\cos(0) = 1$. Коэффициент масштабирования $1/N$ не учитывается, но должен присутствовать в конечном результате. Обратите внимание, что $X(0)$ – это среднее значение отсчетов во временной области, или просто смещение по постоянному току. Вторая точка $\text{Re}X(1)$ получена умножением каждого отсчета из временной области на соответствующее значение косинусоиды, имеющей один полный период на интервале N, с последующим суммированием результатов. Третья точка $\text{Re}X(2)$ получена умножением каждого отсчета из временной области на соответствующую точку косинусоиды, которая имеет два полных периода на интервале N, с последующим суммированием результатов. Точно так же, четвертая точка $\text{Re}X(3)$ получена умножением каждого отсчета из временной области на соответствующую точку косинусоиды с тремя полными периодами на интервале N и суммированием результатов. Этот процесс продолжается, пока не будут вычислены все N выходных отсчетов. Подобная процедура, но с использованием синусоид, применяется для вычисления мнимой части частотного спектра. Косинусоиды и синусоиды являются базисными функциями данного преобразования.

а

ДИСКРЕТНОЕ ПРЕОБРАЗОВАНИЕ ФУРЬЕ (ДПФ)

- Периодический сигнал может быть разложен на сумму выбранных должным образом косинусоидальных и синусоидальных функций (Жан Батист Жозеф Фурье, 1807)
- ДПФ работает с конечным числом (N) оцифрованных по времени отсчетов $x(n)$. Когда эти группы отсчетов повторяются, они становятся периодическими с точки зрения преобразования
- Комплексный спектральный выход ДПФ $X(k)$ является результатом свертки входных отсчетов с базисными функциями синуса и косинуса:

$$X(k) = \frac{1}{N} \sum_{n=0}^{N-1} x(n) e^{-j2\pi nk/N} = \frac{1}{N} \sum_{n=0}^{N-1} x(n) \left[\cos \frac{2\pi nk}{N} - j \sin \frac{2\pi nk}{N} \right]$$

$0 \leq k \leq N-1$

Рис. 5.3

СВЕРТКА ОТСЧЕТОВ ВО ВРЕМЕННОЙ ОБЛАСТИ С БАЗИСНЫМИ ФУНКЦИЯМИ ПРИ ДПФ ДЛЯ N=8

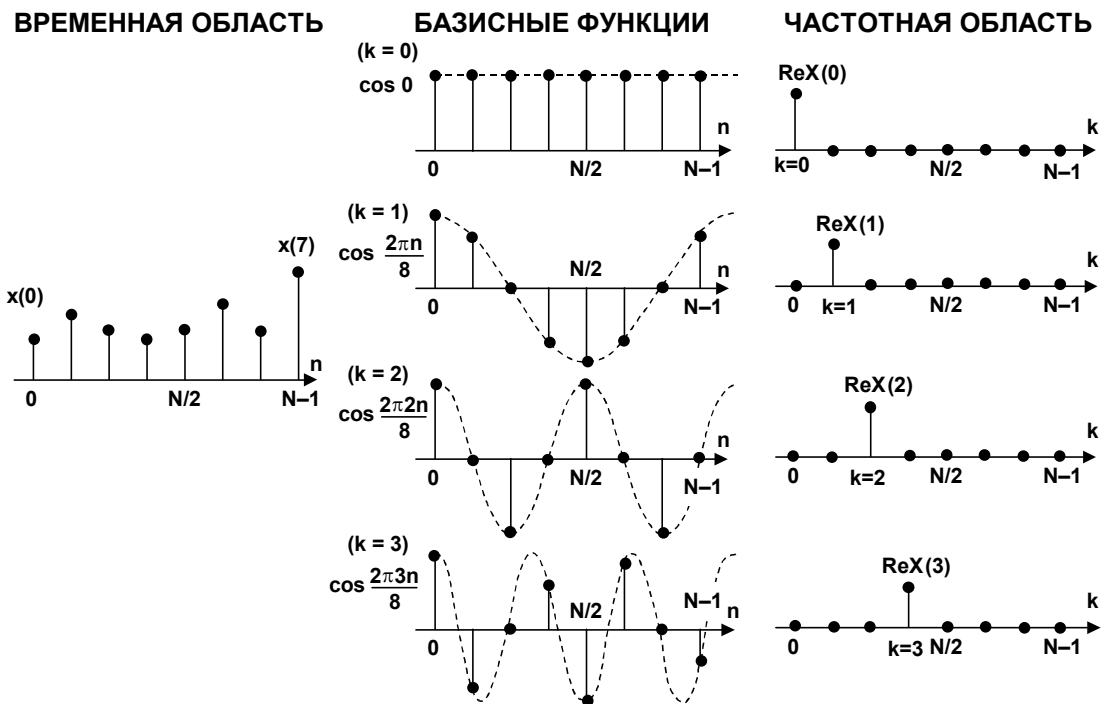


Рис. 5.4

Предположим, что входной сигнал является косинусоидальным, имеющим период N , то есть он содержит один полный период в нашей выборке. Также примем его амплитуду и фазу идентичными первой косинусоидальной базисной функции $\cos(2\pi n/8)$. Выходной спектр содержит одну ненулевую точку $\text{Re}X(1)$, а все другие точки $\text{Re}X(k)$ являются нулевыми. Предположим, что теперь входная косинусоида сдвинута вправо на 90° . Значение свертки между ней и соответствующей базисной косинусоидальной функцией

а

равно нулю. Но алгоритм преобразования предполагает вычисление свертки с базисной функцией $\sin(2\pi n/8)$, необходимое для получения $\text{Im}X(1)$. Это показывает, почему необходимо рассчитывать и вещественные, и мнимые части спектра для определения и амплитуды и фазы частотного спектра.

Обратите внимание, что свертка синусоидальной/косинусоидальной функции любой частоты, отличной от частоты базовой функции, дает нулевое значение и для $\text{Re}X(1)$, и для $\text{Im}X(1)$.

Подобная процедура применяется при вычислении обратного ДПФ для восстановления отсчетов во временной области $x(n)$ из отсчетов в частотной области $X(k)$.

Соответствующее уравнение выглядит следующим образом:

$$x(n) = \sum_{k=0}^{N-1} X(k) e^{j2\pi nk/N} = \sum_{k=0}^{N-1} X(k) [\cos(2\pi nk/N) + j \sin(2\pi nk/N)]$$

Существует два основных типа ДПФ: вещественное ДПФ и комплексное ДПФ.

Уравнения, представленные на рис.5.5, описывают комплексное ДПФ, где и входные, и выходные величины являются комплексными числами. Так как входные отсчеты во временной области являются вещественными и не имеют мнимой части, мнимая часть входных отсчетов всегда принимается равной нулю. Выход ДПФ $X(k)$ содержит вещественную и мнимую компоненты, которые могут быть преобразованы в амплитуду и фазу.

Вещественное ДПФ выглядит несколько проще и, в основном, является упрощением комплексного ДПФ. Большинство алгоритмов вычисления быстрого преобразования Фурье (БПФ) составлено с использованием формата комплексного ДПФ, поэтому важно понимать, как работает комплексное ДПФ и как оно соотносится с вещественным ДПФ. В частности, если известны выходные частоты вещественного ДПФ и требуется использовать обратное комплексное ДПФ для вычисления отсчетов во временной области, надо знать, как разместить выходные точки вещественного ДПФ в формате комплексного ДПФ перед выполнением обратного комплексного ДПФ.

На рис.5.6 показаны исходные данные и результаты вычислений вещественного и комплексного БПФ (FFT). Обратите внимание, что результат вычисления вещественного ДПФ дает вещественное и мнимое значения $X(k)$, где k находится в диапазоне от 0 до $N/2$. При этом мнимые точки $\text{Im}X(0)$ и $\text{Im}X(N/2)$ всегда равны 0, потому что равны 0 $\sin(0)$ и $\sin(n\pi)$.

Результат вычислений в частотной области $X(N/2)$ соответствует частотному диапазону, равному половине частоты дискретизации f_s . Ширина каждого элемента разрешения по частоте равна f_s/N .

а

КОМПЛЕКСНОЕ ДИСКРЕТНОЕ ПРЕОБРАЗОВАНИЕ ФУРЬЕ (ДФФ)

ЧАСТОТНАЯ ОБЛАСТЬ $\leftarrow\leftarrow$ ДПФ $\leftarrow\leftarrow$ ВРЕМЕННАЯ ОБЛАСТЬ

$$X(k) = \frac{1}{N} \sum_{n=0}^{N-1} x(n) e^{-\frac{j2\pi nk}{N}} = \frac{1}{N} \sum_{n=0}^{N-1} x(n) \left[\cos \frac{2\pi nk}{N} - j \sin \frac{2\pi nk}{N} \right]$$

$W_N = e^{-\frac{j2\pi}{N}}$

 $= \frac{1}{N} \sum_{n=0}^{N-1} x(n) W_N^{nk}, \quad 0 \leq k \leq N-1$

ВРЕМЕННАЯ ОБЛАСТЬ $\leftarrow\leftarrow$ ОБРАТНОЕ ДПФ $\leftarrow\leftarrow$ ЧАСТОТНАЯ ОБЛАСТЬ

$$x(n) = \sum_{k=0}^{N-1} X(k) e^{\frac{j2\pi nk}{N}} = \sum_{k=0}^{N-1} X(k) \left[\cos \frac{2\pi nk}{N} + j \sin \frac{2\pi nk}{N} \right]$$

$$= \sum_{k=0}^{N-1} X(k) W_N^{-nk}, \quad 0 \leq n \leq N-1$$

Рис. 5.5

ВХОДНЫЕ/ВЫХОДНЫЕ ДАННЫЕ ДПФ

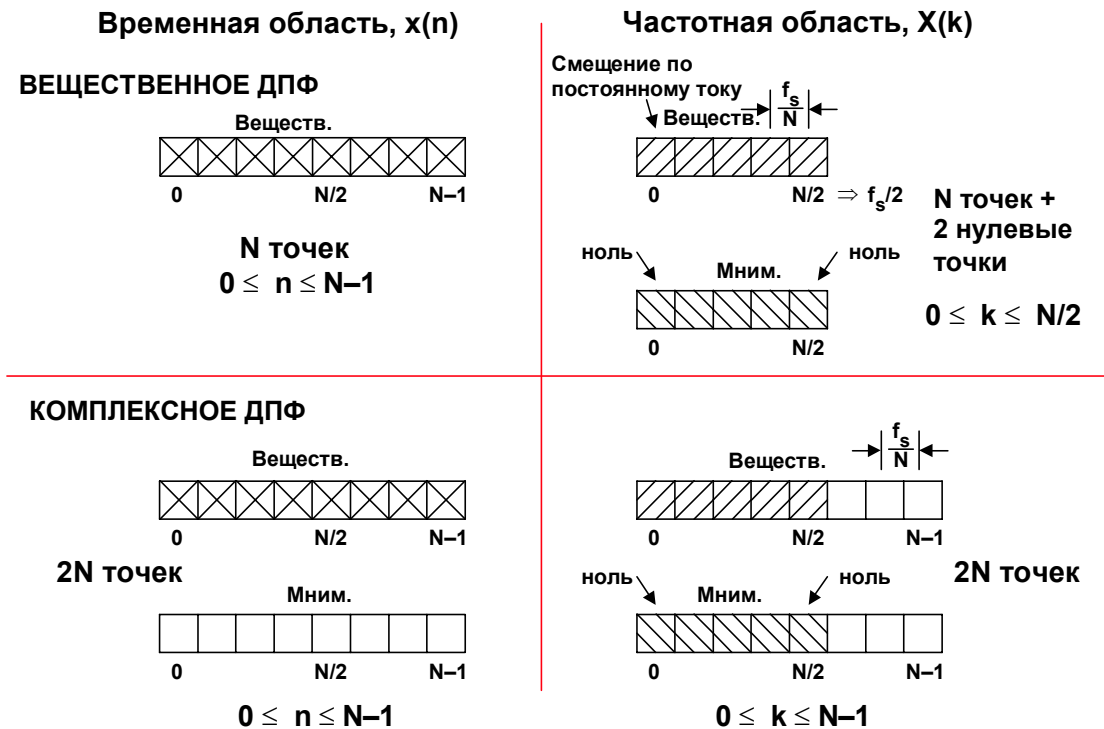


Рис. 5.6

а

Комплексное ДПФ имеет вещественные и мнимые значения и на входе, и на выходе. Практически, мнимые части отсчетов во временной области устанавливаются в ноль. При рассмотрении спектра, получаемого в результате вычисления комплексного ДПФ, полезно знать, как связать его с результатом вычисления вещественного ДПФ и наоборот. Заштрихованные области в диаграмме соответствуют точкам, которые являются общими и для вещественного, и для комплексного ДПФ.

Рис.5.7 раскрывает отношение между вещественным и комплексным ДПФ более подробно. Выходные точки вещественного ДПФ располагаются в диапазоне от 0 до $N/2$, причем значения $\text{Im}X(0)$ и $\text{Im}X(N/2)$ всегда равны 0. Точки между $N/2$ и $N - 1$ содержат отрицательные частоты в комплексном ДПФ. Обратите внимание, что $\text{Re}X(N/2+1)$ имеет такое же значение, как и $\text{Re}X(N/2-1)$. Точно так же, $\text{Re}X(N/2 + 2)$ имеет такое же значение, как и $\text{Re}X(N/2-2)$ и т.д. Видно, также, что $\text{Im}X(N/2+1)$ равно $\text{Im}X(N/2-1)$, но взято со знаком минус, и $\text{Im}X(N/2+2)$ равно $\text{Im}X(N/2 - 2)$, но взято со знаком минус и т.д. Другими словами, $\text{Re}X(k)$ имеет четную симметрию относительно $N/2$, а $\text{Im}X(k)$ имеет нечетную симметрию относительно $N/2$. Таким образом, на основе вещественных компонентов ДПФ могут быть сгенерированы отрицательные частотные компоненты комплексного БПФ.

Уравнения для комплексного и вещественного ДПФ приводятся на рис.5.8. Видно, что уравнения для комплексного ДПФ работают почти одинаково, будь то процедура вычисления ДПФ $X(k)$ или обратного ДПФ $x(n)$. Вещественное ДПФ не использует комплексные числа, и уравнения для $X(k)$ и $x(n)$ существенно различаются. Также перед использованием уравнения для вычисления отсчетов во временной области $x(n)$, значения $\text{Re}X(0)$ и $\text{Re}X(N/2)$ должны быть поделены на два. Эти подробности объясняются в главе 31 книги, приведенной в списке литературы под номером 1, и читатель может изучить данный материал перед тем, как использовать эти уравнения.

ВОСПРОИЗВЕДЕНИЕ КОМПОНЕНТ ОТРИЦАТЕЛЬНОЙ ЧАСТОТЫ КОМПЛЕКСНОГО ДПФ ПО ВЕЩЕСТВЕННОМУ ДПФ

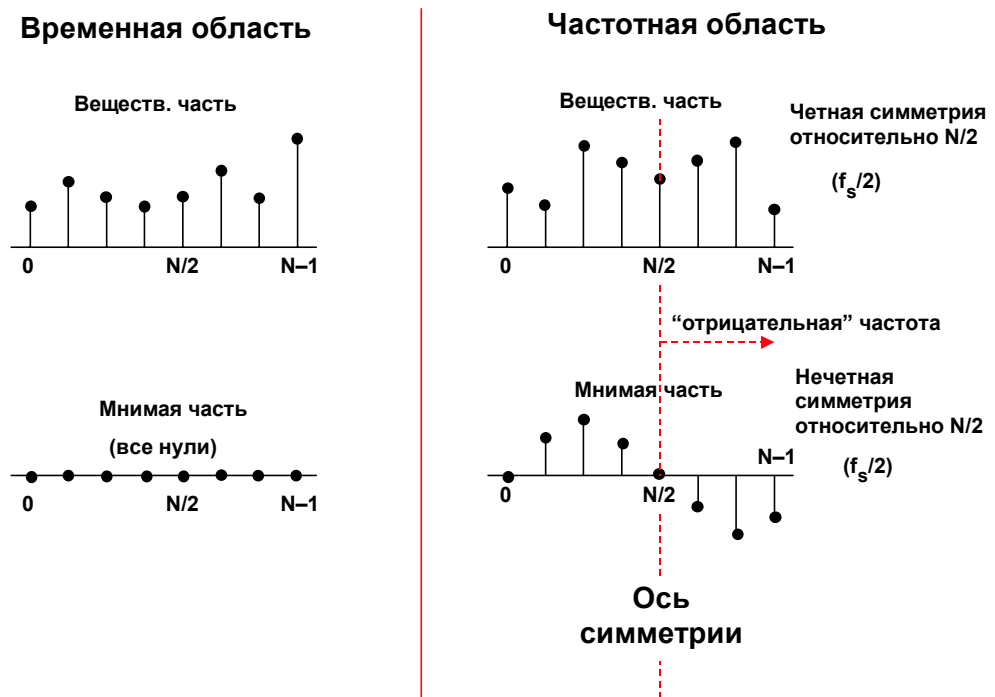


Рис. 5.7

а

Выходной спектр ДПФ может быть представлен либо в полярной системе координат (амплитудой и фазой), либо в алгебраической форме (вещественной и мнимой частями), как показано на рис.5.9. Обе указанных формы находятся во взаимно однозначном соответствии.

УРАВНЕНИЯ КОМПЛЕКСНОГО И ВЕЩЕСТВЕННОГО ДПФ

Комплексное преобразование

$$X(k) = \frac{1}{N} \sum_{n=0}^{N-1} x(n) e^{-j2\pi nk/N}$$

$$x(n) = \sum_{k=0}^{N-1} X(k) e^{j2\pi nk/N}$$

Временная область: $x(n)$ является комплексной, дискретной и периодической величиной. n изменяется в диапазоне от 0 до $N-1$
 Частотная область: $X(k)$ является комплексной, дискретной и периодической величиной. k изменяется в диапазоне от 0 до $N-1$
 Для k от 0 до $N/2$ – положительные частоты
 Для k от $N/2$ до $N-1$ – отрицательные частоты

Вещественное преобразование

$$\text{Re}X(k) = \frac{2}{N} \sum_{n=0}^{N-1} x(n) \cos(2\pi nk/N)$$

$$\text{Im}X(k) = \frac{-2}{N} \sum_{n=0}^{N-1} x(n) \sin(2\pi nk/N)$$

$$x(n) = \sum_{k=0}^{N/2} \left[\text{Re}X(k) \cos(2\pi nk/N) - \text{Im}X(k) \sin(2\pi nk/N) \right]$$

Временная область: $x(n)$ является вещественной, дискретной и периодической величиной. n изменяется в диапазоне от 0 до $N-1$
 Частотная область:
 $\text{Re}X(k)$, $\text{Im}X(k)$ являются вещественными, дискретными и периодическими величинами. k изменяется в диапазоне от 0 до $N/2$

Перед использованием уравнения x для вычисления (n) значения $\text{Re}X(0)$ и $\text{Re}X(N/2)$ должны быть поделены на два.

Рис. 5.8

а

ПРЕОБРАЗОВАНИЕ ВЕЩЕСТВЕННЫХ И МНИМЫХ КОМПОНЕНТ ДПФ В АМПЛИТУДУ (MAG) И ФАЗУ (φ)

$$\blacksquare \quad X(k) = \operatorname{Re}X(k) + j \operatorname{Im}X(k)$$

$$\blacksquare \quad \operatorname{MAG}[X(k)] = \sqrt{\operatorname{Re}X(k)^2 + \operatorname{Im}X(k)^2}$$

$$\blacksquare \quad \varphi[X(k)] = \tan^{-1} \frac{\operatorname{Im}X(k)}{\operatorname{Re}X(k)}$$

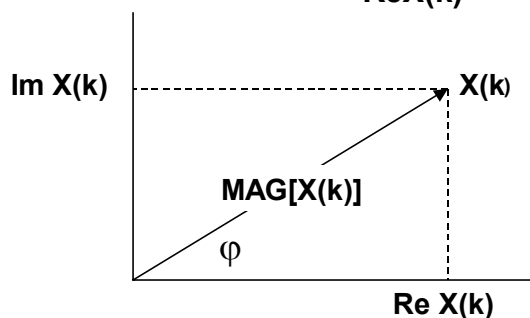


Рис. 5.9

Быстрое преобразование Фурье

Для понимания принципов работы БПФ, рассмотрим ДПФ на 8 точек, представленное на рис.5.10 в развернутом виде. Обратите внимание, что для упрощения таблицы мы вводим следующее определение:

$$W_N = e^{-j2\pi/N}$$

Это ведет к определению коэффициентов поворота (поворачивающих множителей):

$$W_N^{nk} = e^{-j2\pi nk/N}$$

Коэффициенты поворота представляют базисные гармонические функции, записанные в экспоненциальной форме. Обратите внимание, что 8-точечное ДПФ, представленное на диаграмме, требует 64 операций умножения с комплексными числами. N-точечное ДПФ требует N^2 операций умножения с комплексными числами. Знание количества умножений важно потому, что на реализацию операций умножения затрачиваются существенные вычислительные ресурсы DSP. В действительности, общее время, требуемое для вычисления ДПФ, прямо пропорционально числу умножений с учетом необходимого числа дополнительных операций.

а

8-ТОЧЕЧНОЕ ДПФ (N = 8)

$$X(k) = \frac{1}{N} \sum_{n=0}^{N-1} x(n) e^{-j2\pi nk/N} = \frac{1}{N} \sum_{n=0}^{N-1} x(n) W_N^{nk}$$

$$W_N = e^{-j2\pi/N}$$

| | |
|----------|---|
| $X(0) =$ | $x(0)W_8^0 + x(1)W_8^0 + x(2)W_8^0 + x(3)W_8^0 + x(4)W_8^0 + x(5)W_8^0 + x(6)W_8^0 + x(7)W_8^0$ |
| $X(1) =$ | $x(0)W_8^0 + x(1)W_8^1 + x(2)W_8^2 + x(3)W_8^3 + x(4)W_8^4 + x(5)W_8^5 + x(6)W_8^6 + x(7)W_8^7$ |
| $X(2) =$ | $x(0)W_8^0 + x(1)W_8^2 + x(2)W_8^4 + x(3)W_8^6 + x(4)W_8^8 + x(5)W_8^{10} + x(6)W_8^{12} + x(7)W_8^{14}$ |
| $X(3) =$ | $x(0)W_8^0 + x(1)W_8^3 + x(2)W_8^6 + x(3)W_8^9 + x(4)W_8^{12} + x(5)W_8^{15} + x(6)W_8^{18} + x(7)W_8^{21}$ |
| $X(4) =$ | $x(0)W_8^0 + x(1)W_8^4 + x(2)W_8^8 + x(3)W_8^{12} + x(4)W_8^{16} + x(5)W_8^{20} + x(6)W_8^{24} + x(7)W_8^{28}$ |
| $X(5) =$ | $x(0)W_8^0 + x(1)W_8^5 + x(2)W_8^{10} + x(3)W_8^{15} + x(4)W_8^{20} + x(5)W_8^{25} + x(6)W_8^{30} + x(7)W_8^{35}$ |
| $X(6) =$ | $x(0)W_8^0 + x(1)W_8^6 + x(2)W_8^{12} + x(3)W_8^{18} + x(4)W_8^{24} + x(5)W_8^{30} + x(6)W_8^{36} + x(7)W_8^{42}$ |
| $X(7) =$ | $x(0)W_8^0 + x(1)W_8^7 + x(2)W_8^{14} + x(3)W_8^{21} + x(4)W_8^{28} + x(5)W_8^{35} + x(6)W_8^{42} + x(7)W_8^{49}$ |

N^2 умножений с комплексными числами
 $\frac{1}{N}$ Не учтенный масштабный коэффициент

Рис. 5.10

Быстрое преобразование Фурье (FFT) является не более чем алгоритмом для ускоренного вычисления ДПФ путем сокращения требуемого числа операций умножения и сложения. Данное преобразование было предложено Кули и Таки (J.W.Cooley и J.W.Tukey) в 1960-ых годах и фактически являлось открытием заново идеи Рунге, Даниэльсона и Ланкоса (Runge (1903), Danielson и Lanczos (1942)). Первое упоминание данной идеи встречается еще задолго до появления компьютеров и калькуляторов, когда численные вычисления могли занимать много часов. Кроме того, более чем столетием раньше данный метод использовал немецкий математик Карл Фридрих Гаусс (1777 - 1855).

Для понимания основных концепций БПФ и его происхождения, полезно обратить внимание, что ДПФ, показанное на рис.5.10 в развернутом виде, может быть сильно упрощено, если использовать свойства симметрии и периодичности коэффициентов поворота, как показано на рис.5.11. Результатом переработки выражений для ДПФ является быстрое преобразование Фурье (FFT), которое требует только $(N/2)\log_2(N)$ умножений комплексных чисел. Вычислительная эффективность БПФ по сравнению с ДПФ становится весьма существенной, когда количество точек БПФ увеличивается до нескольких тысяч, как это следует из рис.5.12. Очевидно, что БПФ вычисляет все компоненты выходного спектра (или все, или ни одного!). Если необходимо рассчитать только несколько точек спектра, ДПФ может оказаться более эффективным. Вычисление одного выходного отсчета спектра с использованием ДПФ требует только N умножений с комплексными числами.

а

СВОЙСТВА СИММЕТРИИ И ПЕРИОДИЧНОСТИ ПОВОРАЧИВАЮЩИХ МНОЖИТЕЛЕЙ W_N^r

симметричность: $W_N^{r+N/2} = -W_N^r$, периодичность: $W_N^{r+N} = W_N^r$

$N = 8$

| |
|-----------------------------------|
| $W_8^4 = W_8^{0+4} = -W_8^0 = -1$ |
| $W_8^5 = W_8^{1+4} = -W_8^1$ |
| $W_8^6 = W_8^{2+4} = -W_8^2$ |
| $W_8^7 = W_8^{3+4} = -W_8^3$ |
| $W_8^8 = W_8^{0+8} = +W_8^0 = +1$ |
| $W_8^9 = W_8^{1+8} = +W_8^1$ |
| $W_8^{10} = W_8^{2+8} = +W_8^2$ |
| $W_8^{11} = W_8^{3+8} = +W_8^3$ |
| ● ● ● |
| ● ● ● |
| ● ● ● |

Рис. 5.11

БЫСТРОЕ ПРЕОБРАЗОВАНИЕ ФУРЬЕ (БПФ) ПО СРАВНЕНИЮ С ДИСКРЕТНЫМ ПРЕОБРАЗОВАНИЕМ ФУРЬЕ (ДПФ)

- БПФ является лишь алгоритмом эффективного вычисления ДПФ
- Вычислительная эффективность N-точечного БПФ:
 - ДПФ: N^2 вычислений с комплексными числами
 - БПФ: $(N/2) \log_2(N)$ вычислений с комплексными числами

| N | Умножений при ДПФ | Умножений при БПФ | Эффективность БПФ |
|-------|-------------------|-------------------|-------------------|
| 256 | 65,536 | 1,024 | 64 : 1 |
| 512 | 262,144 | 2,304 | 114 : 1 |
| 1,024 | 1,048,576 | 5,120 | 205 : 1 |
| 2,048 | 4,194,304 | 11,264 | 372 : 1 |
| 4,096 | 16,777,216 | 24,576 | 683 : 1 |

Рис. 5.12

а

Алгоритм БПФ по основанию 2 разделяет полное вычисление ДПФ на комбинацию 2-точечных ДПФ. Каждое 2-точечное ДПФ содержит базовую операцию умножения с накоплением, называемую «бабочкой» и иллюстрируемую на рис.5.13. На диаграмме показаны два представления «бабочки»: верхняя диаграмма фактически является функциональным представлением «бабочки», построенным на цифровых умножителях и сумматорах. В упрощенной нижней диаграмме операции умножения помечаются множителем возле стрелки, а под суммированием подразумеваются две стрелки, сходящиеся в точке.

8-точечное БПФ с прореживанием во времени (decimation-in-time, DIT) вычисляет окончательный результат с использованием трех каскадов, как это следует из рис.5.14. Восемь входных отсчетов из временной области сначала разделяются (или прореживаются) на четыре группы 2-точечных ДПФ. Затем четыре 2-точечных ДПФ объединяются в два 4-точечных ДПФ. Затем два 4-точечных ДПФ объединяются для того, чтобы получить окончательный результат $X(k)$. Подробно процесс рассмотрен на рис.5.15, где показаны все операции умножения и суммирования. Нетрудно заметить, что базовая операция «бабочки» 2-точечного ДПФ формирует основу для всего вычисления. Вычисление осуществляется в трех каскадах. После того, как заканчивается вычисление первого каскада, нет необходимости сохранять какие-либо предыдущие результаты. Результаты вычисления первого каскада могут быть сохранены в тех же самых регистрах или ячейках памяти, которые первоначально хранили исходные отсчеты из временной области $x(n)$. Точно так же, когда заканчивается вычисление второго каскада, результаты вычисления первого каскада могут быть удалены. Таким же образом осуществляется вычисление последнего каскада, заменяя в памяти промежуточный результат вычисления предыдущего каскада. Обратите внимание, что для того, чтобы алгоритм работал должным образом, входные отсчеты по времени $x(n)$ должны быть упорядочены определенным образом с использованием алгоритма реверсирования битов.

БАЗОВАЯ ОПЕРАЦИЯ «БАБОЧКА» В АЛГОРИТМЕ БПФ С ПРОРЕЖИВАНИЕМ ПО ВРЕМЕНИ

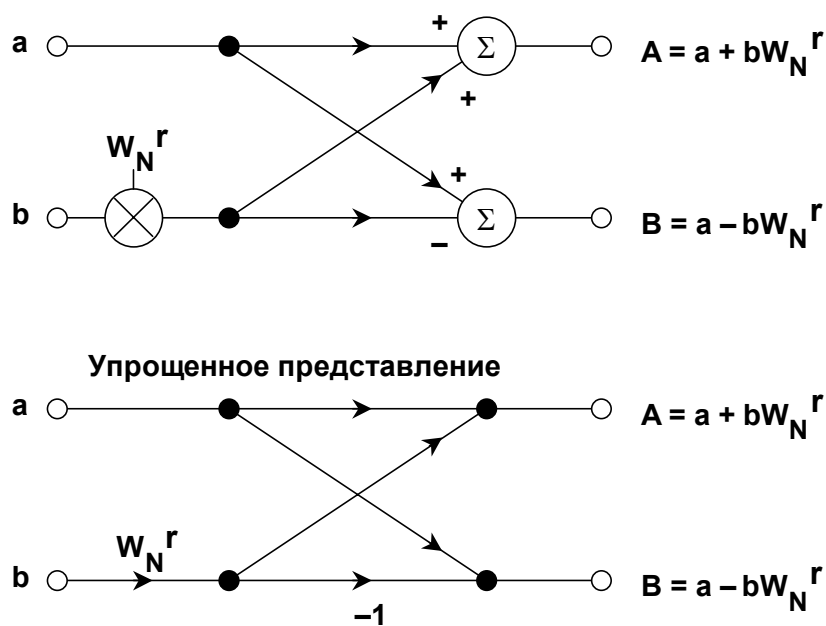


Рис. 5.13

а

ВЫЧИСЛЕНИЕ 8-ТОЧЕЧНОГО ДПФ В ТРЕХ КАСКАДАХ С ИСПОЛЬЗОВАНИЕМ ПРОРЕЖИВАНИЯ ПО ВРЕМЕНИ

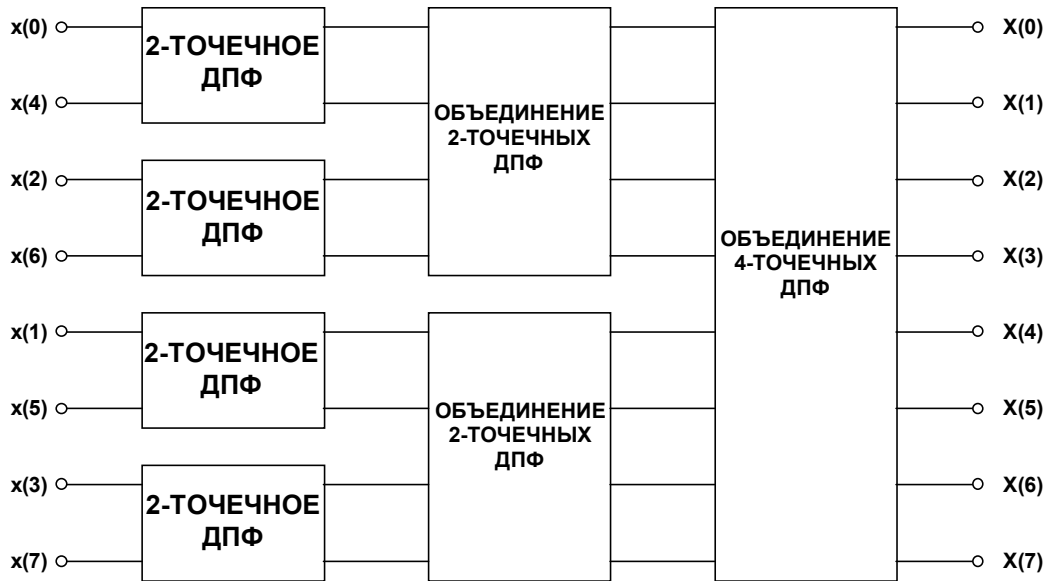


Рис. 5.14

АЛГОРИТМ 8-ТОЧЕЧНОГО БПФ С ПРОРЕЖИВАНИЕМ ПО ВРЕМЕНИ

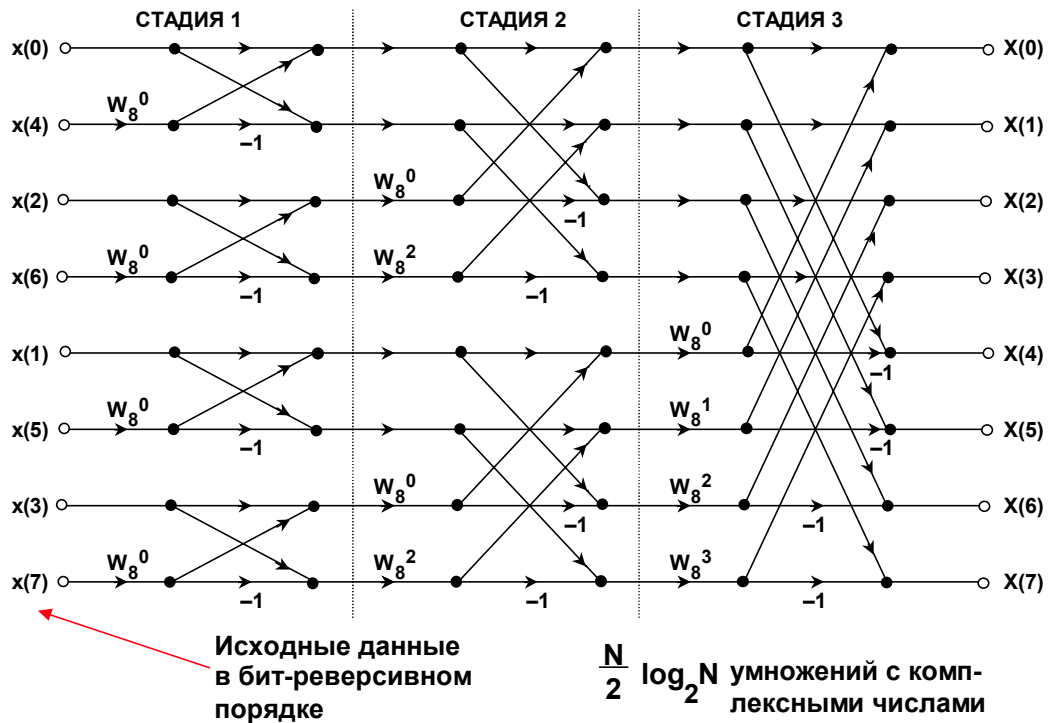


Рис. 5.15

а

Алгоритм реверсирования битов, используемый для реализации прореживания по времени, представлен на рис.5.16. Десятичный индекс n преобразуется в его двоичный эквивалент. Затем двоичные разряды располагаются в обратном порядке и преобразуются обратно в десятичное число. Реверсирование битов часто выполняют аппаратурой ЦОС в генераторе адреса данных (DAG), упрощая таким образом программное обеспечение, сокращая количество дополнительных операций и ускоряя вычисления.

На рис.5.17 и 5.18 представлено вычисление БПФ с использованием алгоритма с прореживанием по частоте (DIF). Этот метод требует, чтобы алгоритм реверсирования был применен к адресам выходных отсчетов $X(k)$. Обратите внимание, что «бабочка» для алгоритма с прореживанием по частоте (DIF) слегка отличается от «бабочки» для алгоритма с прореживанием по времени, как это показано на рис.5.19.

Использование алгоритмов с прореживанием по времени, по сравнению с алгоритмами с прореживанием по частоте, в значительной степени является вопросом предпочтения, так как оба алгоритма дают одинаковый результат. Определенные ограничения той или иной системы могут сделать одно из двух решений оптимальным.

Необходимо отметить, что алгоритмы, требуемые для вычисления обратного БПФ, почти идентичны тем, которые необходимы для вычисления прямого БПФ, если принять во внимание, что речь идет об использовании комплексного БПФ. В действительности, полезный метод проверки алгоритма комплексного БПФ состоит в осуществлении БПФ с отсчетами из временной области $x(n)$, а затем – в вычислении обратного БПФ с отсчетами из частотной области $X(k)$. В конце этого процесса должны быть получены первоначальные отсчеты из временной области $\text{Re } x(n)$, а мнимая часть $\text{Im } x(n)$ должна быть нулевой (в пределах ошибки математического округления).

ПРИМЕР БИТ-РЕВЕРСИВНОГО ПРОРЕЖИВАНИЯ ДЛЯ $N = 8$

| | | | | | | | | |
|--------------------------|-----|-----|-----|-----|-----|-----|-----|-----|
| ■ Десятичное число: | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 |
| ■ Двоичный эквивалент: | 000 | 001 | 010 | 011 | 100 | 101 | 110 | 111 |
| ■ Дв. с реверсированием: | 000 | 100 | 010 | 110 | 001 | 101 | 011 | 111 |
| ■ Десятичный эквивалент: | 0 | 4 | 2 | 6 | 1 | 5 | 3 | 7 |

Рис. 5.16

а

ВЫЧИСЛЕНИЕ 8-ТОЧЕЧНОГО ДПФ В ТРИ ЭТАПА, АЛГОРИТМ С ПРОРЕЖИВАНИЕМ ПО ЧАСТОТЕ



Рис. 5.17

АЛГОРИТМ 8-ТОЧЕЧНОГО БПФ С ПРОРЕЖИВАНИЕМ ПО ЧАСТОТЕ

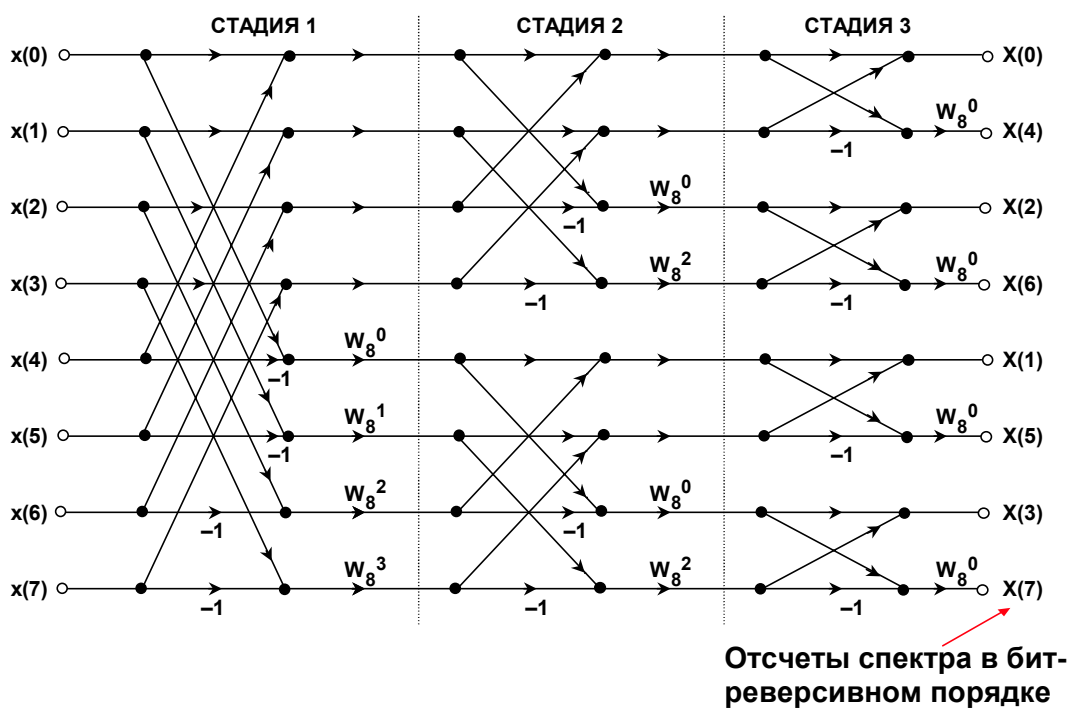


Рис. 5.18

a

БАЗОВАЯ ОПЕРАЦИЯ «БАБОЧКА» В АЛГОРИТМЕ БПФ С ПРОРЕЖИВАНИЕМ ПО ЧАСТОТЕ

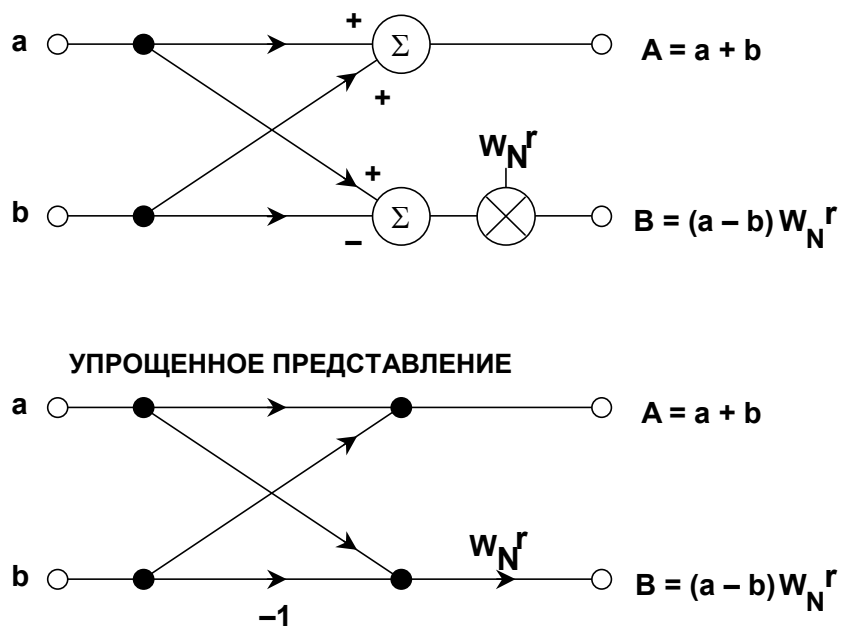


Рис. 5.19

Обсуждавшиеся до сих пор БПФ представляют алгоритм БПФ по основанию 2, то есть их вычисление основано на 2-точечных базовых операциях типа «бабочка».

Подразумевается, что число точек в БПФ должно быть степенью числа 2. Если число точек в БПФ является степенью числа 4, то БПФ может быть разделено на множество 4-точечных ДПФ, показанное на рис.5.20. Такое преобразование называется алгоритмом БПФ по основанию 4. Базовая операция «бабочка» БПФ по основанию 4 с прореживанием по частоте представлена на рис.5.21.

Алгоритм БПФ по основанию 4 требует меньшего количества умножений с комплексными числами, но большего количества операций суммирования, чем БПФ по основанию 2 для такого же количества точек. По сравнению с алгоритмом БПФ по основанию 2, алгоритм по основанию 4 использует более сложную адресацию и дополнительные коэффициенты поворота, но меньшее количество вычислений. Окончательная экономия времени вычисления различается для разных DSP, но алгоритм БПФ по основанию 4 может быть более чем вдвое быстрее, чем алгоритм по основанию 2 для DSP с оптимальной архитектурой.

а

ТРЕХКАСКАДНОЕ ВЫЧИСЛЕНИЕ 16-ТОЧЕЧНОГО ДПФ НА ОСНОВЕ АЛГОРИТМА С ПРОРЕЖИВАНИЕМ ПО ВРЕМЕНИ ПО ОСНОВАНИЮ 4



Рис. 5.20

"БАБОЧКА" АЛГОРИТМА БПФ ПО ОСНОВАНИЮ 4 С ПРОРЕЖИВАНИЕМ ПО ВРЕМЕНИ

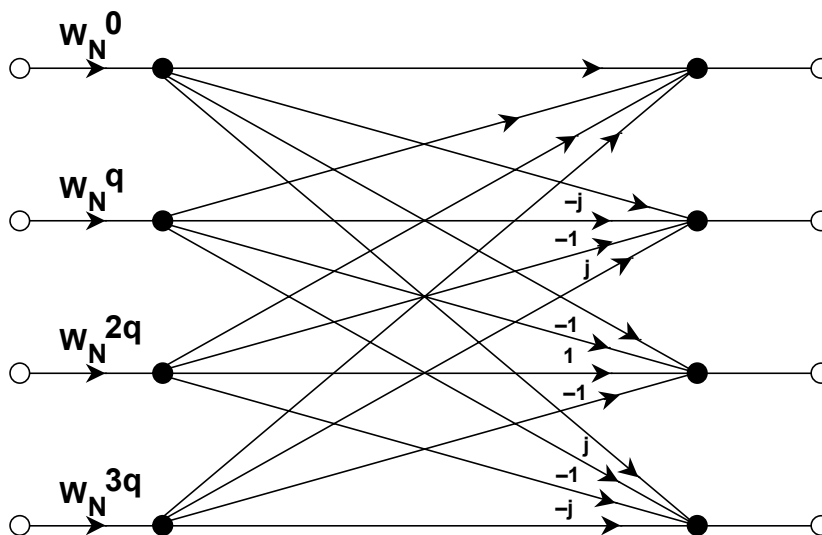


Рис. 5.21

а

АППАРАТНАЯ РЕАЛИЗАЦИЯ И ВРЕМЯ ВЫПОЛНЕНИЯ АЛГОРИТМОВ БПФ

В общем случае, требования по используемой памяти для N -точечного БПФ следующие: N ячеек для вещественных данных, N ячеек для мнимых данных и N ячеек для синусоидальных базисных функций (иногда упоминаемых, как коэффициенты поворота). Дополнительные ячейки памяти будут требоваться в случае использования взвешивания с использованием оконных функций (windowing). Если принятые требования по памяти удовлетворены, DSP должен выполнить необходимые вычисления за требуемое время. Многие производители DSP либо проводят тест производительности для указанного размера БПФ, либо определяют время вычисления для базовой операции «бабочка». При сравнении характеристик БПФ важно удостовериться, что во всех случаях используется одинаковый тип БПФ. Например, тест 1024-точечного БПФ на одном DSP, полученном с помощью алгоритма БПФ по основанию 2, не должен сравниваться с тестом алгоритма БПФ по основанию 4 для другого DSP.

Другое соображение относительно БПФ заключается в выборе процессора с фиксированной или с плавающей точкой. Значения, соответствующие результатам вычисления «бабочки», могут быть больше, чем исходные данные при вычислении «бабочки». Это увеличение обрабатываемых числовых значений может создавать потенциальную проблему в DSP с фиксированным числом разрядов. Для предотвращения переполнения, данные следует масштабировать, заранее оставляя достаточное количество дополнительных разрядов для увеличения значений обрабатываемых данных. Альтернативный метод заключается в том, что данные могут масштабироваться после каждого каскада вычисления БПФ. Методика масштабирования данных после каждого прохода БПФ известна как блочная плавающая точка (*block floating point*). Он называется так, потому что полный массив данных масштабируется как единое целое, независимо от того, действительно ли каждый элемент в блоке требует масштабирования. Блок масштабируется таким образом, чтобы относительные соотношения между данными остались прежними. Например, если каждое слово данных сдвинуто вправо на один разряд (поделено на 2), абсолютные значения изменяются, но относительно друг друга соотношения данных остаются прежними.

В 16-разрядном DSP-процессоре с фиксированной точкой после умножения формируется 32-разрядное слово. Семейство цифровых сигнальных процессоров Analog Devices ADSP21xx характеризуется расширенным динамическим диапазоном, который реализуется в операциях умножения с накоплением посредством 40-разрядного внутреннего регистра аккумулятора.

Использование DSP-процессора с плавающей точкой устраняет потребность в масштабировании данных и поэтому приводит к более простой реализации алгоритма БПФ, но следствием этого упрощения является увеличение времени обработки, которое требуется для сложных арифметических вычислений с плавающей точкой. Кроме того, 32-разрядный DSP-процессор с плавающей точкой, очевидно, будет иметь меньший уровень шумов округления, чем 16-разрядный DSP-процессор с фиксированной точкой. На рис.5.22 приведены данные по реализации БПФ для популярных DSP-процессоров Analog Devices. В частности, что DSP-процессор ADSP-TS001 TigerSHARC™ предлагает оба режима: и с плавающей, и с фиксированной точкой, обеспечивая, таким образом, исключительную гибкость программирования.

а

РЕЗУЛЬТАТЫ СРАВНЕНИЯ РЕАЛИЗАЦИИ АЛГОРИТМОВ БПФ ПО ОСНОВАНИЮ 2 НА РАЗЛИЧНЫХ ПРОЦЕССОРАХ

- **ADSP-2189M, 16 разрядов, фиксированная точка**
 - ◆ 453 мкс (1024 точки)

- **ADSP-21160 SHARC™, 32 разряда, плавающая точка**
 - ◆ 90 мкс (1024 точки)

- **ADSP-TS001 TigerSHARC™ 150 MHz,**
 - ◆ 16 разрядов, режим с фиксированной точкой
 - 7,3 мкс (256 точек БПФ)
 - ◆ 32 разряда, режим с плавающей точкой
 - 69 мкс (1024 точки)

Рис. 5.22

ТРЕБОВАНИЯ К DSP ДЛЯ РЕАЛИЗАЦИИ АЛГОРИТМОВ БПФ В РЕАЛЬНОМ МАСШТАБЕ ВРЕМЕНИ

Существует два основных способа обработки сигналов в реальном масштабе времени: обработка одного отсчета в каждый момент времени (непрерывная обработка) и обработка одного пакета данных в каждый момент времени (пакетная обработка). Системы, основанные на непрерывной обработке, такие как цифровой фильтр, получают данные в виде одного отсчета в каждый момент времени. В каждом такте новый отсчет поступает в систему, а обработанный отсчет передается на выход. Системы, основанные на пакетной обработке, такие как построенный на БПФ цифровой анализатор спектра, получают данные в виде целого пакета отсчетов. Происходит обработка всего пакета исходных данных, результатом которой является пакет преобразованных выходных данных.

Для обеспечения функционирования в реальном масштабе времени полный расчет БПФ должен выполняться в промежутке, соответствующем времени накопления одного пакета данных. Предполагается, что, пока производится вычисление БПФ текущего пакета данных, DSP-процессор накапливает данные для следующего пакета. Накопление данных является одной из сфер, где важную роль играют специальные архитектурные особенности DSP. Непрерывное получение данных облегчается, благодаря возможностям гибкой адресации данных в DSP в сочетании с использованием различных каналов прямого доступа к памяти (DMA).

Рассмотрим DSP процессор ADSP-TS001 TigerSHARC, который вычисляет 1024-точечное 32-разрядное комплексное БПФ с плавающей точкой за 69 мкс. Очевидно, что максимальная частота дискретизации равна $1024/69 \text{ мкс} = 14,8 \text{ MSPS}$. Это подразумевает, что сигнал имеет ширину полосы частот меньшую, чем 7,4 МГц. Также предполагается, что нет дополнительных затрат процессорного времени, связанных с БПФ, или ограничений, связанных с передачей данных.

а

ПРИМЕР ВЫЧИСЛЕНИЯ БПФ В РЕАЛЬНОМ МАСШТАБЕ ВРЕМЕНИ

- Предположим, что время выполнения 1024-точечного алгоритма БПФ по основанию 2 равно 69 мкс (TigerSHARC, 32-разрядный режим)
- f_s (maximum) < $\frac{1024 \text{ отсчета}}{69 \text{ мкс}} = 14,8 \text{ MSPS}$
- Следовательно, ширина полосы входного сигнала < 7,4 МГц
- Это подразумевает отсутствие дополнительных операций, связанных с реализацией БПФ и передачей входных/выходных данных

Рис. 5.23

Приведенный пример дает оценку максимальной ширины полосы сигнала, который может быть обработан данным DSP-процессором с учетом характеристик реализованного на нем БПФ. Другой подход состоит в том, чтобы, задаваясь шириной полосы сигнала, разработать требования к DSP для обработки сигнала в рассматриваемой полосе. Если ширина полосы частот сигнала известна, требуемая частота дискретизации может быть определена путем ее умножения на коэффициент 2 - 2,5 (увеличение частоты дискретизации может потребоваться для ослабления требований к предшествующему АЦП ФНЧ, устраняющему эффект наложения спектра, (antialiasing filter)). Следующим шагом определяется число точек БПФ, требуемое для достижения желаемой разрешающей способности по частоте. Разрешающая способность по частоте получается делением скорости дискретизации f_s на число точек БПФ N . Эти и другие соображения по поводу БПФ представлены на рис.5.24.

Число точек БПФ также определяет минимальный уровень шума БПФ относительно уровня широкополосного шума, и это также должно быть учтено при выборе числа точек БПФ. На рис.5.25 представлены соотношения между уровнем сигнала, соответствующим полному динамическому диапазону системы, уровнем широкополосного шума (измеренного в ширине полосы от 0 до $f_s/2$) и минимальным уровнем шума БПФ. Обратите внимание, что выигрыш в отношении сигнал/шум БПФ определяется числом точек БПФ. БПФ действует подобно аналоговому анализатору спектра с шириной полосы развертки f_s/N . Увеличение числа точек повышает разрешающую способность БПФ и сужает полосу пропускаемых им частот, сокращая, таким образом, минимальный уровень шума. В этом анализе мы пренебрегли шумом, вызванным ошибкой округления при реализации БПФ. На практике АЦП, который используется для оцифровки сигнала, производит шум квантования, который является доминирующим шумовым источником в системе.

Теперь пришло время исследовать характеристики реально существующих DSP-процессоров и время реализации БПФ на этих процессорах, чтобы представить себе, при каких условиях мы можем осуществлять обработку сигналов в реальном масштабе времени. Это означает, что БПФ должно быть рассчитано в течение времени накопления пакета данных, равного N/f_s . Другие соображения, такие как использование процессора с фиксированной точкой в сравнении с процессором с плавающей точкой, использование алгоритма по основанию 2 в сравнении с алгоритмом по основанию 4, потребляемая

а

процессором мощность и стоимостные показатели, могут также представить предмет для рассмотрения.

РЕАЛИЗАЦИЯ БПФ В РЕАЛЬНОМ МАСШТАБЕ ВРЕМЕНИ

- Ширина полосы сигнала
- Частота дискретизации f_s
- Количество точек БПФ, N
- Разрешающая способность по частоте = f_s / N
- Макс. время вычисления N -точечного БПФ N / f_s
- Фиксированная точка или плавающая точка
- Время выполнения алгоритма БПФ по основанию 2 по сравнению с БПФ по основанию 4
- Выигрыш БПФ в отношении сигнал/шум = $10 \log_{10}(N / 2)$
- Требования взвешивания с использованием оконной функции (Windowing)

Рис. 5.24

ВЫИГРЫШ В ОТНОШЕНИИ СИГНАЛ/ШУМ ПРИ БПФ БЕЗ УЧЕТА ОШИБКИ ОКРУГЛЕНИЯ

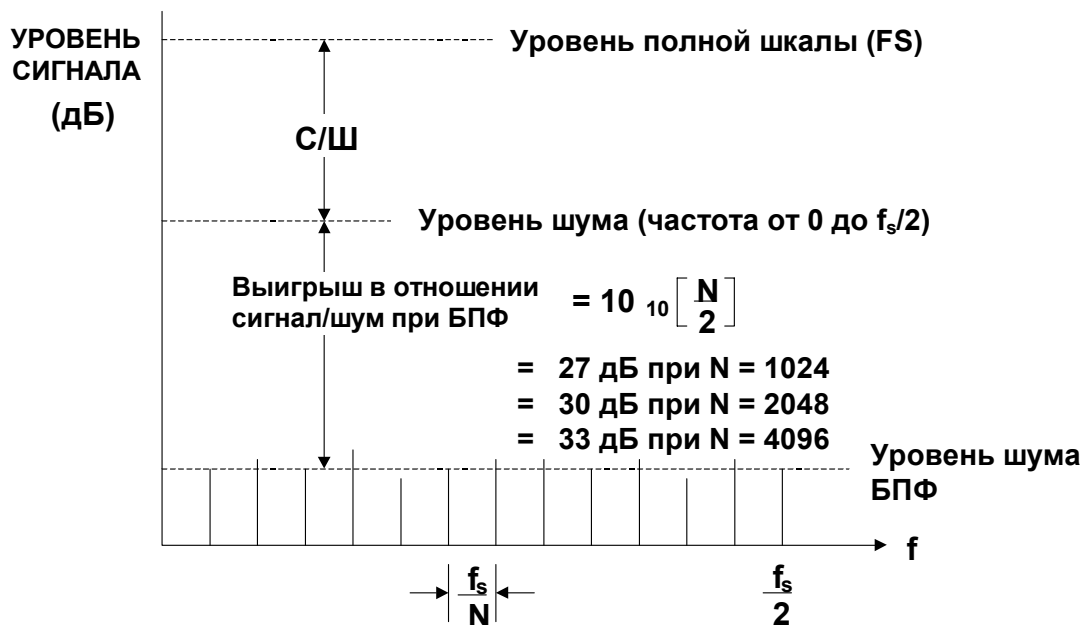


Рис. 5.25

а

РАСШИРЕНИЕ СПЕКТРА АНАЛИЗИРУЕМОГО СИГНАЛА И ВЗВЕШИВАНИЕ С ИСПОЛЬЗОВАНИЕМ ОКОННОЙ ФУНКЦИИ

Расширение спектра анализируемого сигнала при вычислении БПФ может быть лучше всего проиллюстрировано на выполнении N-точечного БПФ с синусоидальным входным сигналом. Будет рассмотрено две ситуации. В первом случае соотношение между частотой дискретизации и частотой входного синусоидального сигнала таково, что в выборке содержится в точности целое число периодов синусоидального сигнала. Напомним, что вычисление ДПФ предполагает, что выборка повторяется бесконечное число раз до и после исследуемого фрагмента сигнала, формируя таким способом бесконечный непрерывный периодический сигнал, как показано на рис.5.26. При таких условиях форма входного сигнала представляет собой непрерывную синусоидальную функцию, и на выходе ДПФ или БПФ будет один ненулевой частотный отсчет, соответствующий частоте входного сигнала.

БПФ СИГУСОИДАЛЬНОГО СИГНАЛА С ЦЕЛЫМ ЧИСЛОМ ПЕРИОДОВ В ВЫБОРКЕ

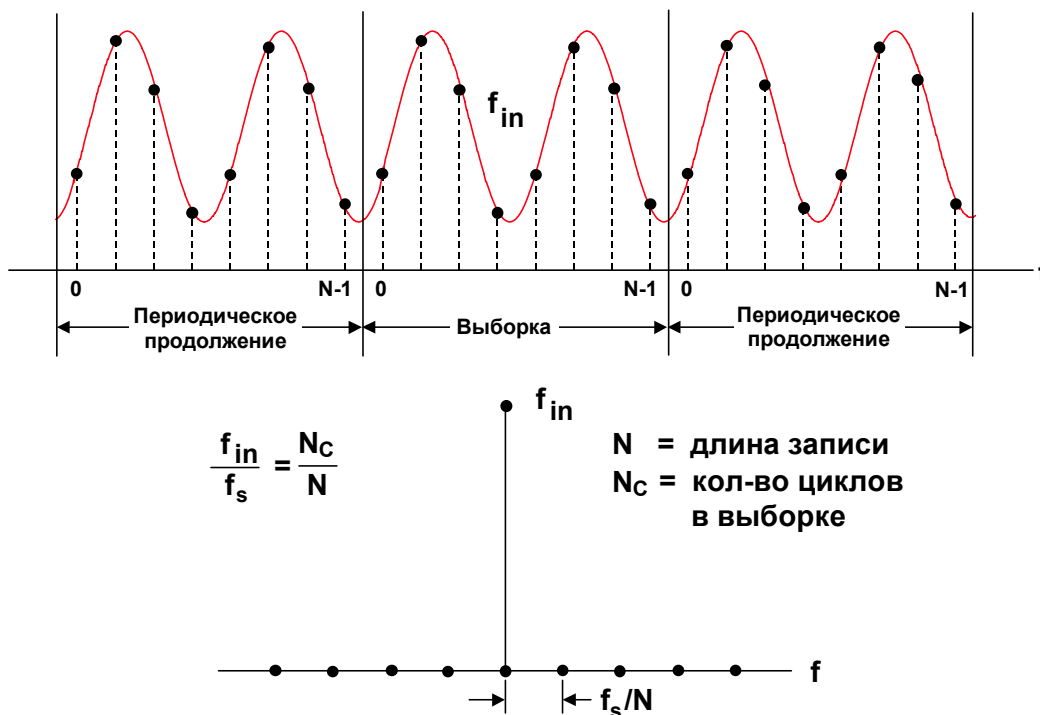


Рис. 5.26

Рис.5.27 отражает ситуацию, когда в выборке нет целого числа периодов синусоидального сигнала. Разрывы, которые образуются в конечных точках выборки, приводят к расширению спектра анализируемого сигнала вследствие появления дополнительных гармоник. В дополнение к появлению боковых лепестков, происходит расширение основного лепестка, что приводит к снижению разрешающей способности по частоте. Этот процесс эквивалентен перемножению входного синусоидального сигнала с прямоугольным импульсом, который имеет известную частотную характеристику $\sin(x)/x$ и связанные с этим широкий основной лепесток и боковые лепестки.

а

БПФ СИНУСОИДАЛЬНОГО СИГНАЛА С НЕЦЕЛЫМ ЧИСЛОМ ПЕРИОДОВ В ВЫБОРКЕ

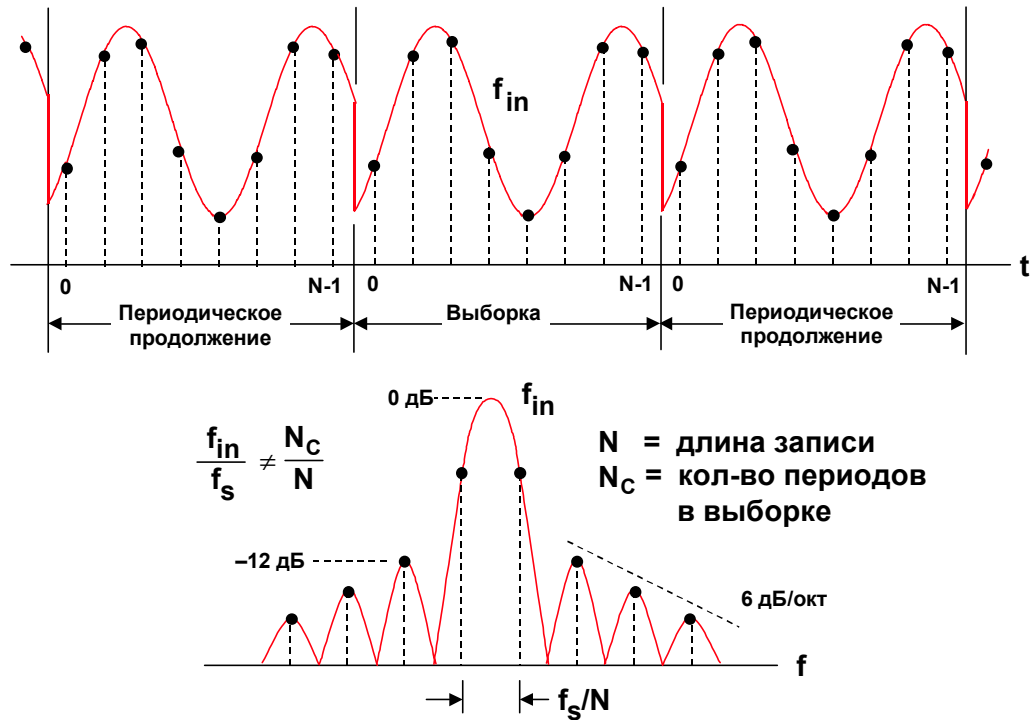


Рис. 5.27

Обратите внимание, что первый боковой лепесток только на 12 дБ ниже основного, и что боковые лепестки имеют спад только 6 дБ/октаву. Такая ситуация неприемлема для большинства задач анализа спектра. Поскольку в практических приложениях БПФ для спектрального анализа точные входные частоты неизвестны, следует предпринять определенные шаги к уменьшению боковых лепестков. Оно достигается выбором оконной функции с более сложной формой, чем прямоугольная. Входные отсчеты по времени умножаются на соответствующую функцию окна, что влечет за собой обнуление сигнала на краях выборки, как показано на рис.5.28. Выбор функции окна является, прежде всего, компромиссом между увеличением ширины основного лепестка и размером боковых лепестков. Для тщательной проработки вопросов, связанных с оконными функциями, настоятельно рекомендуется обратиться к Приложению 7.

Математические функции, описывающие четыре популярные оконные функции (Хемминга, Блэкмана, Хеннинга и минимальная 4-элементная Блэкмана-Харриса), представлены на рис.5.29. Оцифрованные оконные функции обычно вычисляются предварительно и сохраняются в памяти DSP с целью минимизации вычислений непосредственно при реализации БПФ. Частотные характеристики прямоугольного окна, окон Хемминга и Блэкмана представлены на рис.5.30. Рис.5.31 иллюстрирует компромисс между увеличением ширины основного лепестка, амплитудой первого бокового лепестка и спадом уровня боковых лепестков для популярных функций окна.

а

ВЗВЕШИВАНИЕ С ИСПОЛЬЗОВАНИЕМ ФУНКЦИИ ОКНА ДЛЯ УМЕНЬШЕНИЯ ЭФФЕКТА РАСШИРЕНИЯ СПЕКТРА

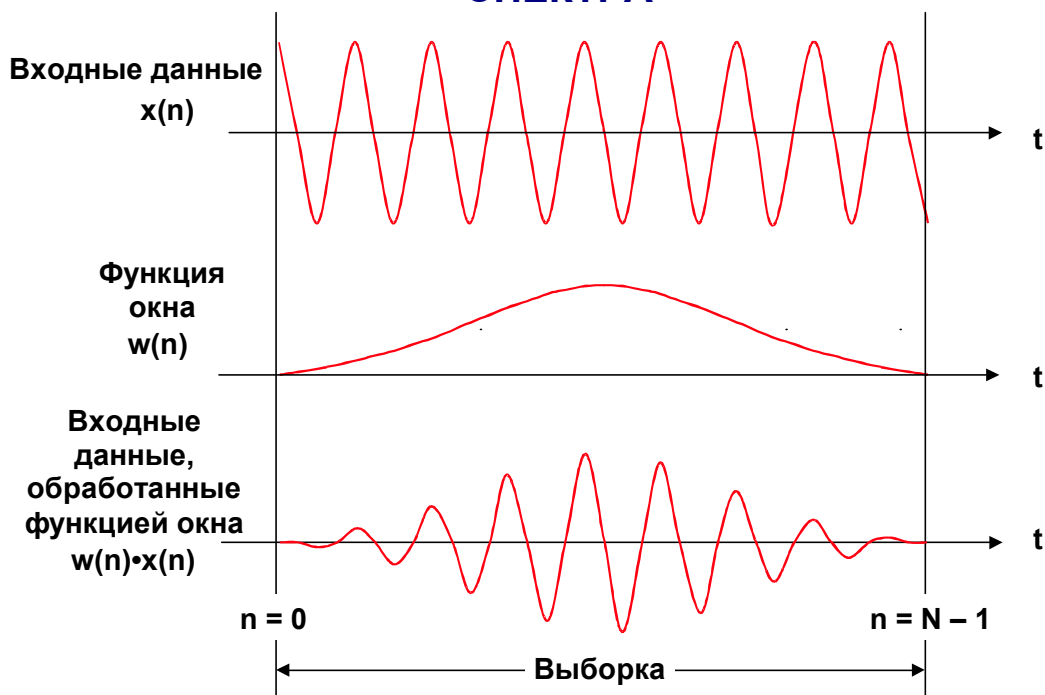


Рис. 5.28

НЕКОТОРЫЕ РАСПРОСТРАНЕННЫЕ ФУНКЦИИ ОКНА

- Хемминга: $w(n) = 0.54 - 0.46 \cos \left[\frac{2\pi n}{N} \right]$
 - Блэкмана: $w(n) = 0.42 - 0.5 \cos \left[\frac{2\pi n}{N} \right] + 0.08 \cos \left[\frac{4\pi n}{N} \right]$
 - Хеннинга: $w(n) = 0.5 - 0.5 \cos \left[\frac{2\pi n}{N} \right]$
 - Минимальная 4-элементная Блэкмана-Харриса:

$$w(n) = 0.35875 - 0.48829 \cos \left[\frac{2\pi n}{N} \right] + 0.14128 \cos \left[\frac{4\pi n}{N} \right] - 0.01168 \cos \left[\frac{6\pi n}{N} \right]$$
- $0 \leq n \leq N - 1$

Рис. 5.29

а

ЧАСТОТНАЯ ХАРАКТЕРИСТИКА ПРЯМОУГОЛЬНОГО ОКНА, ОКОН ХЕММИНГА И БЛЭКМАНА ДЛЯ N = 256

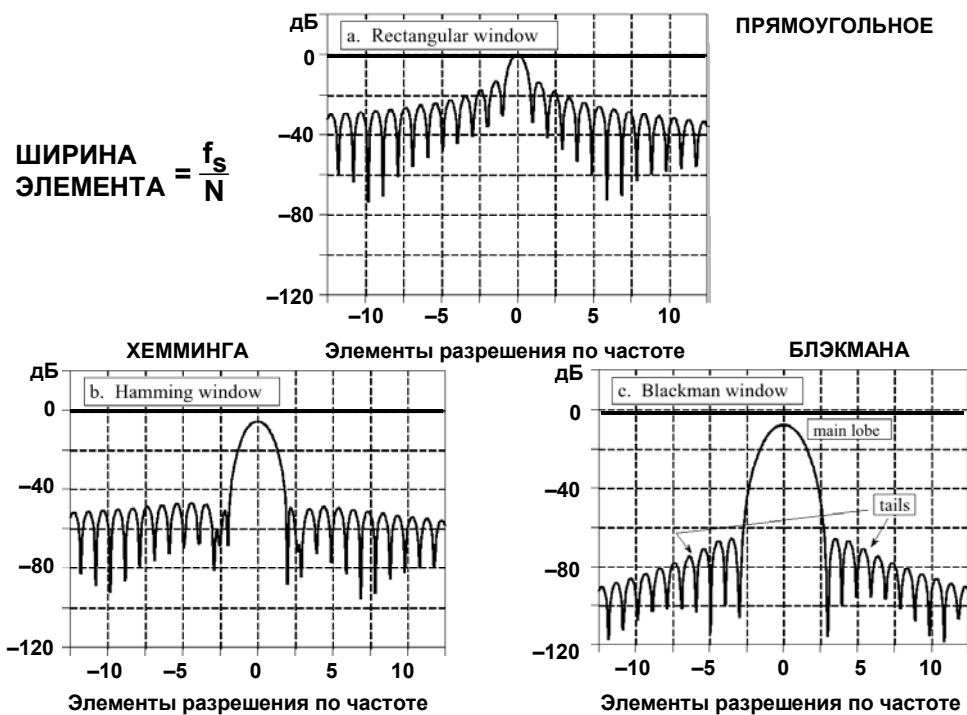


Рис. 5.30

РАСПРОСТРАНЕННЫЕ ОКНА И ИХ ХАРАКТЕРИСТИКИ

| Функции окна | 3 дБ ширины полосы | 6 дБ ширины полосы | Наивысший боковой лепесток (дБ) | Спад бокового лепестка (дБ/октава) |
|---|--------------------|--------------------|---------------------------------|------------------------------------|
| Прямоуг. | 0,89 | 1,21 | -12 | 6 |
| Хамминга | 1,3 | 1,81 | -43 | 6 |
| Блэкмана | 1,68 | 2,35 | -58 | 18 |
| Ханнинга | 1,44 | 2,00 | -32 | 18 |
| Минимальная 4-элементная Блэкмана-Харриса | 1,90 | 2,72 | -92 | 6 |

Рис. 5.31

a

СПИСОК ЛИТЕРАТУРЫ

1. Steven W. Smith, **The Scientist and Engineer's Guide to Digital Signal Processing**, Second Edition, 1999, California Technical Publishing, P.O. Box 502407, San Diego, CA 92150. Also available for free download at: <http://www.dspguide.com> or <http://www.analog.com>
2. C. Britton Rorabaugh, **DSP Primer**, McGraw-Hill, 1999.
3. Richard J. Higgins, **Digital Signal Processing in VLSI**, Prentice-Hall, 1990.
4. A. V. Oppenheim and R. W. Schaffer, **Digital Signal Processing**, Prentice-Hall, 1975.
5. L. R. Rabiner and B. Gold, **Theory and Application of Digital Signal Processing**, Prentice-Hall, 1975.
6. John G. Proakis and Dimitris G. Manolakis, **Introduction to Digital Signal Processing**, MacMillan, 1988.
7. Fredrick J. Harris, *On the Use of Windows for Harmonic Analysis with the Discrete Fourier Transform*, **Proc. IEEE**, Vol. 66, No. 1, 1978 pp. 51-83.
8. R. W. Ramirez, **The FFT: Fundamentals and Concepts**, Prentice-Hall, 1985.
9. J. W. Cooley and J. W. Tukey, *An Algorithm for the Machine Computation of Complex Fourier Series*, **Mathematics Computation**, Vol. 19, pp. 297-301, April 1965.
10. **Digital Signal Processing Applications Using the ADSP-2100 Family**, Vol. 1 and Vol. 2, Analog Devices, Free Download at: <http://www.analog.com>
11. **ADSP-21000 Family Application Handbook**, Vol. 1, Analog Devices, Free Download at: <http://www.analog.com>

а

РАЗДЕЛ 6

ЦИФРОВЫЕ ФИЛЬТРЫ

- Фильтры с конечной импульсной характеристикой (КИХ)
- Фильтры с бесконечной импульсной характеристикой (БИХ)
- Многочастотные фильтры
- Адаптивные фильтры

а

ГЛАВА 6

ЦИФРОВЫЕ ФИЛЬТРЫ

Уолт Кестер

ВВЕДЕНИЕ

Цифровая фильтрация является одним из наиболее мощных инструментальных средств ЦОС. Кроме очевидных преимуществ устранения ошибок в фильтре, связанных с флуктуациями параметров пассивных компонентов во времени и по температуре, дрейфом ОУ (в активных фильтрах) и т.д., цифровые фильтры способны удовлетворять таким техническим требованиям по своим параметрам, которых, в лучшем случае, было бы чрезвычайно трудноили даже невозможно достичь в аналоговом исполнении. Кроме того, характеристики цифрового фильтра могут быть легко изменены программно. Поэтому они широко используются в телекоммуникациях, в приложениях адаптивной фильтрации, таких как подавление эха в модемах, подавление шума и распознавание речи.

Процесс проектирования цифровых фильтров состоит из тех же этапов, что и процесс проектирования аналоговых фильтров. Сначала формулируются требования к желаемым характеристикам фильтра, по которым затем рассчитываются параметры фильтра. Амплитудная и фазовая характеристики формируются аналогично аналоговым фильтрам. Ключевое различие между аналоговым и цифровым фильтрами заключается в том, что, вместо вычисления величин сопротивлений, емкостей и индуктивностей для аналогового фильтра, рассчитываются значения коэффициентов для цифрового фильтра. Иными словами, в цифровом фильтре числа заменяют физические сопротивления и емкости аналогового фильтра. Эти числа являются коэффициентами фильтра, они постоянно находятся в памяти и используются для обработки (фильтрации) дискретных данных, поступающих от АЦП.

Цифровой фильтр, работающий в реальном масштабе времени, оперирует с дискретными по времени данными в противоположность непрерывному сигналу, обрабатываемому аналоговым фильтром. При этом очередной отсчет, соответствующий отклику фильтра, формируется по окончании каждого периода дискретизации. Вследствие дискретной природы обрабатываемого сигнала, на отсчеты данных зачастую ссылаются по их номерам, например, отсчет 1, отсчет 2, отсчет 3 и т.д. На рис.6.1 представлен низкочастотный сигнал, содержащий высокочастотный шум, который должен быть отфильтрован. Вначале сигнал должен быть оцифрован с помощью АЦП для получения выборки $x(n)$. Далее эта выборка поступает на цифровой фильтр, который в данном случае является НЧ-фильтром. Отсчеты выходных данных $y(n)$ используются для восстановления аналогового сигнала с использованием ЦАП с низким уровнем ложного сигнала.

Тем не менее, цифровые фильтры не могут являться решением всех возможных задач фильтрации, возникающих при обработке сигналов. Для работы в реальном масштабе времени, DSP-процессор должен быть рассчитан на выполнение всех шагов в программе фильтрации в пределах промежутка времени, соответствующего одному такту дискретизации, то есть $1/f_s$. Высокопроизводительный универсальный DSP-процессор с фиксированной точкой типа ADSP-2189M, обладающий быстродействием 75MIPS, способен выполнить операцию умножения с накоплением при реализации одного каскада фильтра за 13,3 нс. DSP-процессор ADSP-2189M затрачивает $N+5$ инструкций при реализации фильтра с количеством каскадов N . Для 100-каскадного фильтра полное время вычисления составляет приблизительно 1,4 мкс. Это соответствует максимально

а

возможной частоте дискретизации 714 кГц, ограничивая, таким образом, ширину полосы частот обрабатываемого сигнала несколькими сотнями килогерц.

ЦИФРОВАЯ ФИЛЬТРАЦИЯ

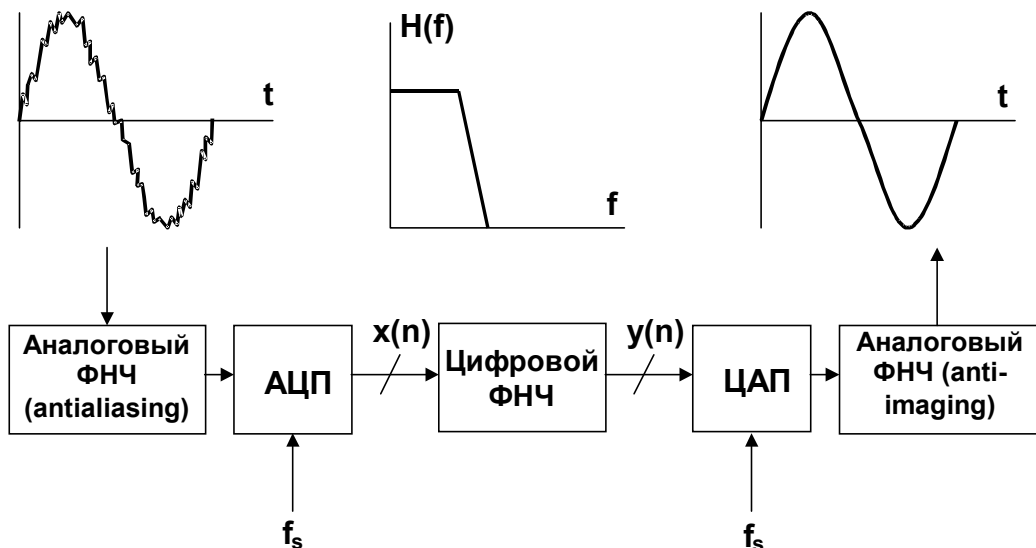


Рис. 6.1

Можно заменить универсальный DSP-процессор специализированным аппаратным цифровым фильтром, способным работать на частотах дискретизации, соответствующих видеосигналу. В других случаях ограничения по быстродействию могут быть преодолены сохранением выборки данных, поступающих с большой скоростью от АЦП, в буферной памяти. Затем буферная память читается со скоростью, совместимой с быстродействием цифрового фильтра, основанного на DSP. Используя данный метод, может осуществляться обработка сигнала в псевдореальном масштабе времени в таких системах как радар, где обычно обрабатываются пакеты данных, накапливаемые после каждого излучаемого импульса.

Другой подход заключается в использовании специализированных микросхем цифровых фильтров, подобных фильтрам PulseDSP™ компании Systolix. 16-разрядный сигма-дельта-АЦП AD7725 имеет на своем кристалле фильтр PulseDSP, который может выполнять за секунду 125 миллионов операций умножения с накоплением.

В дискретных системах, даже с высокой степенью избыточной дискретизации, требуется наличие аналоговых ФНЧ перед АЦП и после ЦАП для устранения эффекта наложения спектра. Более того, с ростом частоты, сигналы выходят за рамки возможностей доступных АЦП, и цифровая фильтрация становится невозможной. Но на крайне высоких частотах и активная аналоговая фильтрация тоже невозможна из-за ограничений, связанных с полосой пропускания и искажениями ОУ, и в этих случаях требования фильтрации удовлетворяются пассивными элементами. Дальнейшее обсуждение будет сфокусировано, в первую очередь, на фильтрах, которые могут работать в реальном масштабе времени и могут быть программно реализованы с использованием DSP.

В качестве примера сравним аналоговый и цифровой фильтры, показанные на рис. 6.3. Частота среза обоих фильтров равна 1 кГц. Аналоговый фильтр реализован в виде фильтра Чебышева первого рода 6 порядка (характеризуется неравномерностью коэффициента передачи в полосе пропускания и равномерностью коэффициента передачи

а

вне полосы пропускания). На практике этот фильтр может быть собран на трех фильтрах второго порядка, каждый из которых состоит из операционного усилителя и нескольких резисторов и конденсаторов. Проектирование фильтра 6 порядка является непростой задачей, а удовлетворение техническим требованиям по неравномерности характеристики в 0,5 дБ требует точного подбора компонентов.

С другой стороны, представленный цифровой фильтр с конечной импульсной характеристикой (КИХ) имеет неравномерность характеристики всего 0,002 дБ в полосе пропускания, линейную фазовую характеристику и значительно более крутой спад частотной характеристики. Таких показателей невозможно достичь аналоговыми методами! На практике существует много других факторов, учитываемых при сравнительной оценке аналоговых и цифровых фильтров. В большинстве современных систем обработки сигналов используются комбинации аналоговых и цифровых методов для реализации желаемых функций и используются преимущества всех методов, как аналоговых, так и цифровых.

СРАВНЕНИЕ ЦИФРОВЫХ И АНАЛОГОВЫХ ФИЛЬТРОВ

| Цифровые фильтры | Аналоговые фильтры |
|--|--|
| Высокая точность | Низкая точность из-за допуска на элементы |
| Линейная фаза (КИХ фильтр) | Нелинейная фаза |
| Нет дрейфа вследствие изменения параметров компонентов | Дрейф вследствие изменения параметров компонентов |
| Гибкость, возможна адаптивная фильтрация | Реализация адаптивных фильтров затруднена |
| Легки в моделировании и проектировании | Сложны в моделировании и проектировании |
| Ограничения при работе в реальном масштабе времени – вычисление должно быть завершено в течение интервала дискретизации | Аналоговые фильтры требуются на высоких частотах и для устранения эффекта наложения спектра |

Рис. 6.2

Существует много приложений, в которых цифровые фильтры должны работать в реальном масштабе времени. В них накладываются определенные требования на процессор DSP в зависимости от частоты дискретизации и сложности фильтра. Ключевым моментом является то, что процессор DSP должен проводить все вычисления в течение интервала дискретизации, чтобы быть готовым к обработке следующего отсчета данных. Пусть ширина полосы частот обрабатываемого сигнала равна f_a . Тогда частота дискретизации АЦП f_s должна быть, по крайней мере, в два раза больше, то есть $2f_a$. Интервал дискретизации равен $1/f_s$. Все вычисления, связанные с реализацией фильтра (включая все дополнительные операции), должны быть закончены в течение этого интервала. Время вычислений зависит от числа звеньев фильтра и быстродействия и эффективности процессора DSP. Каждое звено при реализации фильтра требует одной

а

операции умножения и одной операции сложения (умножения с накоплением). Процессор DSP оптимизируется для быстрого выполнения операций умножения с накоплением. Кроме того, многие процессоры DSP имеют дополнительные особенности, такие как реализация циклической адресации и организация программных циклов с автоматической проверкой условия продолжения цикла, минимизирующие количество дополнительных инструкций, которые в противном случае были бы необходимы.

СРАВНЕНИЕ ЧАСТОТНЫХ ХАРАКТЕРИСТИК АНАЛОГОВОГО И ЦИФРОВОГО ФИЛЬТРОВ

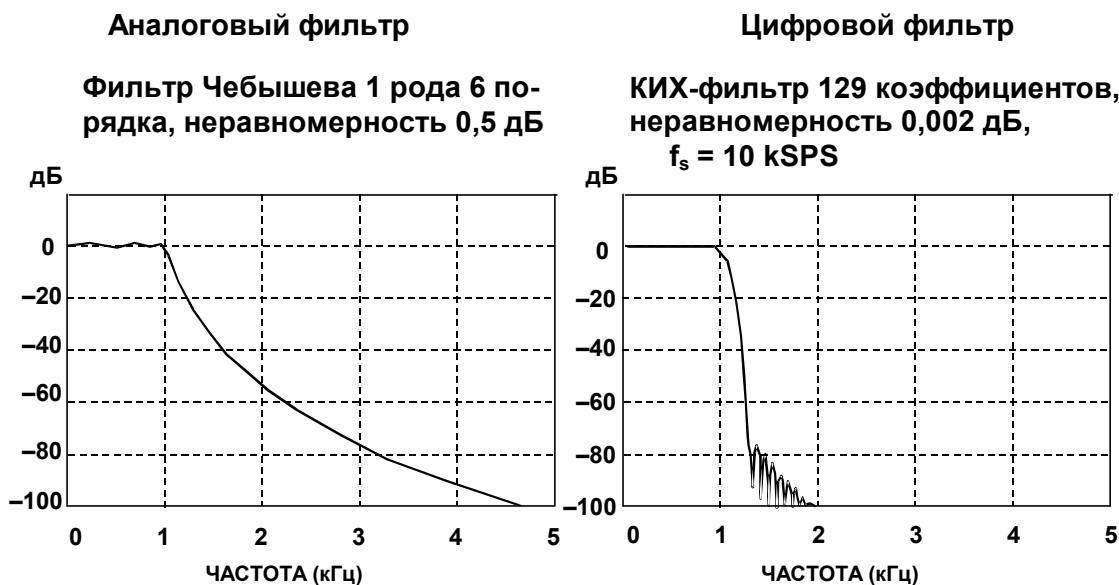


Рис. 6.3

ТРЕБОВАНИЯ К ЦИФРОВОЙ ФИЛЬТРАЦИИ ДЛЯ РАБОТЫ В РЕАЛЬНОМ МАСШТАБЕ ВРЕМЕНИ

- Полоса сигнала = f_a
- Частота дискретизации $f_s > 2f_a$
- Период дискретизации = $1/f_s$
- Время вычисления фильтра + доп. операции < период дискр.
 - ◆ Зависит от числа коэффициентов фильтра
 - ◆ Скорости операций умножения с накоплением (MAC)
 - ◆ Эффективности ЦОС
 - Поддержка циклических буферов
 - Отсутствие дополнительных операций
 - и т.д.

Рис. 6.4

а

ФИЛЬТРЫ С КОНЕЧНОЙ ИМПУЛЬСНОЙ ХАРАКТЕРИСТИКОЙ (КИХ)

Существует два основных типа цифровых фильтров: фильтры с конечной импульсной характеристикой (КИХ) и фильтры с бесконечной импульсной характеристикой (БИХ). Как следует из терминологии, эта классификация относится к импульсным характеристикам фильтров. Изменяя веса коэффициентов и число звеньев КИХ-фильтра, можно реализовать практически любую частотную характеристику. КИХ-фильтры могут иметь такие свойства, которые невозможно достичь методами аналоговой фильтрации (в частности, совершенную линейную фазовую характеристику). Но высокоэффективные КИХ-фильтры строятся с большим числом операций умножения с накоплением и поэтому требуют использования быстрых и эффективных процессоров DSP. С другой стороны, БИХ-фильтры имеют тенденцию имитировать принцип действия традиционных аналоговых фильтров с обратной связью. Поэтому их импульсная характеристика имеет бесконечную длительность. Благодаря использованию обратной связи, БИХ-фильтры могут быть реализованы с меньшим количеством коэффициентов, чем КИХ-фильтры. Другим способом реализации КИХ или БИХ фильтрации являются решетчатые фильтры, которые часто используются в задачах обработки речи. Цифровые фильтры применяются в приложениях адаптивной фильтрации, благодаря своему быстродействию и простоте изменения характеристик воздействием на его коэффициенты.

ТИПЫ ЦИФРОВЫХ ФИЛЬТРОВ

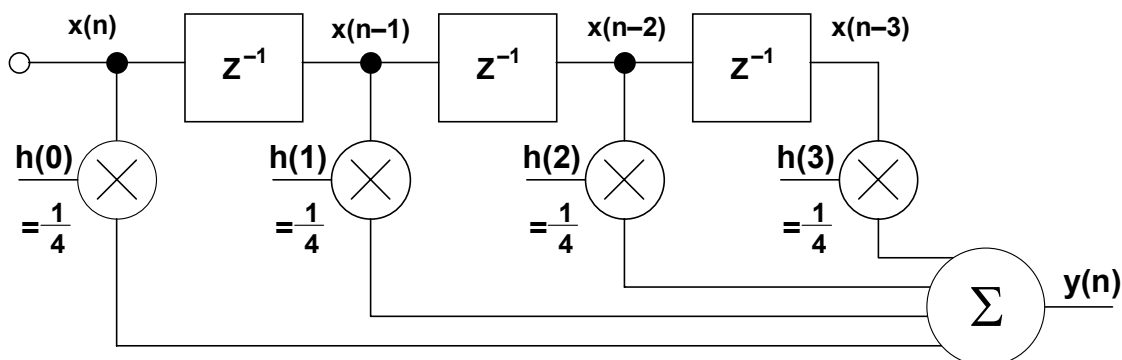
- **Фильтр скользящего среднего**
- **Фильтр с конечной импульсной характеристикой (КИХ)**
 - ◆ **Линейная фаза**
 - ◆ **Легкость проектирования**
 - ◆ **Значительные вычислительные затраты**
- **Фильтр с бесконечной импульсной характеристикой**
 - ◆ **Основаны на классических аналоговых фильтрах**
 - ◆ **Высокая вычислительная эффективность**
- **Решетчатые фильтры (могут быть КИХ или БИХ)**
- **Адаптивные фильтры**

Рис. 6.5

Элементарной формой КИХ-фильтра является фильтр скользящего среднего (moving average), показанный на рис.6.6. Фильтры скользящего среднего популярны для сглаживания данных, например, для анализа стоимости акций и т.д. Входные отсчеты $x(n)$ пропускаются через ряд регистров памяти (помеченных z^{-1} в соответствии с представлением элемента задержки при z -преобразовании). В приведенном примере имеется четыре каскада, соответствующих 4-точечному фильтру скользящего среднего. Каждый отсчет умножается на 0,25, и результаты умножения суммируются для получения значения скользящего среднего, которое подается на выход $y(n)$. На рисунке также представлено общее уравнение фильтра скользящего среднего на N точек. Вновь обращаем внимание, что N относится к числу точек при вычислении фильтра, а не к разрешающей способности АЦП или ЦАП, как в предыдущих разделах.

а

4-ТОЧЕЧНЫЙ ФИЛЬТР СКОльзяЩЕГО СРЕДНЕГО



$$y(n) = h(0) x(n) + h(1) x(n-1) + h(2) x(n-2) + h(3) x(n-3)$$

$$= \frac{1}{4} x(n) + \frac{1}{4} x(n-1) + \frac{1}{4} x(n-2) + \frac{1}{4} x(n-3)$$

$$= \frac{1}{4} [x(n) + x(n-1) + x(n-2) + x(n-3)]$$

Для N-точечного
фильтра скользящего среднего $y(n) = \frac{1}{N} \sum_{k=0}^{N-1} x(n-k)$

Рис. 6.6

С учетом равенства коэффициентов, наиболее простой путь исполнения фильтра скользящего среднего представлен на рис.6.7. Обратите внимание, что первым шагом является запоминание первых четырех отсчетов $x(0)$, $x(1)$, $x(2)$, $x(3)$ в регистрах. Эти величины суммируются и затем умножаются на 0,25 для получения первого выхода $y(3)$. Обратите внимание, что начальные значения выходов $y(0)$, $y(1)$ и $y(2)$ некорректны, потому что, пока отсчет $x(3)$ не получен, не все регистры заполнены.

Когда получен отсчет $x(4)$, он суммируется с результатом, а отсчет $x(0)$ вычитается из результата. Затем новый результат должен быть умножен на 0,25. Поэтому вычисления, требуемые для получения нового значения на выходе, состоят из одного суммирования, одного вычитания и одного умножения, независимо от длины фильтра скользящего среднего.

а

ВЫЧИСЛЕНИЕ ВЫХОДНОГО СИГНАЛА 4-ТОЧЕЧНОГО ФИЛЬТРА СКОЛЬЗЯЩЕГО СРЕДНЕГО

$$y(3) = 0.25 \left[\begin{array}{c} x(3) + x(2) + x(1) + x(0) \end{array} \right]$$

$$y(4) = 0.25 \left[\begin{array}{c} x(4) + x(3) + x(2) + x(1) \end{array} \right]$$

$$y(5) = 0.25 \left[\begin{array}{c} x(5) + x(4) + x(3) + x(2) \end{array} \right]$$

$$y(6) = 0.25 \left[\begin{array}{c} x(6) + x(5) + x(4) + x(3) \end{array} \right]$$

$$y(7) = 0.25 \left[\begin{array}{c} x(7) + x(6) + x(5) + x(4) \end{array} \right]$$

●

●

●

Вычисление каждого выходного значения требует
1 умножения, 1 сложения и 1 вычитания

Рис. 6.7

Реакция 4-точечного фильтра скользящего среднего на ступенчатое воздействие представлена на рис.6.8. Обратите внимание, что фильтр скользящего среднего не имеет выброса по фронту входного сигнала. Это делает его полезным в приложениях обработки сигналов, где требуется фильтрация случайного белого шума при сохранении характера входного импульса. Из всех возможных линейных фильтров фильтр скользящего среднего дает самый низкий уровень шума при заданной крутизне фронта импульса. Это показано на рис.6.9, где уровень шума понижается по мере увеличения числа точек. Существенно, что время реакции фильтра на ступенчатое воздействие от 0 % до 100 % равно произведению общего количества точек фильтра на период дискретизации.

а

РЕАКЦИЯ 4-ТОЧЕЧНОГО ФИЛЬТРА СКОЛЬЗЯЩЕГО СРЕДНЕГО НА СТУПЕНЧАТОЕ ВОЗДЕЙСТВИЕ

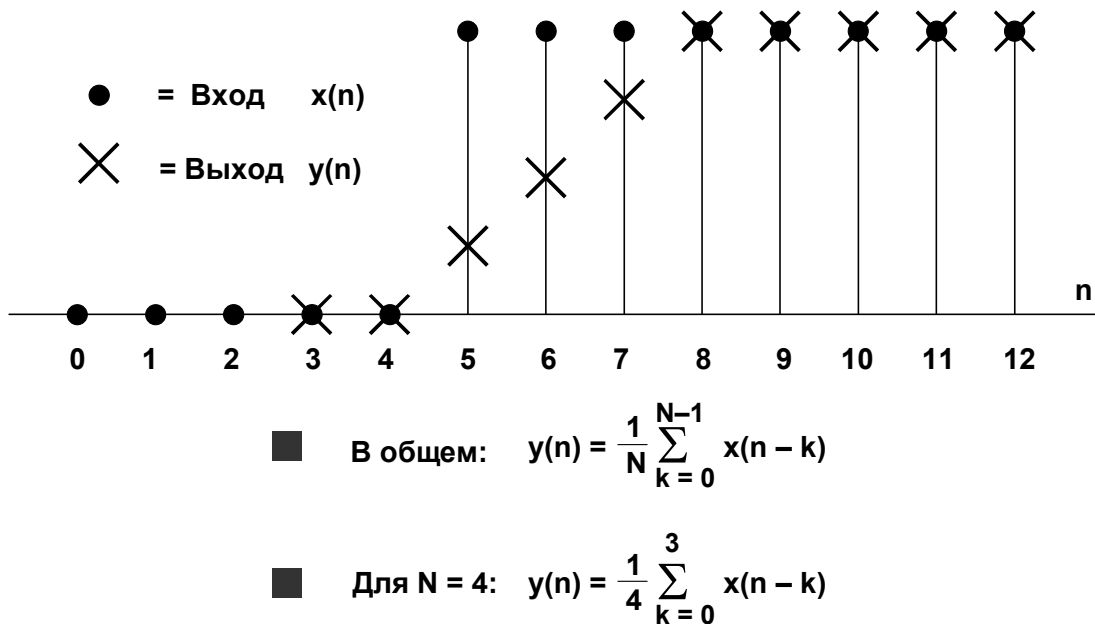


Рис. 6.8

РЕАКЦИЯ ФИЛЬТРА СКОЛЬЗЯЩЕГО СРЕДНЕГО НА ВОЗДЕЙСТВИЕ В ВИДЕ СМЕСИ ШУМА И СТУПЕНЧАТОГО СИГНАЛА

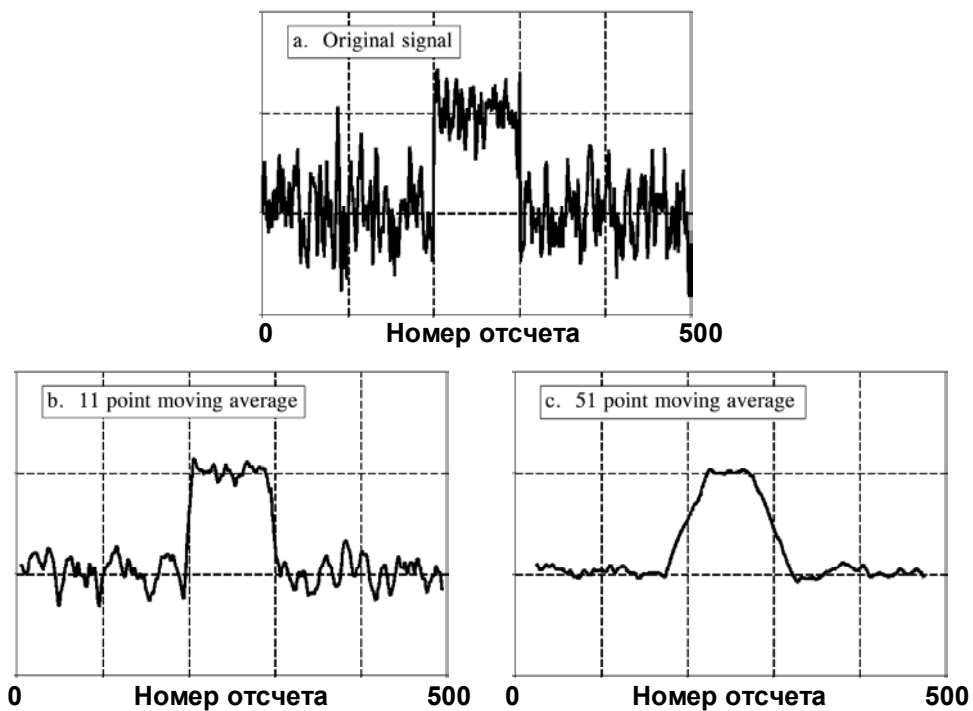


Рис. 6.9

а

Частотная характеристика простого фильтра скользящего среднего выражается функцией $\sin(x)/x$. Она представлена в линейном масштабе на рис.6.10. Увеличение числа точек при реализации фильтра сужает основной лепесток, но существенно не уменьшает амплитуду боковых лепестков частотной характеристики, которая равна приблизительно -14 дБ для фильтра с 11 и с 31 отводами (длиной буфера). Естественно, эти фильтры не подходят в том случае, где требуется большое ослабление в полосе задержания.

ЧАСТОТНАЯ ХАРАКТЕРИСТИКА ФИЛЬТРА СКОЛЬЗЯЩЕГО СРЕДНЕГО

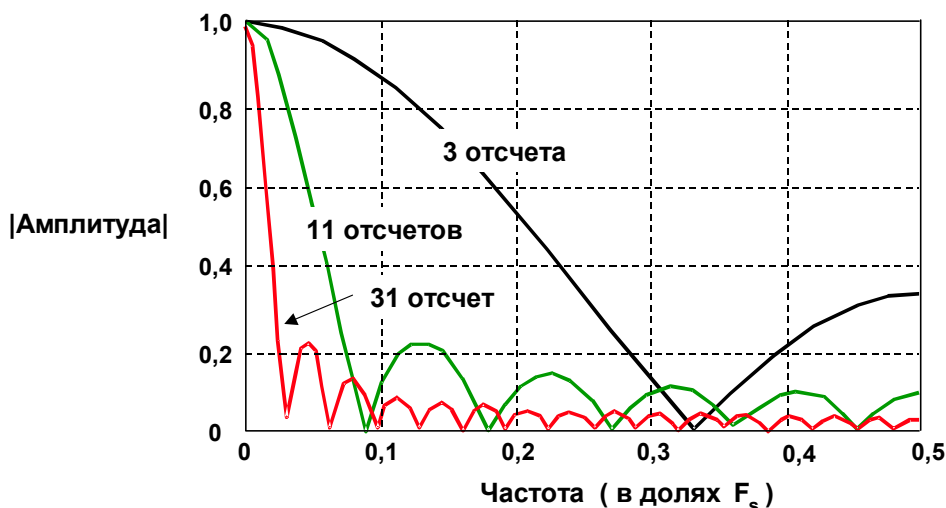
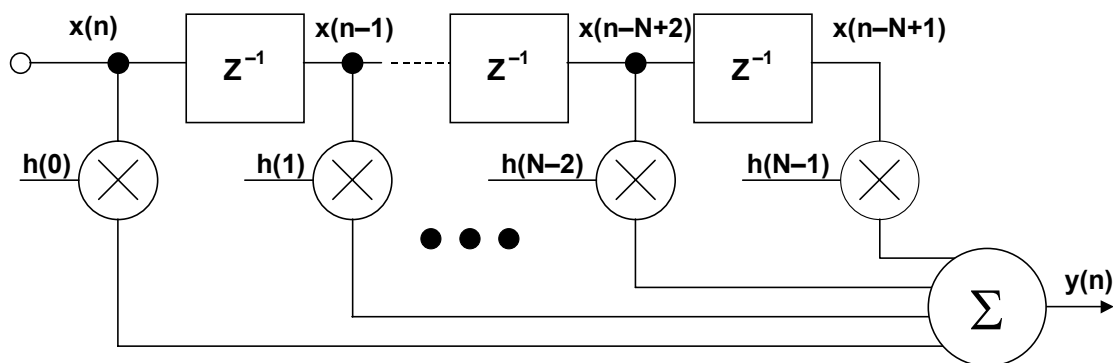


Рис. 6.10

Можно существенно улучшить эффективность простого КИХ-фильтра скользящего среднего, выбирая разные веса или значения коэффициентов вместо равных значений. Крутизна спада может быть увеличена добавлением большего количества звеньев в фильтр, а характеристики полосы затухания улучшаются выбором надлежащих коэффициентов фильтра. Обратите внимание, что, в отличие от фильтра скользящего среднего, для реализации каждой ступени обобщенного КИХ-фильтра требуется цикл умножения с накоплением. Сущность проектирования КИХ-фильтра сводится к выбору соответствующих коэффициентов и необходимого числа звеньев при формировании желаемой частотной характеристики фильтра $H(f)$. Для включения необходимой частотной характеристики $H(f)$ в набор КИХ-коэффициентов имеются различные алгоритмы и программные пакеты. Большинство этого программного обеспечения разработано для персональных компьютеров и доступно на рынке. *Ключевой теоремой проектирования КИХ-фильтра является утверждение, что коэффициенты $h(n)$ КИХ-фильтра являются просто квантованными значениями импульсной характеристики этого фильтра.* Соответственно, импульсная характеристика является дискретным преобразованием Фурье от $H(f)$.

а

ФИЛЬТР С КОНЕЧНОЙ ИМПУЛЬСНОЙ ХАРАКТИЕРИСТИКОЙ ПОРЯДКА N



■ $y(n) = h(n) * x(n) = \sum_{k=0}^{N-1} h(k) x(n - k)$

■ * = символ свертки

■ Требуется N операций умножения с накоплением для каждого выходного отсчета

Рис. 6.11

Обобщенная форма КИХ-фильтра с числом звеньев N представлена на рис.6.11. Как было сказано, КИХ-фильтр должен работать в соответствии с уравнением, задающим свертку:

$$Y(n) = h(k) * x(n) = \sum_{k=0}^{N-1} h(k)x(n - k),$$

где h(k) – массив коэффициентов фильтра и x(n-k) – входной массив данных фильтра. Число N в уравнении представляет собой число звеньев и определяет эффективность фильтра, как было сказано выше. КИХ-фильтр с числом звеньев N требует N циклов (операций) умножения с накоплением.

Согласно рис.6.12, диаграммы КИХ-фильтров часто изображаются в упрощенном виде. Операции суммирования представляются стрелками, указывающими в точки, а операции умножения обозначают, помещая коэффициенты h(k) рядом со стрелками на линиях. Элемент задержки z⁻¹ показывают, помещая его обозначение выше или рядом с соответствующей линией.

а

УПРОЩЕННАЯ СХЕМА ФИЛЬТРА

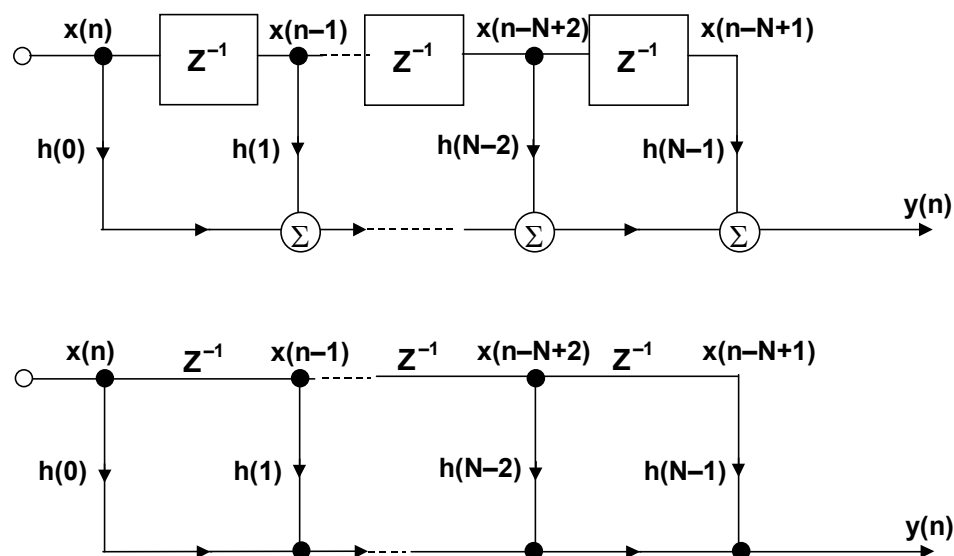


Рис. 6.12

РЕАЛИЗАЦИЯ КИХ-ФИЛЬТРА НА ПРОЦЕССОРЕ DSP С ИСПОЛЬЗОВАНИЕМ ЦИКЛИЧЕСКИХ БУФЕРОВ

В рядах, задаваемых уравнениями КИХ-фильтров, предполагается последовательное обращение к N коэффициентам от $h(0)$ до $h(N-1)$. Соответствующие точки данных циркулируют в памяти. При этом добавляются новые отсчеты данных, заменяя самые старые, и каждый раз производится вычисление выходного значения фильтра. Для реализации циклического буфера может использоваться фиксированный объем оперативной памяти, как показано на рис.6.13 для КИХ-фильтра с 4 звеньями. Самый старый отсчет данных заменяется новым после каждой операции вычисления свертки. Выборка из четырех последних отсчетов данных всегда сохраняется в оперативной памяти.

Чтобы упростить адресацию, чтение из памяти старых значений начинается с адреса, который следует непосредственно за адресом только что записанного нового элемента выборки. Например, если значение $x(4)$ только что записано в ячейку памяти 0, то значения данных читаются из ячеек 1, 2, 3 и 0. Этот пример может быть расширен применительно к любому числу звеньев фильтра. Используя адресацию ячеек памяти таким способом, адресный генератор должен лишь вычислять последовательные адреса, независимо от того, является ли данная операция чтением памяти или записью. Такой буфер в памяти данных называется *циклическим*, потому что, когда достигается его последняя ячейка, указатель автоматически позиционируется на начало буфера.

а

ВЫЧИСЛЕНИЕ ВЫХОДНОГО СИГНАЛА КИХ-ФИЛЬТРА 4 ПОРЯДКА С ИСПОЛЬЗОВАНИЕМ ЦИКЛИЧЕСКОГО БУФЕРА

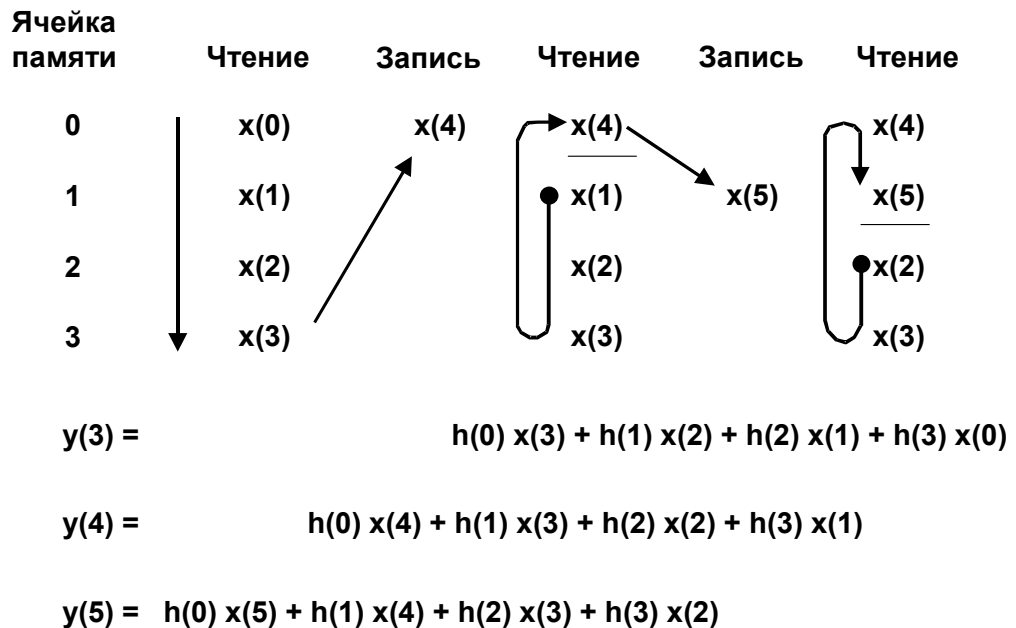


Рис. 6.13

Выборка коэффициентов из памяти осуществляется одновременно с выборкой данных. В соответствии с описанной схемой адресации, самый старый отсчет данных выбирается первым. Поэтому сначала должна осуществляться выборка из памяти последнего коэффициента. При использовании адресного генератора, поддерживающего инкрементную адресацию, коэффициенты могут быть сохранены в памяти в обратном порядке: $h(N-1)$ помещается в первую ячейку, а $h(0)$ – в последнюю. И наоборот, коэффициенты могут быть сохранены в порядке возрастания их номеров, если использовать адресный генератор, поддерживающий декрементную адресацию. В примере, показанном на рис.6.13, коэффициенты сохранены в обратном порядке.

Простая итоговая блок-схема для этих операций представлена на рис.6.14. Для DSP-процессоров компании Analog Devices *все операции, выполняемые за один цикл фильтра, производятся за один командный цикл процессора*, благодаря чему существенно увеличивается эффективность вычислений. Данное преимущество известно как реализация циклов без дополнительных операций. Ассемблерный код КИХ-фильтра для семейства процессоров ЦОС ADSP-21XX с фиксированной точкой представлен на рис.6.15. Стрелками в тексте помечены исполняемые команды, остальная часть кода – просто комментарии, добавленные для пояснения.

Первая команда (помеченная меткой *fir:*) иницирует вычисления, очищая регистр MR и заполняя регистры MX0 и MY0 первым значением данных и первым значением коэффициентов из памяти программ и памяти данных. Затем, для вычисления суммы первых N-1 слагаемых, N-1 раз в N циклах выполняется операция умножения с накоплением, реализуя свертку выборки следующего набора данных и коэффициентов. Заключительная команда умножения с накоплением выполняется с включенным режимом округления для округления результата до старших 24 разрядов регистра MR. Затем регистр MR1 условно насыщается до своего наибольшего положительного или

а

отрицательного значения, в зависимости от состояния флага переполнения в регистре MV. Благодаря такому подходу, при накоплении результата используются преимущества регистра MR 40-разрядной точности. Насыщение происходит только в том случае, если вычисление заключительного результата привело к переполнению 32 младших значащих разрядов регистра MR.

Ограничение на число звеньев фильтра, реализующего подпрограммы КИХ-фильтрации в реальном масштабе времени, определяется, прежде всего, длительностью процессорного цикла, частотой дискретизации и требуемым объемом других вычислений. Подпрограмма КИХ-фильтра, представленная в примере, требует общего количества циклов $N+5$ для фильтра с числом звеньев N . Для DSP-процессора ADSP-2189M, обладающего быстродействием 75 MIPS, один цикл команды выполняется за 13,3 нс, так что фильтр с числом звеньев 100 требует $13,3 \text{ нс} * 100 + 5 * 13,3 \text{ нс} = 1330 \text{ нс} + 66,5 \text{ нс} = 1396,5 \text{ нс} = 1,4 \text{ мкс}$.

ПСЕВДОКОД ПРОГРАММЫ ФИЛЬТРА, ИСПОЛЬЗУЮЩЕЙ DSP-ПРОЦЕССОР С ЦИКЛИЧЕСКОЙ БУФЕРИЗАЦИЕЙ

1. Получение отсчета от АЦП (обычно по прерыванию)
2. Помещение отсчета в циклический буфер входного сигнала
3. Обновление указателя циклического буфера входного сигнала
4. Обнуление аккумулятора
5. Осуществление фильтрации (цикл по всем коэффициентам)
 6. Выборка коэффициента из циклического буфера коэффициентов
 7. Обновление указателя циклического буфера коэффициентов
 8. Выборка отсчета из циклического буфера входного сигнала
 9. Обновление указателя циклического буфера входного сигнала
 10. Умножение коэффициента на отсчет
 11. Добавление нового слагаемого к промежуточному результату
12. Выдача отфильтрованного отсчета на ЦАП

ADSP-21xx Пример кода:

```
CNTR = N-1;  
DO convolution UNTIL CE;  
convolution:  
MR = MR + MX0 * MY0(SS), MX0 = DM(I0,M1), MY0 = PM(I4,M5);
```

Рис. 6.14

a

АССЕМБЛЕРНЫЙ КОД КИХ-ФИЛЬТРА НА БАЗЕ ADSP-21XX (ОДИНАРНАЯ ТОЧНОСТЬ)

```

MODULE          fir_sub;
{
  FIR Filter Subroutine
  Calling Parameters
    I0 --> Oldest input data value in delay line
    I4 --> Beginning of filter coefficient table
    L0 = Filter length (N)
    L4 = Filter length (N)
    M1,M5 = 1
    CNTR = Filter length - 1 (N-1)
  Return Values
    MR1 = Sum of products (rounded and saturated)
    I0 --> Oldest input data value in delay line
    I4 --> Beginning of filter coefficient table
  Altered Registers
    MX0,MY0,MR
  Computation Time
    (N - 1) + 6 cycles = N + 5 cycles
  All coefficients are assumed to be in 1.15 format. }

  .ENTRY      fir;
  → fir:      MR=0, MX0=DM(I0,M1), MY0=PM(I4,M5)
  →          CNTR = N-1;
  →          DO convolution UNTIL CE;
  → convolution: MR=MR+MX0*MY0(SS), MX0=DM(I0,M1), MY0=PM(I4,M5);
  →          MR=MR+MX0*MY0(RND);
  →          IF MV SAT MR;
  →          RTS;
  .ENDMOD;

```

Рис. 6.15

ПРОЕКТИРОВАНИЕ КИХ-ФИЛЬТРОВ

Благодаря современным средствам САПР, проектирование КИХ-фильтров выполняется относительно просто. На рис.6.16 представлены некоторые характеристики КИХ-фильтров и наиболее популярные методы их проектирования. *Проектирование КИХ-фильтров базируется, в первую очередь, на том, что частотная характеристика фильтра определяется импульсной характеристикой, а во-вторых, на том, что коэффициенты фильтра определяются его квантованной импульсной характеристикой.* Оба положения иллюстрирует рис.6.17. На вход КИХ-фильтра подается одиночный импульс, и по мере прохождения этого импульса через элементы задержки, на выходе поочередно формируются коэффициенты фильтра. Таким образом, процесс проектирования КИХ-фильтра состоит в определении его импульсной характеристики по желаемой частотной характеристике с последующим квантованием импульсной характеристики в ходе генерации коэффициентов фильтра.

Полезно сделать некоторое отступление и исследовать соотношения между временным и частотным представлениями для лучшего понимания принципов, лежащих в основе цифровых фильтров, в частности – КИХ-фильтров. В дискретной системе операция свертки может быть представлена рядом операций умножения с накоплением. Операция свертки во временной или частотной области эквивалентна умножению "точки на точку" в соответствующей дуальной области. Например, свертка во временной области эквивалентна умножению в частотной области. Это изображено графически на рис.6.18. Очевидно, что фильтрация в частотной области может быть выполнена умножением на 1 всех частотных компонентов в полосе пропускания и умножением на 0 всех частотных компонентов в полосе задержки. И наоборот, свертка в частотной области эквивалентна умножению "точки на точку" во временной области.

а

ХАРАКТЕРИСТИКИ КИХ-ФИЛЬТРОВ

- Импульсная характеристика имеет конечную длительность (N циклов)
- Линейная фаза, постоянная групповая задержка (N должно быть нечетным)
- Нет аналогового эквивалента
- Безусловная устойчивость
- Может быть адаптивным
- Вычислительные преимущества при децимации на выходе
- Легкое понимание принципов и проектирование
 - ◆ Оконный метод $\sin(x)/x$ (Windowed-Sinc)
 - ◆ Разложение в ряд Фурье со взвешиванием (Windowing)
 - ◆ Синтез произвольной частотной характеристики и использование обратного БПФ
 - ◆ Программа Паркса-Макклиллана (Parks-McClellan) с алгоритмом обмена Ремеза (Remez)

Рис. 6.16

ИМПУЛЬСНАЯ ХАРАКТЕРИСТИКА КИХ ФИЛЬТРА ОПРЕДЕЛЯЕТ КОЭФФИЦИЕНТЫ ФИЛЬТРА

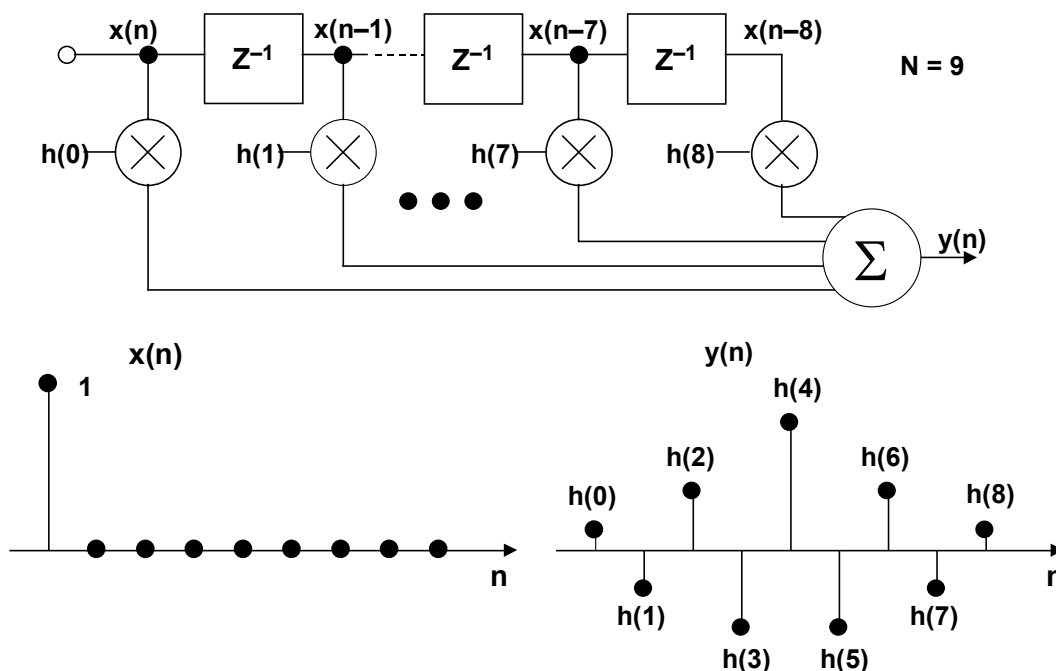


Рис. 6.17

а

ДВОЙСТВЕННОСТЬ (ДУАЛЬНОСТЬ) ВРЕМЕНИ И ЧАСТОТЫ

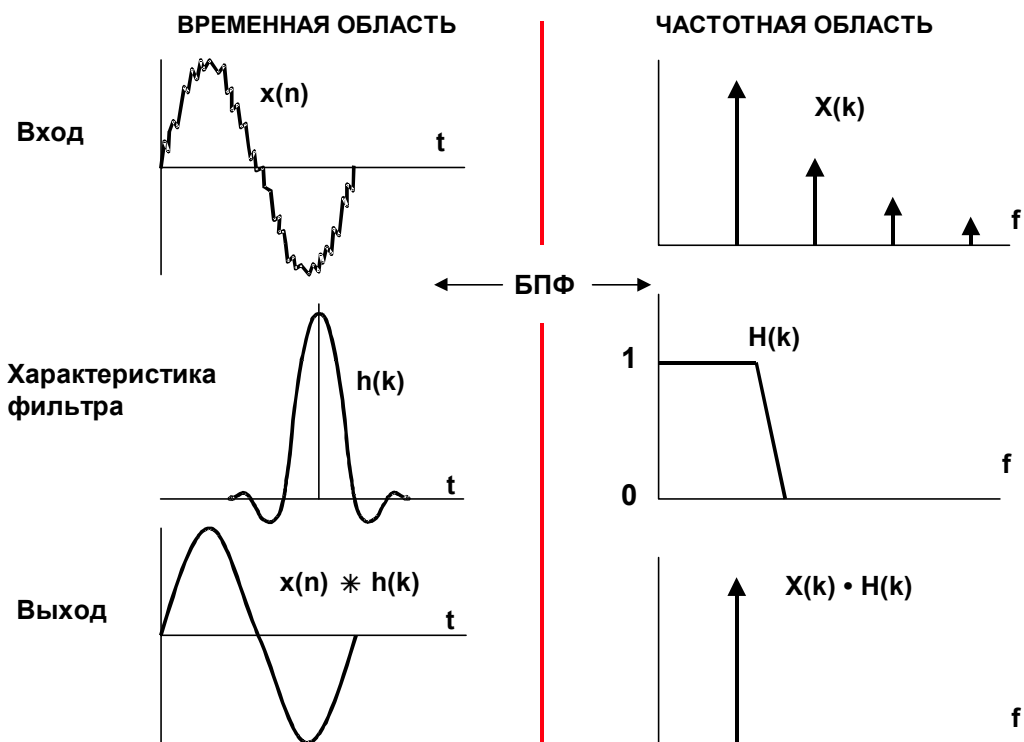


Рис. 6.18

Функция передачи в частотной области (1 или 0) может быть отображена во временную область с использованием дискретного преобразованием Фурье (ДПФ) (на практике используется БПФ). Во временной области это дает импульсную характеристику фильтра. Так как умножение в частотной области (спектр сигнала умножается на функцию передачи фидьтра) эквивалентно свертке во временной области (сигнал свернут с импульсной характеристикой), то сигнал может быть отфильтрован путем вычисления его свертки с импульсной характеристикой фильтра. Задача фильтрации с использованием КИХ-фильтра является в точности таким процессом. Так как мы имеем дело с дискретной системой, сигнал и импульсная характеристика квантуются по времени и амплитуде, давая в результате набор дискретных отсчетов. Дискретные отсчеты, включающие желаемую импульсную характеристику, являются коэффициентами КИХ-фильтра.

Математический аппарат, применяемый при проектировании фильтров (аналоговых или цифровых), в основном базируется на преобразованиях Фурье. В непрерывных по времени системах в качестве обобщенного преобразования Фурье может рассматриваться преобразование Лапласа. Подобным способом можно обобщить преобразование Фурье для дискретных по времени систем, и результат такого обобщения известен как z-преобразование. Детальное описание использования z-преобразования при проектировании цифровых фильтров дано в приложениях 1, 2, 3, 4, 5 и 6, хотя для понимания дальнейшего материала и нет необходимости в глубоких теоретических изысканиях.

а

Проектирование КИХ-фильтра по методу $\sin(x)/x$ со взвешиванием

Частотная характеристика идеального ФНЧ представлена на рис.6.19, А. Соответствующая импульсная характеристика во временной области представлена на рис.6.19, В и является функцией $\sin(x)/x$ (sinc). Если для реализации этой частотной характеристики использовать КИХ- фильтр, то он должен иметь бесконечное число звеньев. Метод $\sin(x)/x$ со взвешиванием заключается в следующем. Сначала импульсная характеристика обрезается до разумного числа точек N , как на рис.6.19, С. Как было обсуждено в разделе 5, частотная характеристика, соответствующая рис.6.19, С, имеет слишком большое влияние боковых лепестков из-за разрывов в области конечных точек в усеченной импульсной характеристике. Следующий шаг в процессе проектирования состоит в применении к усеченному импульсу соответствующей весовой функции, как показано на рис.6.19, D, обнуляющей конечные точки. Выбранная таким образом весовая функция определяет спад и характеристики боковых лепестков фильтра. Весовые оконные функции были подробно обсуждены в разделе 5. Как правило, существует несколько приемлемых вариантов в зависимости от желаемой частотной характеристики. Частотная характеристика фильтра с усеченной импульсной характеристикой $\sin(x)/x$ (рис.6.19, E) представлена на рис.6.19, F.

ПРОЕКТИРОВАНИЕ КИХ-ФИЛЬТРА ПО МЕТОДУ $\sin(x)/x$ СО ВЗВЕШИВАНИЕМ (WINDOWED-SINC)

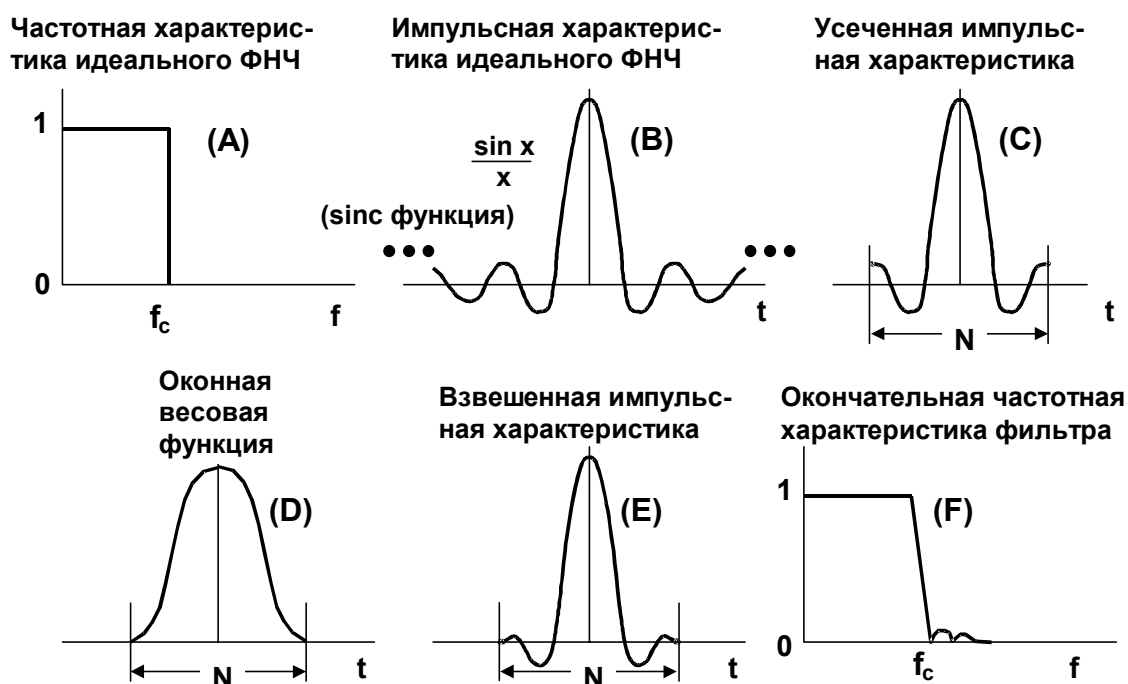


Рис. 6.19

а

Проектирование КИХ-фильтра по методу рядов Фурье со взвешиванием.

Метод рядов Фурье со взвешиванием (рис.6.20) заключается в начальном математическом определении функции передачи $H(f)$ и последующем разложении ее в ряд Фурье. Коэффициенты ряда Фурье определяют импульсную характеристику и, следовательно, коэффициенты КИХ-фильтра. Затем импульсная характеристика должна быть усечена и подвергнута взвешиванию с использованием оконной функции, как в предыдущем случае. После усечения и применения оконной функции используется БПФ для генерации соответствующей частотной характеристики. Частотная характеристика может быть изменена выбором различных оконных функций, хотя точное управление характеристиками частотной характеристики в полосе режекции затруднено при любом методе, использующем взвешивание с функцией окна.

ПРОЕКТИРОВАНИЕ КИХ-ФИЛЬТРА ПО МЕТОДУ РЯДОВ ФУРЬЕ СО ВЗВЕШИВАНИЕМ

- Точное определение передаточной характеристики $H(f)$
- Разложение $H(f)$ в ряд Фурье: коэффициенты ряда Фурье являются коэффициентами КИХ-фильтра $h(k)$ и его импульсной характеристикой
- Усечение импульсной характеристики до N точек
- Взвешивание $h(k)$ с соответствующей оконной функцией для сглаживания эффекта усечения
- Отсутствует точное управление частотой среза; сильная зависимость от оконной функции

Рис. 6.20

Проектирование КИХ-фильтра по методу частотной дискретизации

Этот метод чрезвычайно полезен при генерации КИХ-фильтра с произвольной частотной характеристикой. $H(f)$ определяется как набор точек амплитудной и фазовой характеристик в частотной области. Затем точки преобразуются в вещественные и мнимые составляющие комплексного спектра. Следующим шагом является получение импульсной характеристики путем взятия комплексного обратного БПФ от частотной характеристики. Далее импульсная характеристика обрезается до N точек и применяется взвешивание с функцией окна для минимизации эффекта усечения. Затем результат проектирования фильтра должен быть проверен путем вычисления БПФ от импульсной характеристики и оценки полученной частотной характеристики. Для получения желаемой характеристики может потребоваться несколько итераций.

а

МЕТОД ЧАСТОТНОЙ ДИСКРЕТИЗАЦИИ ДЛЯ КИХ-ФИЛЬТРА С ПРОИЗВОЛЬНОЙ ЧАСТОТНОЙ ХАРАКТЕРИСТИКОЙ

- Определение $H(k)$ как конечного числа спектральных точек, равномерно распределенных между 0 и $0,5 f_s$ (обычно достаточно 512)
- Определение фазовых точек (можно делать равными 0)
- Преобразование в алгебраическую форму (вещ. + мнимая части)
- Комплексное обратное БПФ массива $H(f)$ для получения импульсной характеристики
- Усечение импульсной характеристики до N точек
- Взвешивание $h(k)$ с подходящей функцией окна для сглаживания эффектов усечения
- Проверка результата и при необходимости коррекция
- Методы САПР больше подходят для ФНЧ, ФВЧ, полосовых и режекторных фильтров

Рис. 6.21

Проектирование КИХ-фильтров с использованием программы Паркса-Макклиллана (Parks-McClellan)

Метод проектирования, основанный на использовании окон для усечения импульсной характеристики и получения желаемой частотной характеристики, исторически был первым методом проектирования КИХ-фильтров. Метод частотной дискретизации был разработан в 70-ых годах и до сих пор популярен в тех случаях, где частотная характеристика является произвольной функцией.

Сегодня доступны современные программы САПР, которые существенно упрощают проектирование НЧ, ВЧ, полосовых и режекторных КИХ-фильтров. Популярная программа была разработана Парксом (Parks) и Макклилланом (McClellan) и использует алгоритм обмена Ремеза (Remez). Проектирование фильтра начинается с определения параметров, представленных на рис.6.22: неравномерности полосы пропускания, неравномерности полосы задержки (то же, что ослабление) и области перехода. Для этого примера проектирования была использована программа QED1000 фирмы Momentum Data Systems (демонстрационная версия свободно доступна по адресу <http://www.mds.com>).

В этом примере мы будем проектировать звуковой НЧ фильтр, который работает при частоте дискретизации 44,1 кГц. Фильтр определен согласно рис.6.22. Граничная частота полосы пропускания составляет 18 кГц. Полоса задержки начинается при 21 кГц, неравномерность полосы пропускания равна 0,01 дБ, а неравномерность полосы задержки (ослабление) – 96 дБ. Мы также должны определить длину слова (разрядность) коэффициентов, которая в данном случае составляет 16 разрядов, принимая во внимание, что используется 16-разрядный процессор DSP с фиксированной точкой.

а

САПР-МЕТОДЫ ПРОЕКТИРОВАНИЯ КИХ-ФИЛЬТРОВ: ПРОГРАММА ПАРКСА-МАККЛИЛЛАНА С АЛГОРИТМОМ РЕМЕЗА

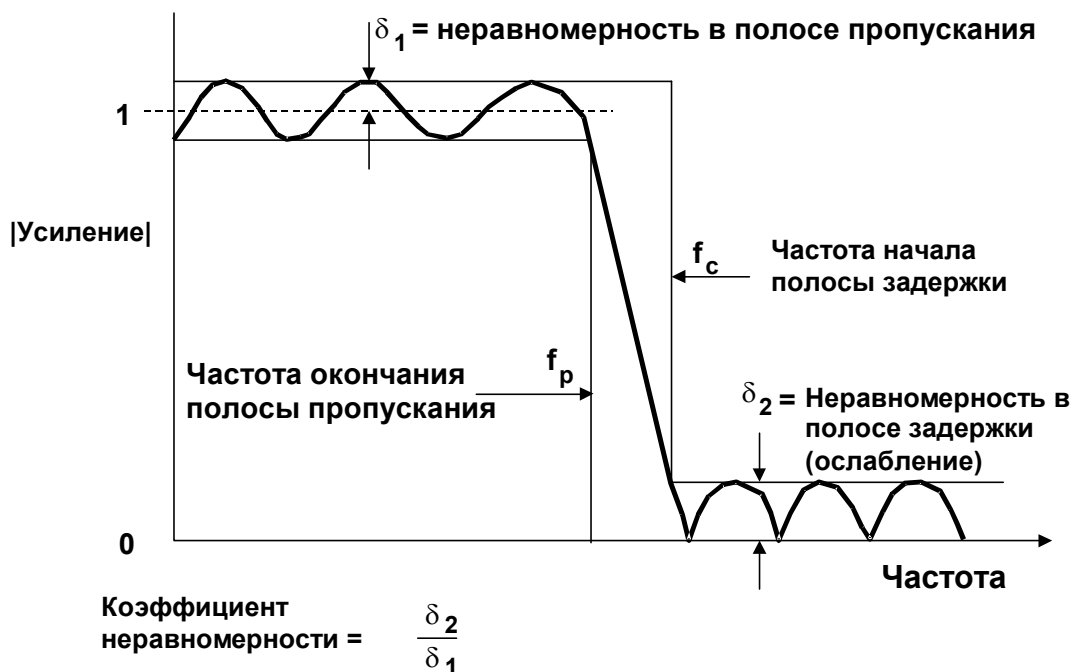


Рис. 6.22

ВХОДНЫЕ ДАННЫЕ ДЛЯ ПРОГРАММЫ ПРОЕКТИРОВАНИЯ КИХ-ФИЛЬТРОВ С ФИКСИРОВАННОЙ НЕРАВНОМЕРНОСТЬЮ ПОЛОСЫ ПРОПУСКАНИЯ ПОЛОСЫ ЗАДЕРЖКИ

- Тип фильтра:
 - ◆ НЧ
 - ◆ ВЧ
 - ◆ полосовой
 - ◆ режекторный
 - ◆ Дифференциатор
 - ◆ Мультичастотный
- Частота дискретизации: 44 100 Гц
- Частота полосы пропускания: 18 000 Гц
- Частота полосы задержки: 21 000 Гц
- Неравномерность полосы пропускания : 0,01 дБ
- Неравномерность полосе задержки: 96 дБ
- Длина слова : 16 бит

Рис. 6.23

а

Программа позволяет нам выбирать между проектированием, основанным на взвешивании с использованием оконных функций, и проектированием КИХ-фильтров с фиксированной неравномерностью Паркса-Макклиллана. Если выбрать последний способ, то программа оценивает число звеньев фильтра, требуемое для его реализации с соблюдением сформулированных технических требований. В данном случае число звеньев равно 69. Можно принять это число и продолжить проектирование или уменьшить число звеньев и посмотреть, можно ли с меньшим числом достичь требуемой спецификации.

Примем это значение и дадим возможность программе закончить вычисления. Программа выдает частотную характеристику (рис.6.25), реакцию фильтра на ступенчатое воздействие (рис.6.26), данные анализа в s- и z- плоскостях и импульсную характеристику (рис.6.27). Затем программа QED1000 выдает квантованные коэффициенты фильтра, которые служат исходными данными для программы, генерирующей реальный ассемблерный код для ряда популярных DSP процессоров, включая процессоры Analog Devices. Программа обладает достаточной степенью гибкости и позволяет пользователю выполнять ряд сценариев оптимизации проектируемого фильтра.

ВЫХОДНЫЕ ДАННЫЕ ПРОГРАММЫ ПРОЕКТИРОВАНИЯ КИХ-ФИЛЬТРА

- Оценка требуемого порядка фильтра:
 - ◆ Принять? Изменить?
- Частотная характеристика (линейная и логарифмическая шкалы)
- Реакция на ступенчатое воздействие
- Анализ в S- и Z- плоскостях
- Импульсная реакция: коэффициенты фильтра (квантованные)
- Ассемблерный код DSP процессора для КИХ-фильтра

Рис. 6.24

КИХ-фильтр с 69 звеньями требует $69+5=74$ командных цикла процессора ADSP-2189M быстродействием 75MIPS, дает полное время вычисления на отсчет $74*13,3 \text{ нс} = 984 \text{ нс}$. Интервал дискретизации равен $1/44,1 \text{ кГц}$ или $22,7 \text{ мкс}$. Это дает $22,7 \text{ мкс} - 0,984 \text{ мкс} = 21,7 \text{ мкс}$ для различных дополнительных операций и реализации других алгоритмов.

Вследствие избыточности вычислительной мощности процессора в данном случае появляется целый ряд возможностей, которые включают использование более медленного процессора для этого приложения (3,3 MIPS), реализацию более сложного фильтра, который требует большего времени вычисления (до $N = 1700$) или увеличения частоты дискретизации до 1 MSPS.

а

ПРИМЕР ПРОЕКТИРОВАНИЯ КИХ ФИЛЬТРА: ЧАСТОТНАЯ ХАРАКТЕРИСТИКА

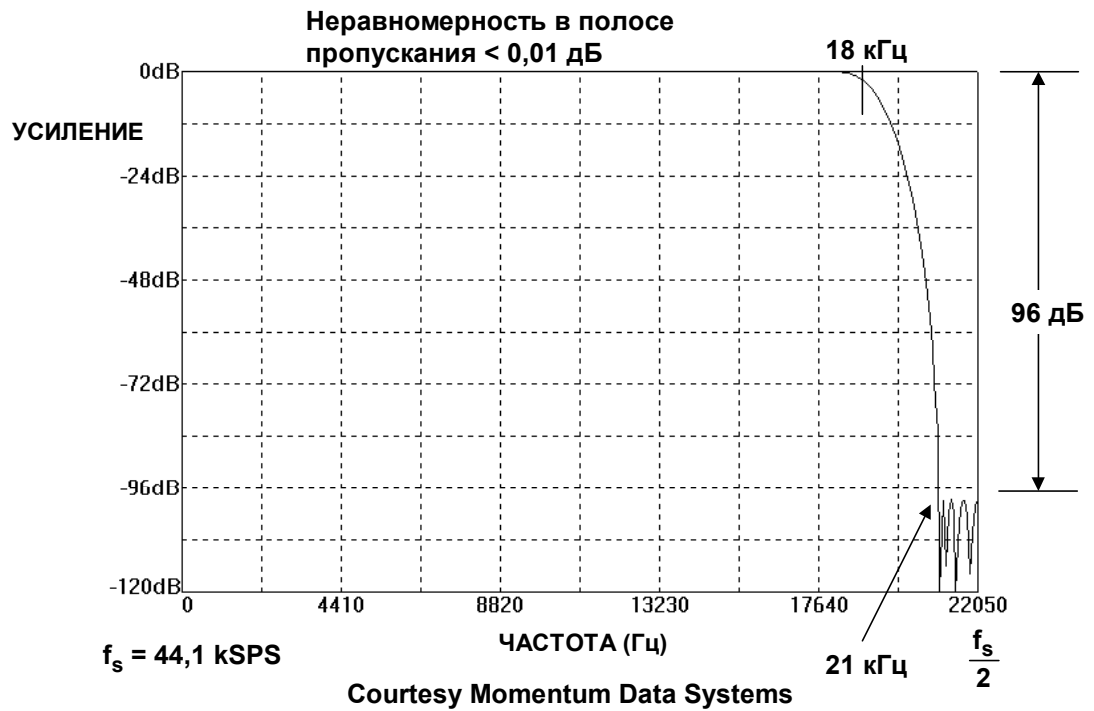


Рис. 6.25

ПРИМЕР ПРОЕКТИРОВАНИЯ КИХ ФИЛЬТРА: РЕАКЦИЯ НА СТУПЕНЧАТОЕ ВОЗДЕЙСТВИЕ

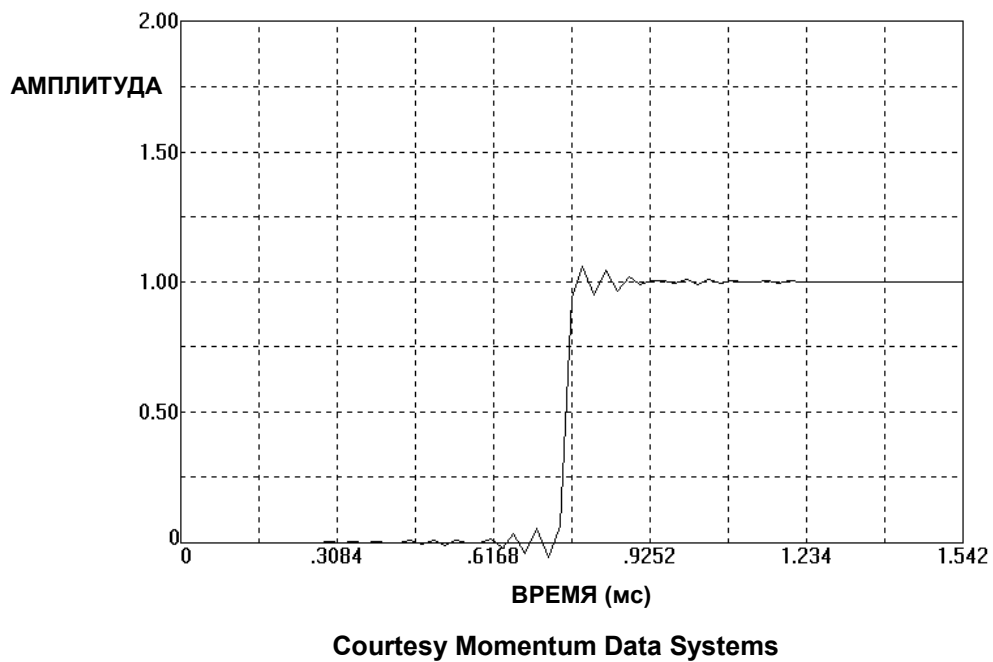
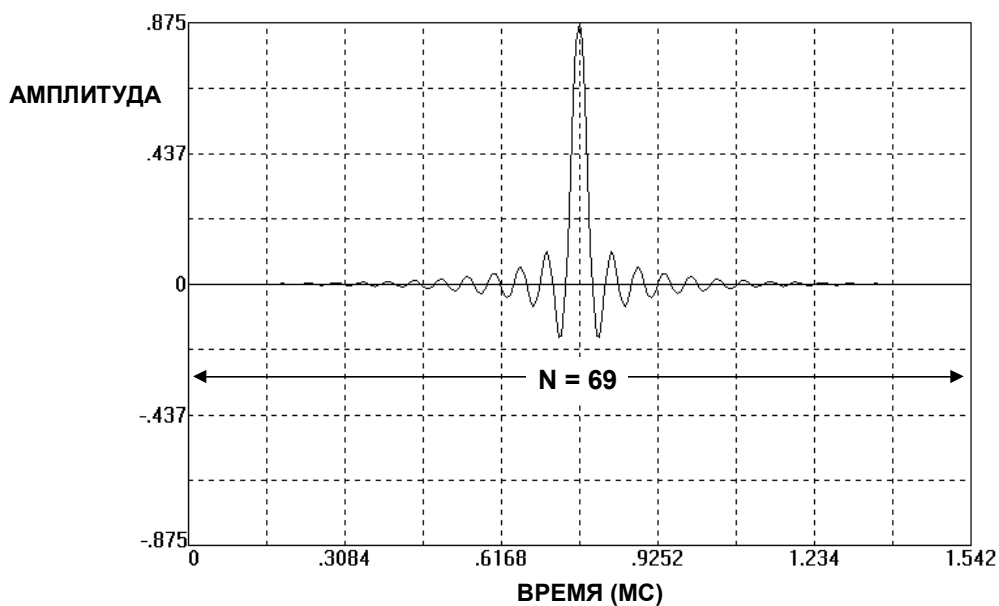


Рис. 6.26

а

ПРИМЕР ПРОЕКТИРОВАНИЯ КИХ ФИЛЬТРА: ИМПУЛЬСНАЯ ХАРАКТЕРИСТИКА (КОЭФФИЦИЕНТЫ ФИЛЬТРА)



Courtesy Momentum Data Systems

Рис. 6.27

ПРИМЕР ПРОЕКТИРОВАНИЯ С ИСПОЛЬЗОВАНИЕМ ADSP-2189M: ПРОЦЕССОРНОЕ ВРЕМЯ ДЛЯ КИХ-ФИЛЬТРА 69 ПОРЯДКА

- Частота дискретизации $f_s = 44,1$ kSPS
- Интервал дискретизации $= 1 / f_s = 22,7$ мкс
- Порядок фильтра, $N = 69$
- Количество требуемых команд $= N + 5 = 74$
- Процессорное время на команду $= 13,3$ нс (75 MIPS) (ADSP-2189M)
- Общее время обработки $= 74 \times 13,3$ нс $= 984$ нс
- Общее время обработки $<$ интервала дискретизации и $22,7$ мкс $- 0,984$ мкс $= 21,7$ мкс запас для других операций
 - ◆ Увеличение частоты дискретизации до 1 МГц
 - ◆ Использование более медленного процессора ЦОС (3,3 MIPS)
 - ◆ Увеличение порядка фильтра (до $N = 1700$)

Рис. 6.28

а

Проектирование ВЧ, полосовых и режекторных фильтров на основе НЧ фильтров

Преобразование спроектированной импульсной характеристики НЧ фильтра в импульсную характеристику ВЧ фильтра может быть выполнено одним из двух способов. По *методу инверсии спектра* знак каждого коэффициента фильтра в импульсной характеристике НЧ фильтра изменяется на противоположный. Затем к центральному коэффициенту прибавляется 1. По *методу реверсирования спектра* изменяется знак каждого второго коэффициента. Это приводит к изменению характеристик в частотной области. Другими словами, если частота среза НЧ фильтра равна $0,2 \cdot f_s$, то результирующий ВЧ фильтр будет иметь частоту среза $0,5 \cdot f_s - 0,2 \cdot f_s = 0,3 \cdot f_s$. Это должно приниматься во внимание при проектировании исходного НЧ фильтра.

ПРОЕКТИРОВАНИЕ ВЧ ФИЛЬТРА С ИСПОЛЬЗОВАНИЕМ ИМПУЛЬСНОЙ ХАРАКТЕРИСТИКИ НЧ ФИЛЬТРА

- **Метод инверсии спектра:**
 - ◆ Проектируем ФНЧ (линейная фаза, нечетное N)
 - ◆ Изменяем знак каждого коэффициента в импульсной характеристике $h(n)$
 - ◆ Прибавляем 1 к коэффициенту в центре симметрии $h(n)$

- **Метод реверсирования спектра:**
 - ◆ Проектируем ФНЧ
 - ◆ Изменяем знак каждого второго коэффициента в импульсной характеристике $h(n)$
 - ◆ Это переворачивает характеристику в частотной области слева направо:
Значение по частоте, соответствующее 0, становится соответствующим 0,5; 0,5 становится соответствующим 0;
т.е. если частота среза ФНЧ равна 0,2, то частота среза результирующего ФВЧ равна 0,3

Рис. 6.29

Полосовой и режекторный фильтры можно спроектировать, комбинируя надлежащим образом соответствующие НЧ и ВЧ фильтры. Полосовые фильтры проектируются посредством каскадного соединения НЧ и ВЧ фильтров. Вычисляя свертку двух индивидуальных импульсных характеристик, получают эквивалентную импульсную характеристику каскадных фильтров.

Режекторный фильтр проектируется посредством параллельного подключения НЧ и ВЧ фильтров и суммирования сигналов с их выходов. *Суммируя* индивидуальные импульсные характеристики, получают эквивалентную импульсную характеристику.

а

ПРОЕКТИРОВАНИЕ ПОЛОСОВЫХ И РЕЖЕКТОРНЫХ ФИЛЬТРОВ С ИСПОЛЬЗОВАНИЕМ ФНЧ И ФВЧ

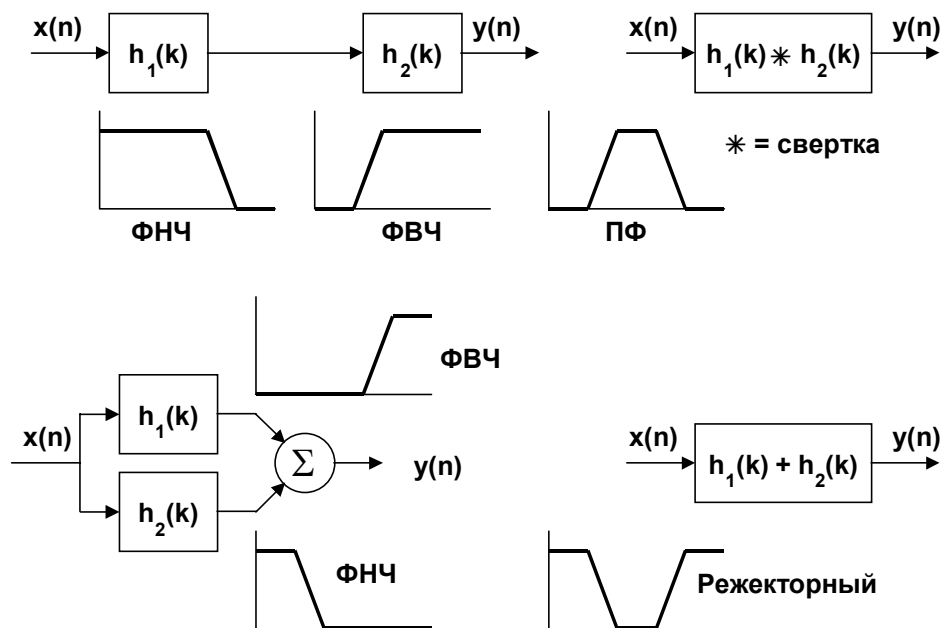


Рис. 6.30

ФИЛЬТРЫ С БЕСКОНЕЧНОЙ ИМПУЛЬСНОЙ ХАРАКТЕРИСТИКОЙ (БИХ)

Как было упомянуто ранее, КИХ-фильтры не имеют реальных аналоговых эквивалентов. Самой близкой аналогией является фильтр скользящего среднего с взвешиванием. Кроме того, частотные характеристики КИХ-фильтров имеют только нули и не имеют полюсов. С другой стороны, БИХ-фильтры имеют традиционные аналоговые эквиваленты (фильтры Баттерворта, Чебышева, эллиптический и Бесселя) и могут быть проанализированы и синтезированы с использованием традиционных методов проектирования фильтров.

БИХ-фильтры получили такое название, потому что их импульсные характеристики растянуты на бесконечном временном интервале. Это объясняется тем, что данные фильтры являются рекурсивными, то есть используют обратную связь. Хотя БИХ-фильтры могут быть реализованы с меньшим, чем КИХ-фильтры, количеством вычислений, БИХ-фильтры не могут иметь таких характеристик, которыми обладают КИХ-фильтры. Более того, БИХ-фильтр не имеет линейной фазовой характеристики. Но вычислительные преимущества БИХ-фильтра теряются, когда выходной сигнал фильтра подвергается децимации, поскольку в этом случае всякий раз приходится вычислять заново значение выходной величины.

БИХ-фильтры обычно реализуются с помощью звеньев второго порядка, которые называются биквадратными фильтрами, потому что описываются биквадратными уравнениями в z -области. Фильтры высокого порядка проектируют, используя каскадирование биквадратных звеньев. Например, фильтр шестого порядка требует трех биквадратных звеньев.

а

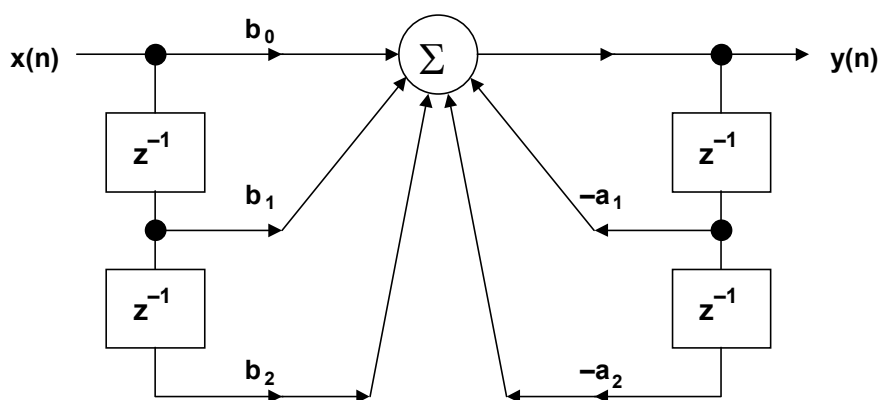
ФИЛЬТРЫ С БЕСКОНЕЧНОЙ ИМПУЛЬСНОЙ ХАРАКТЕРИСТИКОЙ (БИХ)

- Имеют обратную связь (рекурсия)
- Импульсная характеристика имеет бесконечную длительность
- Потенциально нестабильны
- Нелинейная фазочастотная характеристика
- Более эффективны, чем КИХ-фильтры
- Нет вычислительных преимуществ при децимации по выходу
- Обычно проектируется по характеристике аналогового фильтра
- Обычно реализуется каскадным соединением звеньев второго порядка (биквадратные фильтры)

Рис. 6.31

Структура биквадратного БИХ-фильтра представлена на рис.6.32. Нули формируются коэффициентами прямой связи b_0, b_1 и b_2 ; а полюса (порядок) определяются коэффициентами обратной связи a_1 и a_2 .

АППАРАТНАЯ РЕАЛИЗАЦИЯ БИХ-ФИЛЬТРА ВТОРОГО ПОРЯДКА (БИКВАДРАТНОГО) ФОРМА 1



■ $y(n) = b_0x(n) + b_1x(n-1) + b_2x(n-2) - a_1y(n-1) - a_2y(n-2)$

■ $y(n) = \sum_{k=0}^M b_k x(n-k) - \sum_{k=1}^N a_k x(n-k)$ ■ $H(z) = \frac{\sum_{k=0}^M b_k z^{-k} \text{ (нули)}}{1 + \sum_{k=1}^N a_k z^{-k} \text{ (полюса)}}$

Рис. 6.32

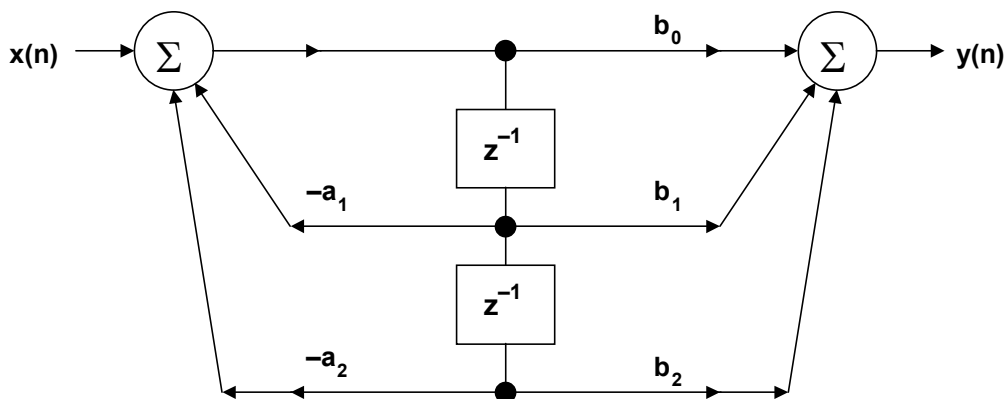
Общее уравнение цифрового фильтра, представленное на рис.6.32, описывает обобщенную передаточную функцию $H(z)$, которая содержит полиномы и в числителе, и в знаменателе. Корни знаменателя определяют расположение полюсов фильтра, а корни числителя характеризуют расположение нулей. Хотя существует возможность создания непосредственно по этому уравнению БИХ-фильтра более высокого порядка (так называемая прямая реализация), накапливающиеся ошибки квантования (из-за

а

арифметики с фиксированной точкой и конечной длины слова) могут вызывать неустойчивость работы фильтра и большие ошибки. По этой причине правильнее расположить каскадно несколько биквадратных звеньев с соответствующими коэффициентами, чем использовать прямую форму реализации. Данные при вычислении биквадратных фильтров могут масштабироваться отдельно, а затем биквадратные звенья каскадируются для минимизации ошибок квантования коэффициентов и накапливающихся ошибок рекурсивного накопления. Каскадные биквадратные фильтры работают более медленно, чем их эквиваленты прямой формы реализации, но они более устойчивы и в них минимизируются эффекты, связанные с арифметическими ошибками конечной разрядности данных.

Первая прямая форма биквадратного звена, представленная на рис.6.32, требует использования четырех регистров. Эта конфигурация может быть заменена эквивалентной схемой, представленной на рис.6.33, которая называется второй прямой формой реализации и требует использования только двух регистров. Можно показать, что уравнения, описывающие биквадратный БИХ-фильтр второй прямой формы реализации, такие же, как и уравнения первой прямой формы реализации. Как и в случае КИХ-фильтра, система обозначений при изображении БИХ-фильтра часто упрощается, как показано на рис.6.34.

БИКВАДРАТНЫЙ БИХ-ФИЛЬТР ФОРМА 2



- Приводится к такому же уравнению, как для первой прямой формы:
- $y(n) = b_0x(n) + b_1x(n-1) + b_2x(n-2) - a_1y(n-1) - a_2y(n-2)$
- Требуется только 2 элемента задержки (регистра)

Рис. 6.33

а

УПРОЩЕННАЯ СХЕМА БИКВАДРАТНОГО БИХ-ФИЛЬТРА

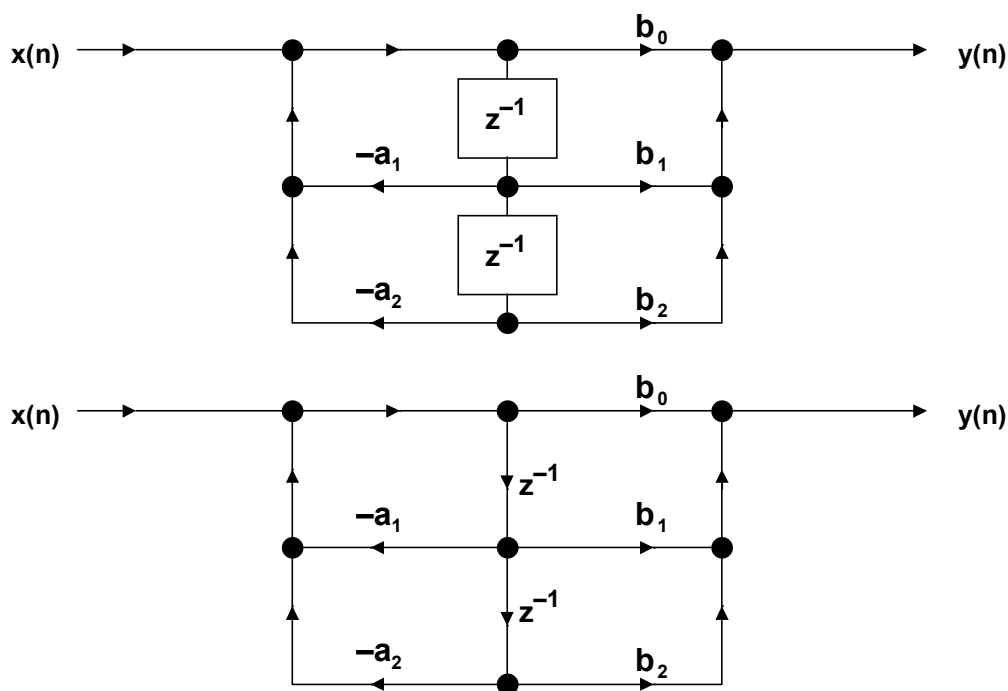


Рис. 6.34

МЕТОДЫ ПРОЕКТИРОВАНИЯ БИХ-ФИЛЬТРОВ

Популярный метод проектирования БИХ-фильтра сводится к тому, что сначала проектируется эквивалентный аналоговый фильтр, а затем функция передачи $H(s)$ преобразуется математически в z -область, $H(z)$. Проектирование фильтров более высоких порядков выполняется каскадированием биквадратных звеньев. Наиболее популярными аналоговыми фильтрами являются фильтры Баттерворта, Чебышева, эллиптические и Бесселя (см. рис.6.35). Существует множество программ САПР, способных генерировать функцию передачи фильтра, заданную с помощью преобразования Лапласа.

Фильтр Баттерворта, не имеющий нулей частотной характеристики, (также называемый фильтром с максимально плоской характеристикой), не создает пульсаций (неравномерности) в полосе пропускания и в полосе задержки, то есть обладает монотонной характеристикой в обеих полосах. Фильтр Чебышева 1-го рода имеет более быстрый спад частотной характеристики, чем фильтр Баттерворта (при равном порядке), и создает пульсации (неравномерность) в полосе пропускания. Реже используются фильтры Чебышева 2-го рода, имеющие пульсации (неравномерность) в полосе задержки, а не в полосе пропускания.

Эллиптический фильтр (фильтр Кауэра) имеет полюса и нули частотной характеристики и создает пульсации (неравномерность) и в полосе пропускания, и в полосе задержки. Этот фильтр имеет более быстрый спад частотной характеристики, чем фильтр Чебышева при том же числе полюсов (порядке). Эллиптический фильтр часто используется там, где допускается несколько худшая фазовая характеристика.

Наконец, фильтр Бесселя (Томпсона), который не имеет нулей частотной характеристики, обладает оптимальной импульсной характеристикой и линейной фазовой характеристикой, но имеет худший спад частотной характеристики из всех типов обсуждавшихся фильтров при том же числе полюсов (порядке).

ОБЗОР ПОПУЛЯРНЫХ АНАЛОГОВЫХ ФИЛЬТРОВ

- **Баттерворта**
 - ◆ Нет нулей частотной характеристики, нет пульсаций в полосе пропускания и задержки
 - ◆ Максимально плоская характеристика (быстрый спад без пульсаций)
- **Чебышева 1-го рода**
 - ◆ Нет нулей частотной характеристики, пульсации в полосе пропускания, нет пульсаций в полосе задержки
 - ◆ Более короткая область перехода, чем у фильтра Баттерворта для данного порядка
 - ◆ Фильтр 2-го рода имеет пульсации в полосе задержки, нет пульсаций в полосе пропускания
- **Эллиптический (Кауэра)**
 - ◆ Имеет полюса и нули, пульсации и в полосе пропускания, и в полосе задержки
 - ◆ Более короткая область перехода, чем у фильтра Чебышева для данного порядка
 - ◆ Фазовая характеристика хуже
- **Бесселя (Томпсона)**
 - ◆ Нет нулей частотной характеристики, нет пульсаций в полосе пропускания и задержки
 - ◆ Оптимизирован по линейной фазовой и импульсной характеристикам
 - ◆ Самая длинная переходная характеристика из всех фильтров данного порядка

Рис. 6.35

Все вышеперечисленные типы аналоговых фильтров описаны в литературе, их преобразования по Лапласу $H(s)$ доступны либо из таблиц, либо могут быть получены с помощью средств САПР. Существует три метода преобразования изображения по Лапласу в z -изображение: *метод инвариантности импульсной характеристики*, *билинейное преобразование* и *согласованное z -преобразование*. Результирующее z -изображение может быть преобразовано в коэффициенты биквадратного БИХ-фильтра. Эти методы достаточно распространены в математике и в дальнейшем не будут обсуждаться.

Подход САПР при проектировании БИХ-фильтра подобен программе Паркса-Макклиллана, используемой для КИХ-фильтров. Эта методика использует алгоритм Флетчера-Пауэла (Fletcher-Powell).

При вычислении производительности специального процессора DSP, предназначенного для реализации БИХ-фильтров, необходимо исследовать эталонные требования эффективности вычислений для биквадратного звена фильтра. Для получения выходного отсчета биквадратного фильтра при его реализации на базе семейства процессоров ADSP-21XX требуется семь командных циклов. Для DSP-процессора ADSP-2189M, обладающего быстродействием 75 MIPS, это соответствует $7 \cdot 13,3 \text{ нс} = 93 \text{ нс}$, что дает максимально возможную частоту дискретизации 10 MSPS (в пренебрежении дополнительными операциями).

МЕТОДЫ ПРОЕКТИРОВАНИЯ БИХ-ФИЛЬТРОВ

- **Метод инвариантности импульсной характеристики**
 - ◆ Начинается с определения $H(s)$ для аналогового фильтра
 - ◆ Взятие обратного преобразования Лапласа для получения импульсной характеристики
 - ◆ Получение z -преобразования $H(z)$ из дискретной импульсной характеристики
 - ◆ z -преобразование выдает коэффициенты фильтра
 - ◆ Должен быть учтен эффект наложения спектров
- **Метод билинейного преобразования**
 - ◆ Другой метод для преобразования $H(s)$ в $H(z)$
 - ◆ Характеристики определяются дифференциальным уравнением, описывающим аналоговую систему
 - ◆ Не важен эффект наложения спектра
- **Метод согласованного z -преобразования**
 - ◆ Отображает $H(s)$ в $H(z)$ для фильтров и с полюсами, и с нулями
- **Методы САПР**
 - ◆ Алгоритм Флетчера-Пауэла
 - ◆ Осуществляются каскадированием биквадратных звеньев

Рис. 6.36

СКОРОСТЬ ОБРАБОТКИ ДАННЫХ ПРИ РЕАЛИЗАЦИИ БИХ-ФИЛЬТРОВ

- Определение количества биквадратных звеньев, требуемых для реализации желаемой частотной характеристики
- Умножение этого количества на время выполнения одного биквадратного звена для DSP процессора (например, 7 командных циклов \times 13,3 нс = 93 нс для ADSP-2189M при скорости 75 MIPS)
- Результат (плюс дополнительные операции) является минимально допустимым периодом дискретизации ($1/f_s$) для работы в реальном масштабе времени

Рис. 6.37

Резюме: сравнение КИХ- и БИХ-фильтров

Выбор между КИХ-и БИХ-фильтрами может быть своего рода состязанием в проектировании, но несколько основных руководящих принципов дать можно. Как правило, БИХ-фильтры более эффективны, чем КИХ-фильтры, потому что они требуют меньшего количества памяти и меньшего количества операций умножения с накоплением. БИХ-фильтры могут быть разработаны, основываясь на предыдущем опыте проектирования аналоговых фильтров. БИХ-фильтры могут приносить проблемы неустойчивости, но это происходит реже, если проектируемые фильтры высокого порядка реализуются как системы, состоящие из каскадов второго порядка.

а

С другой стороны, КИХ-фильтры требуют большего количества звеньев и, соответственно, операций умножения с накоплением для реализации частотной характеристики с заданной частотой среза, но при этом имеют линейную фазовую характеристику. КИХ-фильтры работают на конечном временном интервале данных, поэтому, если часть данных испорчена (например, в результате сбоя в работе АЦП), КИХ-фильтр будет «звенеть» только на временном интервале, соответствующем N-1 отсчетам. БИХ-фильтр, из-за наличия обратной связи, будет «звенеть» значительно более длительный период времени.

СРАВНЕНИЕ КИХ И БИХ ФИЛЬТРОВ

| БИХ-фильтры | КИХ-фильтры |
|---|---|
| Более эффективны | Менее эффективны |
| Есть аналоговый эквивалент | Нет аналогового эквивалента |
| Могут быть нестабильными | Всегда стабильные |
| Нелинейная фазовая характеристика | Линейная фазовая характеристика |
| Больше «звон» при наличии ложных сигналов | Меньше «звон» при наличии ложных сигналов |
| Доступны средства САПР | Доступны средства САПР |
| Децимация не влияет на эффективность | Децимация увеличивает эффективность |

Рис. 6.38

Если необходимы фильтры с крутым спадом и испытывается дефицит во времени, отведенном для обработки, хорошим выбором являются эллиптические БИХ-фильтры. Если число операций умножения с накоплением не является чрезмерным и требуется линейная фаза, то должен быть выбран КИХ-фильтр.

ФИЛЬТРЫ С ИЗМЕНЯЕМОЙ ЧАСТОТОЙ ДИСКРЕТИЗАЦИИ

Существует множество приложений, требующих изменения эффективной частоты дискретизации дискретной системы. Во многих случаях это требование может быть удовлетворено простым изменением частоты дискретизации АЦП или ЦАП. Однако часто желательно выполнить преобразование частоты дискретизации после того, как сигнал был оцифрован. Наиболее общими методами такого преобразования являются *децимация* (уменьшение частоты дискретизации с коэффициентом M) и *интерполяция* (увеличение частоты дискретизации с коэффициентом L). Коэффициенты децимации и интерполяции (M и L) обычно являются целыми числами. В более общем случае может потребоваться

а

дискретизация с дробным коэффициентом. В частности, для преобразования частоты дискретизации 44,1 кГц, используемой в проигрывателях компакт-дисков, в частоту дискретизации 48 кГц, используемую в цифровой звукозаписи в формате DAT, осуществляется интерполяция с коэффициентом $L=160$, сопровождаемая децимацией с коэффициентом $M=147$.

Концепция децимации проиллюстрирована на рис.6.39. Верхняя диаграмма показывает исходный сигнал с полосой f_a , который дискретизирован с частотой f_s . Диаграмма, содержащая соответствующий спектр, показывает, что частота дискретизации значительно превышает частоту, требуемую для сохранения информации, содержащейся в полосе f_a , то есть сигнал с полосой f_a является избыточно дискретизированным сигналом. Обратите внимание, что полоса между частотами f_a и $f_s - f_a$, не содержит никакой полезной информации. Нижняя диаграмма показывает тот же самый сигнал, но частота дискретизации его уменьшена с коэффициентом M . Несмотря на сниженную частоту дискретизации, эффект наложения спектров отсутствует и потерь информации нет. Децимация с большим коэффициентом, чем показано на рис.6.39, вызовет наложение спектров.

ДЕЦИМАЦИЯ ДИСКРЕТНОГО СИГНАЛА С КОЭФФИЦИЕНТОМ M

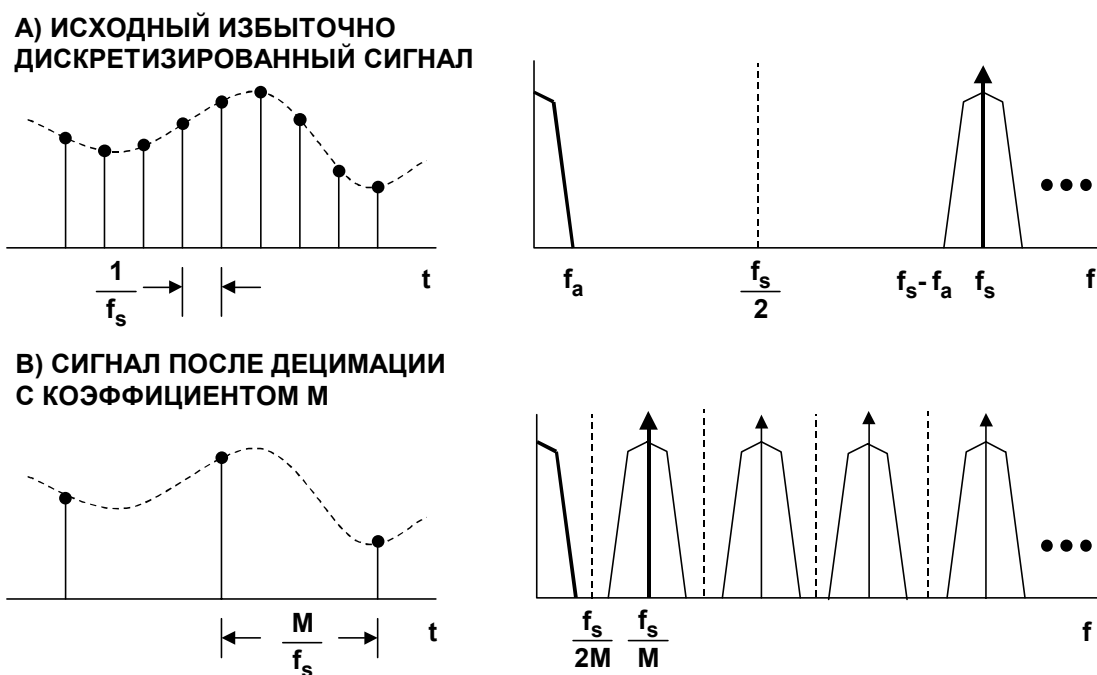


Рис. 6.39

Рис.6.40, а показывает процесс децимации выходного сигнала КИХ-фильтра. Данные $y(n)$ с выхода фильтра сохраняются в регистре данных, который строится с частотой f_s/M , соответствующей частоте дискретизации после децимации. В данном случае децимация не изменяет объема вычислений, требуемых для реализации цифрового фильтра, то есть фильтр должен вычислять каждый выходной отсчет $y(n)$.

а

ДЕЦИМАЦИЯ, СОВМЕЩЕННАЯ С КИХ-ФИЛЬТРАЦИЕЙ

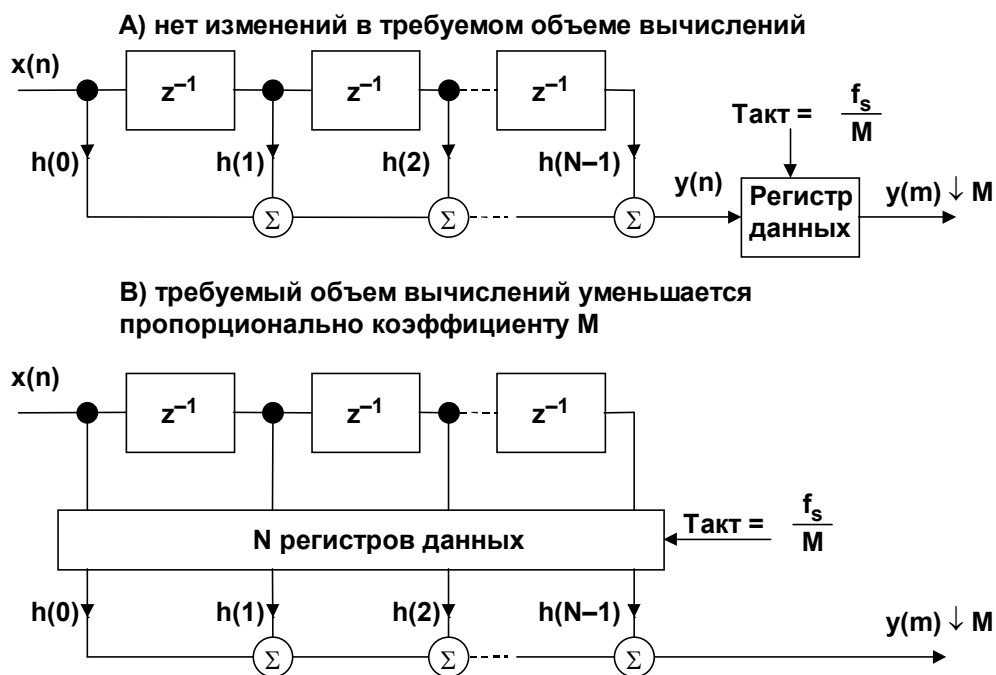


Рис. 6.40

На рис.6.40, б представлен метод, который может использоваться для увеличения с коэффициентом M вычислительной эффективности КИХ-фильтра. Данные из регистров задержки сохраняются в N регистрах данных, которые стробируются частотой, соответствующей частоте дискретизации после децимации f_s/M . Операции умножения с накоплением в КИХ-фильтре теперь должны выполняться только в каждом M -ом тактовом цикле. Этот выигрыш в эффективности может быть использован для реализации фильтра с большим количеством звеньев и для проведения дополнительных вычислений. Данный выигрыш позволяет, также, использовать более медленный и дешевый процессор DSP.

На рис.6.41 представлена концепция интерполяции. Исходный сигнал на рис. 6.41, а дискретизирован с частотой f_s . На рис. 6.41, б частота дискретизации увеличена с коэффициентом L и добавлены нули для заполнения дополнительных отсчетов. Сигнал с добавленными нулями пропускают через фильтр интерполяции, который формирует дополнительные данные в точках, ранее заполненных нулями.

а

ИНТЕРПОЛЯЦИЯ СИГНАЛА С КОЭФФИЦИЕНТОМ L

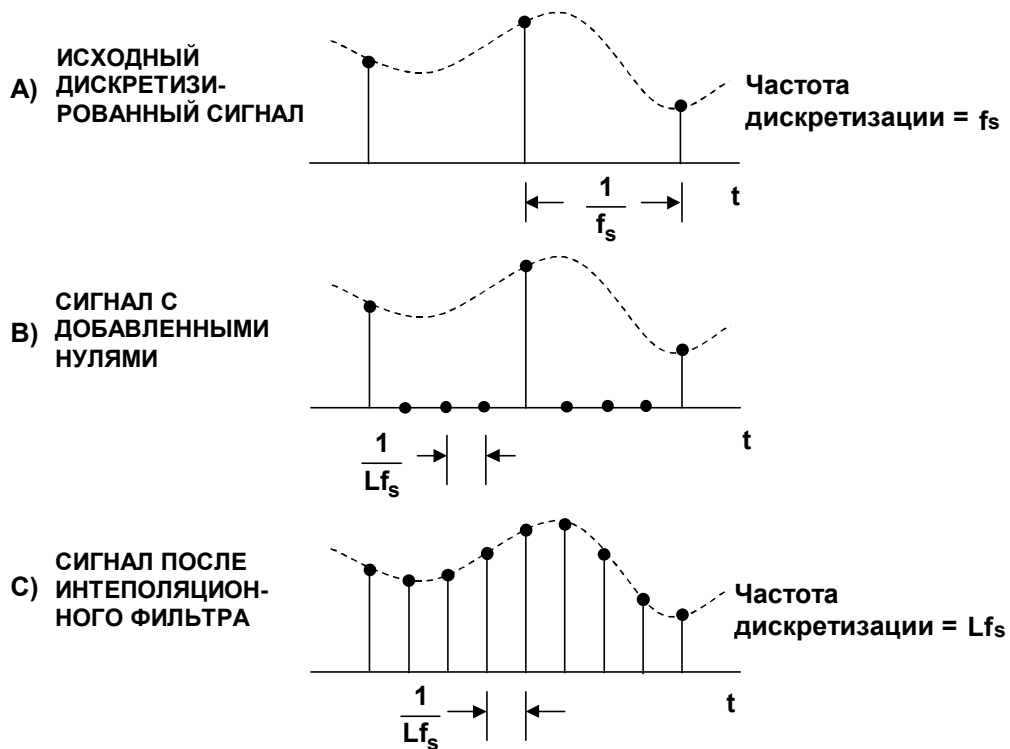


Рис. 6.41

Иллюстрацию эффекта интерполяции в частотной области представляет рис.6.42. Исходный сигнал, дискретизированный с частотой f_s , показан на рис.6.42, а. На рис.6.42, б интерполированный сигнал имеет частоту дискретизации $L f_s$. Примером использования интерполяции является ЦАП проигрывателя компакт-дисков, где данные генерируются с частотой 44,1 кГц. Если эти данные, спектр которых показан на рис. 6.42, а, поступают непосредственно на ЦАП, то требования, предъявляемые к ФНЧ на выходе ЦАП, чрезвычайно высоки. Обычно используется интерполирующий ЦАП с избыточной дискретизацией, дающий спектр, показанный на рис.6.42, б. Обратите внимание на упрощение требований к аналоговому ФНЧ. Это важно для реализации фильтра с относительно линейной фазовой характеристикой и для сокращения стоимости фильтра.

Цифровая реализация интерполяции представлена на рис.6.43. Исходный сигнал $x(n)$ сначала пропускают через экспандер частоты, который увеличивает частоту дискретизации с коэффициентом L и вставляет дополнительные нули. Затем данные проходят через интерполяционный фильтр, который сглаживает данные и интерполирует промежуточные значения между исходными точками данных. Эффективность этого фильтра можно улучшить, используя алгоритм фильтрации, в котором входные отсчеты с нулевым значением не требуют операций умножения с накоплением. Использование DSP-процессора, поддерживающего циклические буферы и циклы, реализуемые без дополнительных операций проверки условия завершения цикла, также улучшает эффективность реализации фильтров.

а

ЭФФЕКТ ИНТЕРПОЛЯЦИИ В ЧАСТОТНОЙ ОБЛАСТИ

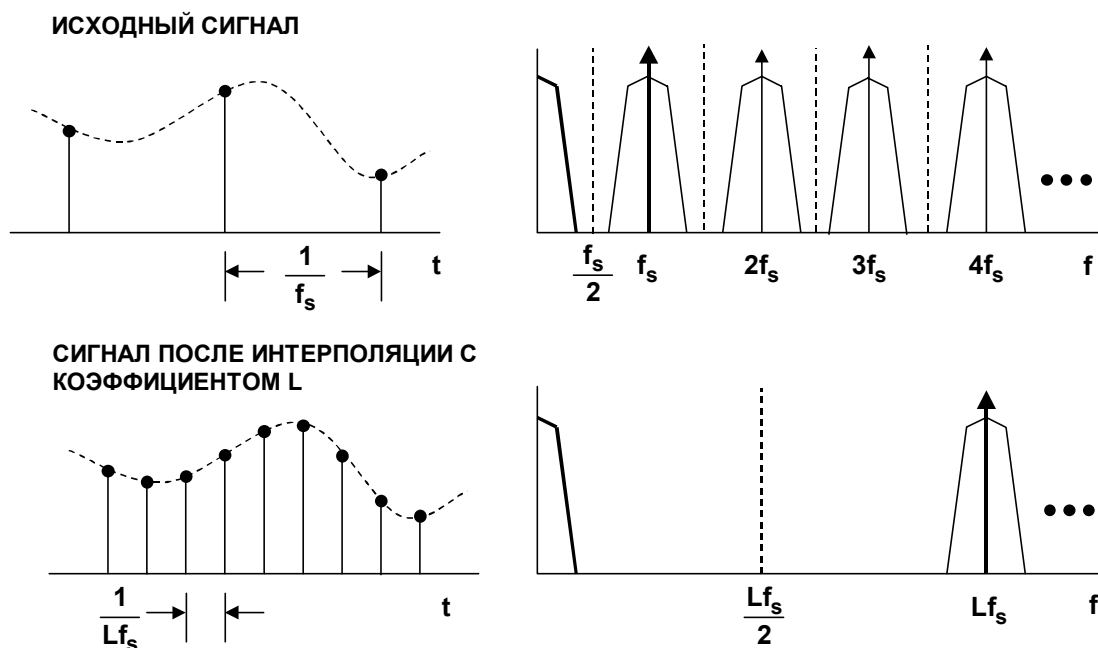
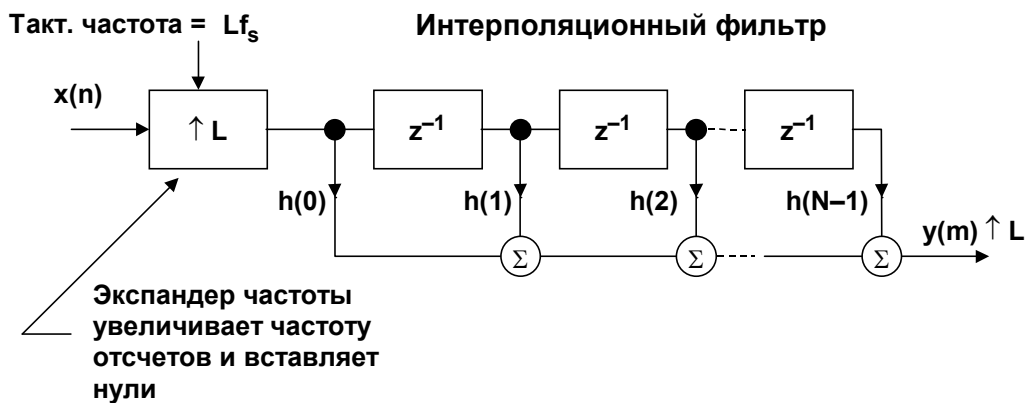


Рис. 6.42

ТИПИЧНАЯ РЕАЛИЗАЦИЯ ИНТЕРПОЛЯЦИИ



Эффективные алгоритмы ЦОС используют:

- Умножение на 0
- Циклические буферы
- Реализацию циклов с автоматической проверкой условий

Рис. 6.43

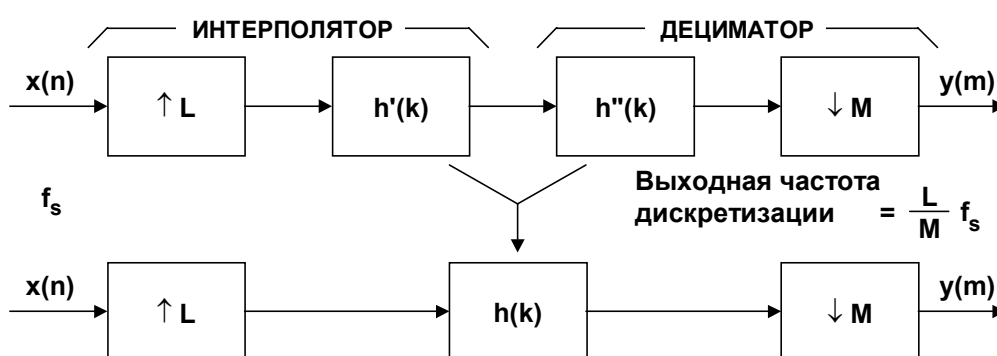
Интерполяторы и дециматоры могут совместно использоваться для выполнения преобразования частоты дискретизации с дробным коэффициентом, как показано на рис.6.44. Сначала входной сигнал $x(n)$ интерполируется с коэффициентом L , а затем

а

подвергается децимации с коэффициентом M . Результирующая выходная частота дискретизации равна Lf_s/M . Чтобы сохранить максимально возможную полосу частот в сигнале, являющемся промежуточным результатом, интерполяция должна быть осуществлена перед децимацией. В противном случае часть полосы исходного сигнала была бы отфильтрована дециматором.

Характерным примером является преобразование частоты дискретизации проигрывателя компакт-дисков, которая равна 44,1 кГц, в частоту дискретизации, используемую при цифровой звукозаписи в формате DAT, которая равна 48,0 кГц. Коэффициент интерполяции при этом равен 160, а коэффициент децимации – 147. На практике, интерполяционный фильтр $h'(k)$ и прореживающий фильтр $h''(k)$ объединяются в один фильтр $h(k)$.

КОНВЕРТОРЫ ЧАСТОТЫ ДИСКРЕТИЗАЦИИ



- Пример: преобразование частоты дискретизации CD = 44,1 кГц в частоту дискретизации DAT = 48,0 кГц
- используем $L = 160$, $M = 147$
- $f_{\text{out}} = \frac{L}{M} f_s = \frac{160}{147} \times 44,1 \text{ кГц} = 48,0 \text{ кГц}$
- AD189X - семейство преобразователей частоты дискретизации

Рис. 6.44

Полная функция преобразования частоты дискретизации интегрирована в микросхемах семейства AD1890, AD1891, AD1892, и AD1893, которые работают на частотах от 8 кГц до 56 кГц (48 кГц для AD1892). Новая модель AD1896 работает на частотах до 196 кГц.

АДАПТИВНЫЕ ФИЛЬТРЫ

В отличие от аналоговых фильтров, характеристики цифровых фильтров могут быть легко изменены путем изменения коэффициентов. Это делает цифровые фильтры привлекательными в коммуникационных приложениях, таких как адаптивный эквалайзинг, компенсация эха, подавление шума, анализ и синтез речи и т.д. Основная идея адаптивной фильтрации представлена на рис.6.45. Ее цель состоит в том, чтобы так отфильтровать входной сигнал $x(n)$, чтобы он соответствовал опорному сигналу $d(n)$. Для генерации сигнала ошибки опорный сигнал $d(n)$ вычитается из фильтруемого сигнала $y(n)$. Сигнал ошибки управляет алгоритмом адаптации, который генерирует коэффициенты фильтра, минимизирующие сигнал ошибки. Наиболее популярными алгоритмами

а

являются метод наименьших квадратов (least-mean-square) и рекурсивный метод наименьших квадратов (recursive-least-squares).

АДАПТИВНЫЙ ФИЛЬТР

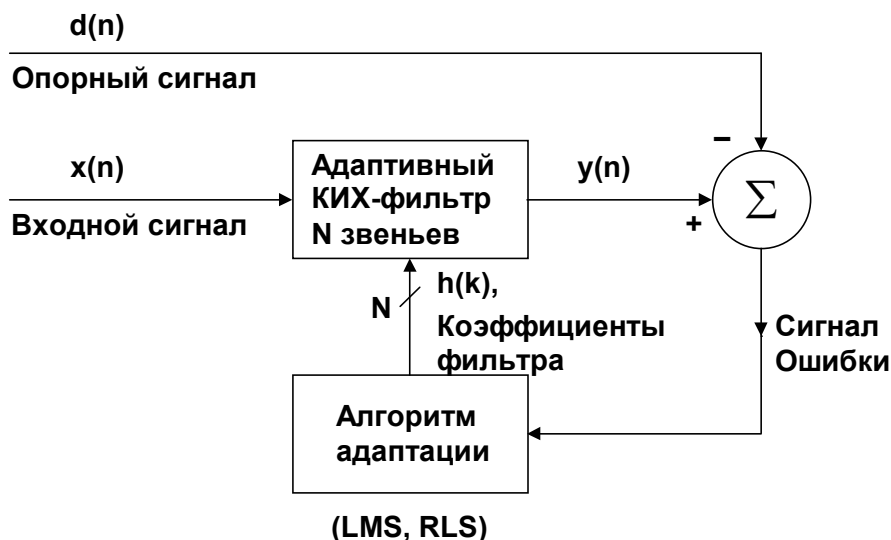


Рис. 6.45

На рис.6.46 показано применение адаптивного фильтра для компенсации эффектов амплитудных и фазовых искажений в канале передачи. Коэффициенты фильтра определяются в процессе передачи обучающей последовательности, представляющей известный образец данных. Алгоритм адаптации корректирует коэффициенты фильтра для получения соответствия между принимаемыми данными и данными обучающей последовательности. При связи через модем обучающая последовательность передается после установления первоначального соединения. После передачи обучающей последовательности коммутаторы переключаются в другую позицию, и начинается передача реальных данных. В течение этого времени генерируется сигнал ошибки, равный разности входных и выходных данных адаптивного фильтра.

Сжатие и синтез речи также подразумевают активное использование адаптивной фильтрации для уменьшения требуемых объемов передачи данных. Модель системы линейного кодирования с предсказанием (linear predictive coding, LPC), представленная на рис.6.47 моделирует голосовой тракт, как импульсный генератор переменной частоты для гласных звуков и генератор случайного шума для согласных звуков. Сигнал от этих генераторов подается на цифровой фильтр, который, в свою очередь, генерирует реальный звуковой сигнал.

а

ЦИФРОВАЯ ПЕРЕДАЧА С ИСПОЛЬЗОВАНИЕМ АДАПТИВНОГО ЭКВАЛИЗИНГА

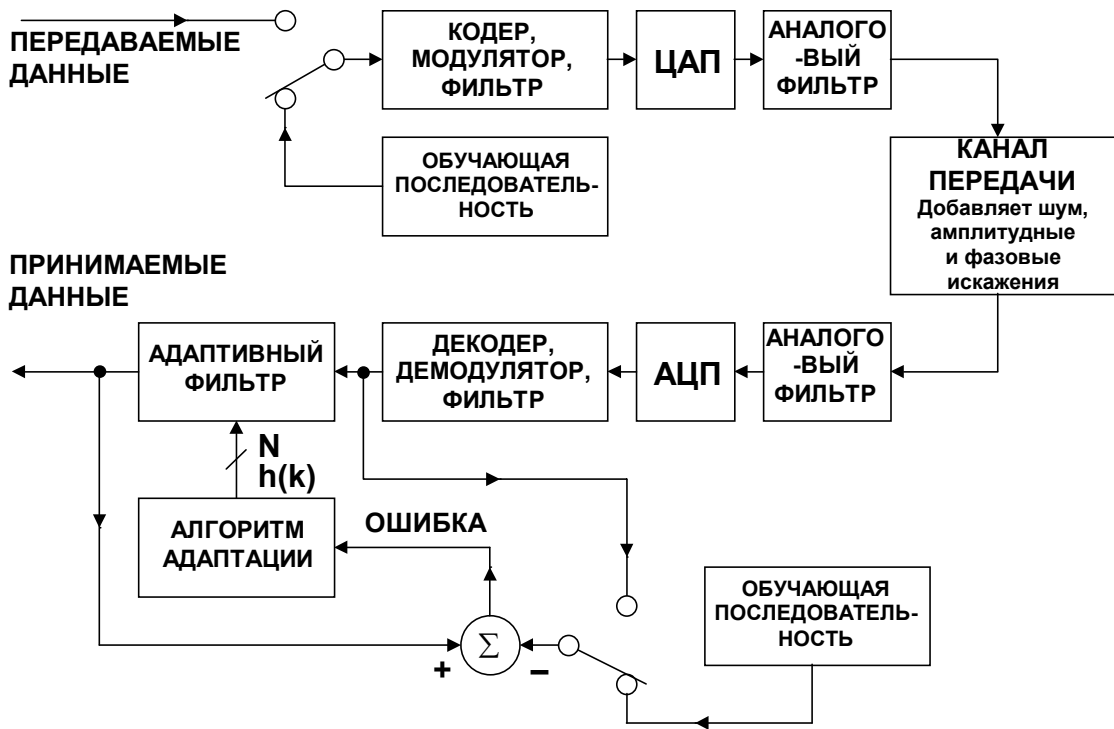


Рис. 6.46

МОДЕЛЬ ЛИНЕЙНОГО КОДИРОВАНИЯ С ПРЕДСКАЗАНИЕМ (LINEAR PREDICTIVE CODING, LPC)

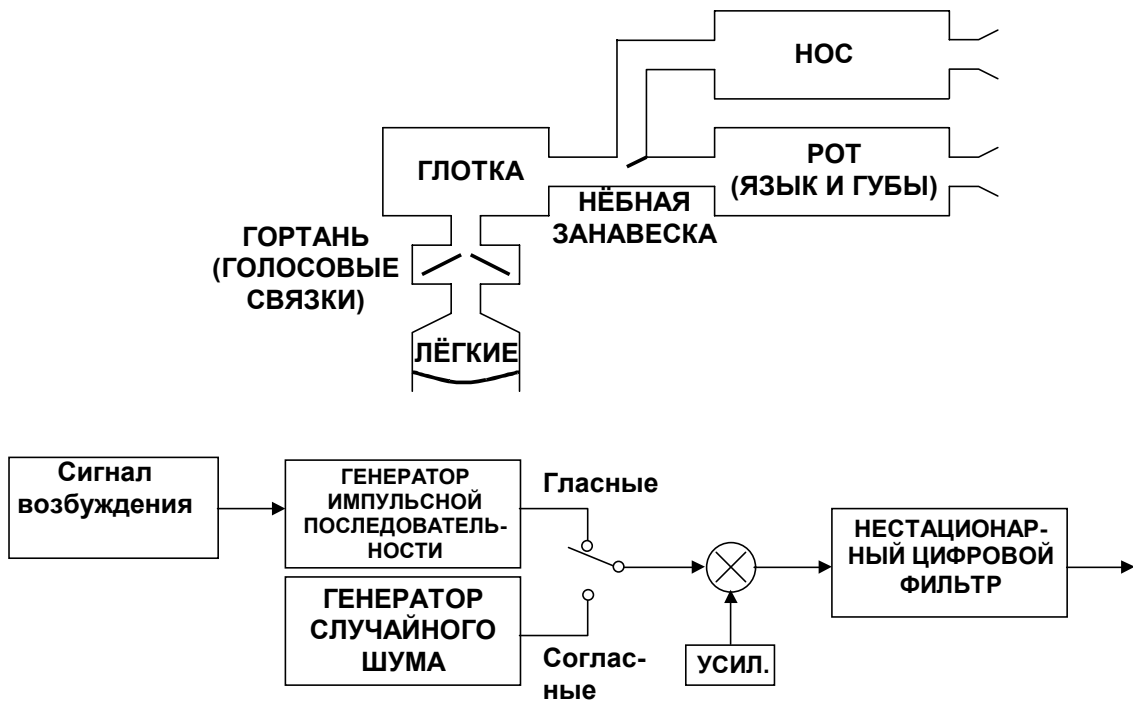


Рис. 6.47

а

На рис.6.48 дан пример применения линейного кодирования с предсказанием (LPC) в системе мобильной связи GSM. Входной голосовой сигнал оцифровывается 16-разрядным АЦП с частотой дискретизации 8 kSPS. Этим создается поток данных со скоростью 128 kBPS, слишком высокой для непосредственной передачи. DSP-процессор на передающем конце использует LPC-алгоритм для того, чтобы разбить передаваемый сигнал на набор коэффициентов фильтра и сигнал возбуждения. Такое кодирование проводится в интервал сигнала 20 мс, который считается оптимальной для большинства голосовых приложений. Реальная скорость передачи данных составляет всего 2,4 kBPS, что соответствует коэффициенту сжатия 53,3. Принимающий DSP-процессор использует LPC-модель для восстановления речи из принятых коэффициентов фильтра и сигнала возбуждения. В результате выходные данные поступают со скоростью 128 kBPS на 16-разрядный ЦАП для окончательного восстановления голосового сигнала.

КОМПАНДЕР РЕЧИ НА ОСНОВЕ ЛИНЕЙНОГО КОДИРОВАНИЯ С ПРЕДСКАЗАНИЕМ

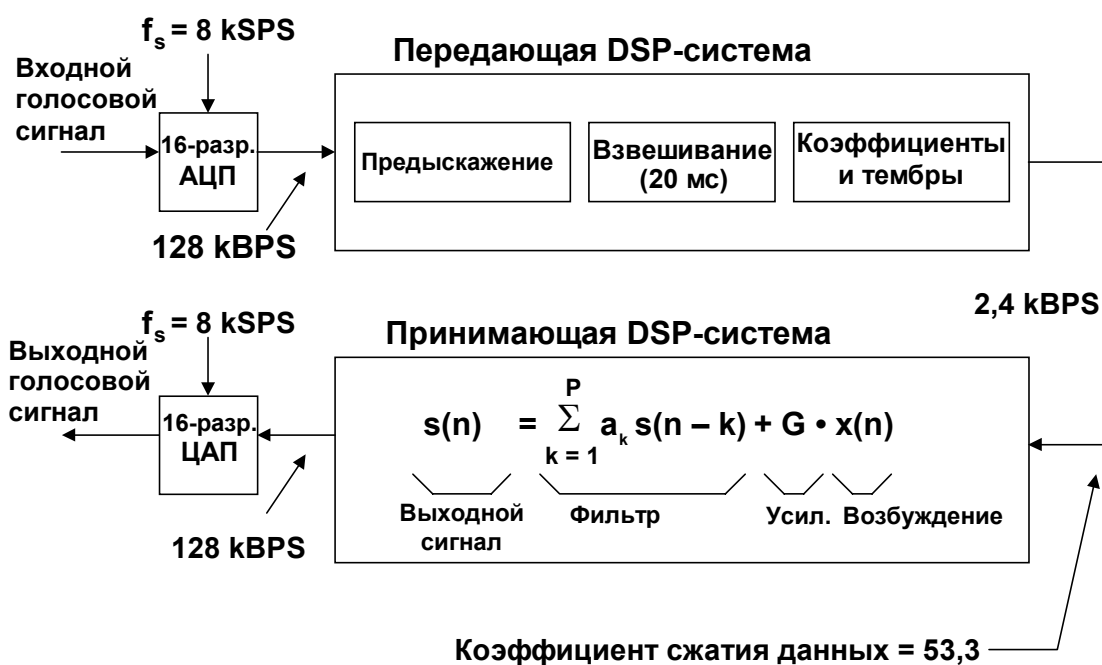


Рис. 6.48

Цифровые фильтры, используемые в приложениях линейного кодирования речи с предсказанием, могут быть либо КИХ-, либо БИХ-фильтрами, хотя БИХ-фильтры без нулей частотной характеристики используются наиболее широко. И КИХ- и БИХ-фильтры могут быть реализованы в виде лестничной структур, как показано на рис.6.49 для рекурсивного фильтра без нулей частотной характеристики. Данная структура может быть выведена из традиционной структуры БИХ-фильтра, но преимущество лестничного фильтра состоит в том, что его коэффициенты более связаны с результатами работы алгоритмов, которые используют модель голосового тракта, показанную на рис.6.47, чем коэффициенты эквивалентного БИХ-фильтра.

Параметры модели лестничного фильтра без нулей частотной характеристики определяются линейной экстраполяцией голосовых отсчетов, как показано на рис.6.50. Вследствие нестационарного характера голосовых сигналов, эта модель применяется только к коротким сегментам (обычно 20 мс). Новый набор параметров обычно

а

определяется для каждого временного сегмента, если между сегментами нет разрывов, которые принудительно сглаживают данные.

РЕШЕТЧАТЫЙ ФИЛЬТР БЕЗ НУЛЕЙ ЧАСТОТНОЙ ХАРАКТЕРИСТИКИ

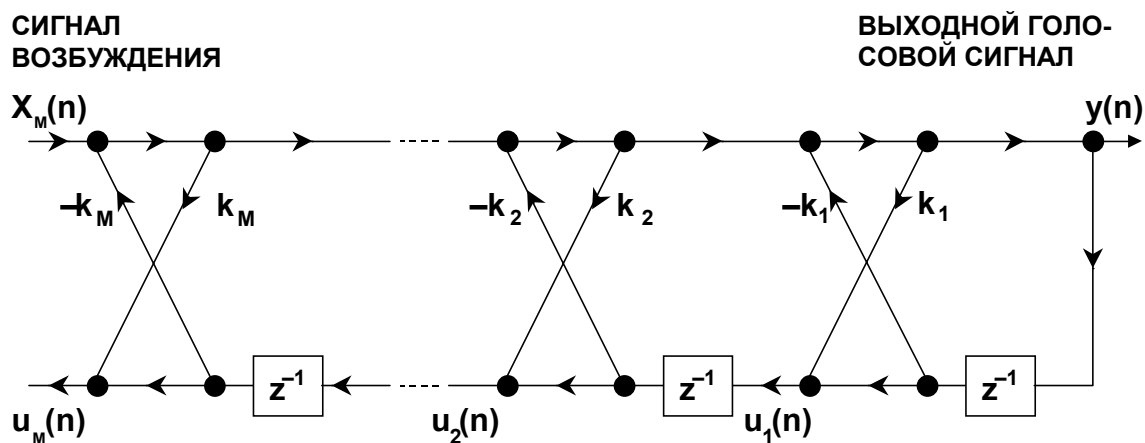


Рис. 6.49

ОЦЕНИВАНИЕ КОЭФИЦИЕНТОВ ЛЕСТНИЧНОГО ФИЛЬТРА В ПЕРЕДАЮЩЕЙ DSP-СИСТЕМЕ

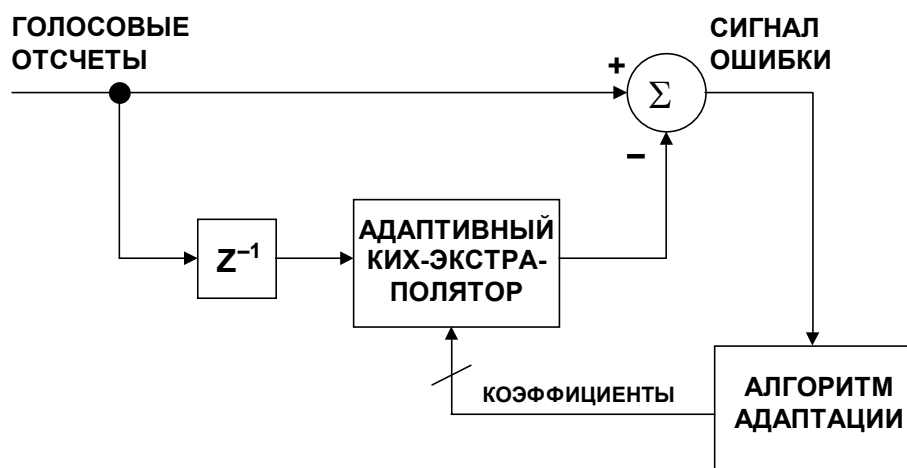


Рис. 6.50

a

СПИСОК ЛИТЕРАТУРЫ

1. Steven W. Smith, **The Scientist and Engineer's Guide to Digital Signal Processing**, Second Edition, 1999, California Technical Publishing, P.O. Box 502407, San Diego, CA 92150. Also available for free download at: <http://www.dspguide.com> or <http://www.analog.com>
2. C. Britton Rorabaugh, **DSP Primer**, McGraw-Hill, 1999.
3. Richard J. Higgins, **Digital Signal Processing in VLSI**, Prentice-Hall, 1990.
4. A. V. Oppenheim and R. W. Schaffer, **Digital Signal Processing**, Prentice-Hall, 1975.
5. L. R. Rabiner and B. Gold, **Theory and Application of Digital Signal Processing**, Prentice-Hall, 1975.
6. John G. Proakis and Dimitris G. Manolakis, **Introduction to Digital Signal Processing**, MacMillan, 1988.
7. J.H. McClellan, T.W. Parks, and L.R. Rabiner, *A Computer Program for Designing Optimum FIR Linear Phase Digital Filters*, **IEEE Transactions on Audio and Electroacoustics**, Vol. AU-21, No. 6, December, 1973.
8. Fredrick J. Harris, *On the Use of Windows for Harmonic Analysis with the Discrete Fourier Transform*, **Proc. IEEE**, Vol. 66, No. 1, 1978 pp. 51-83.
9. Momentum Data Systems, Inc., 17330 Brookhurst St., Suite 140, Fountain Valley, CA 92708, <http://www.mds.com>
10. **Digital Signal Processing Applications Using the ADSP-2100 Family**, Vol. 1 and Vol. 2, Analog Devices, Free Download at: <http://www.analog.com>
11. **ADSP-21000 Family Application Handbook**, Vol. 1, Analog Devices, Free Download at: <http://www.analog.com>
12. B. Widrow and S.D. Stearns, **Adaptive Signal Processing**, Prentice-Hall, 1985.
13. S. Haykin, **Adaptive Filter Theory**, 3rd Edition, Prentice-Hall, 1996.
14. Michael L. Honig and David G. Messerschmitt, **Adaptive Filters - Structures, Algorithms, and Applications**, Kluwer Academic Publishers, Hingham, MA 1984.
15. J.D. Markel and A.H. Gray, Jr., **Linear Prediction of Speech**, Springer-Verlag, New York, NY, 1976.
16. L.R. Rabiner and R.W. Schaffer, **Digital Processing of Speech Signals**, Prentice-Hall, 1978.

ГЛАВА 7

АППАРАТУРА ЦИФРОВЫХ СИГНАЛЬНЫХ ПРОЦЕССОРОВ

- Микроконтроллеры, микропроцессоры и цифровые сигнальные процессоры (DSP)
- Требования, предъявляемые к цифровым сигнальным процессорам
- Архитектура ядра 16-разрядных DSP с фиксированной точкой семейства ADSP-21xx
- Сравнение DSP с фиксированной точкой и DSP с плавающей точкой
- DSP с плавающей точкой SHARC® компании Analog Devices
- DSP ADSP-2116x с архитектурой типа SIMD (одна инструкция, много данных)
- Архитектура процессора ADSP-TS001 семейства TigerSHARC™ – статический суперскалярный цифровой сигнальный процессор
- Тесты на производительность для цифровых сигнальных процессоров
- Средства для оценки возможностей цифровых сигнальных процессоров; средства для отладки и проектирования

ГЛАВА 7

АППАРАТУРА ЦИФРОВЫХ СИГНАЛЬНЫХ ПРОЦЕССОРОВ

Дан Кинг, Грег Гирлинг, Кен Воурин, Ноам Левин, Джесс Моррис, Уолт Кестер

МИКРОКОНТРОЛЛЕРЫ, МИКРОПРОЦЕССОРЫ И ЦИФРОВЫЕ ПРОЦЕССОРЫ ОБРАБОТКИ СИГНАЛОВ (DSP)

Традиционные компьютеры особенно хороши для применения в двух областях деятельности: (1) манипуляция данными, например, подготовка текстов и управление базами данных; и (2) математические вычисления, используемые в науке, технике и цифровой обработке сигналов. Однако, большинство компьютеров не могут одинаково хорошо работать в обеих сферах. В компьютерных приложениях, таких как, например, подготовка текстов, данные запоминаются, сортируются, сравниваются, перемещаются и т.д., и время на выполнение этих операций не имеет большого значения до тех пор, пока оно удовлетворяет конечного пользователя. В приложениях, работающих с базами данных, периодически возникает необходимость реализации математических операций, но скорость их выполнения не является главным фактором. В большинстве случаев при проектировании приложений общего назначения компании производители не концентрируют внимания на создании более эффективных программ. Прикладные программы оказываются перегруженными различными дополнительными возможностями, для каждого обновления которых требуется все больше памяти и нужны все более быстрые процессоры.

ОСНОВНЫЕ ОБЛАСТИ ПРИМЕНЕНИЯ КОМПЬЮТЕРОВ

РАБОТА С ДАННЫМИ

- Работа с текстом
- Управление базами данных
- Электронные таблицы
- Операционные системы

- Пересылка данных (A→B)
- Сравнение величин (Если A = B, то...)

- Время исполнения не критично, заранее не нормируется

МАТЕМАТИЧЕСКИЕ ВЫЧИСЛЕНИЯ

- Цифровая обработка сигналов
- Управление двигателями
- Техническое моделирование
- Обработка сигналов в реальном времени

- Сложение ($C = A + B$)
- Умножение ($C = A \times B$)

- Время исполнения критично, нормируется заранее

Рис. 7.1

а

С другой стороны, для цифровой обработки сигналов важно, чтобы математические операции выполнялись быстро, и время, требуемое на выполнение команд, должно быть известно точно и заранее. Для этого и программа, и аппаратура должны быть очень эффективными. Как было показано в последних двух главах этой книги, наиболее важной математической операцией и ядром всех алгоритмов цифровой обработки сигналов является умножение с последующим суммированием (эта операция обозначена точкой на всех схемах алгоритмов в предыдущих главах). Быстрое выполнение операции умножения с последующим суммированием очень важно для реализации быстрого преобразования Фурье, цифровых фильтров реального времени, умножения матриц, манипуляции с графическими изображениями и т.д.

Проведенное предварительное обсуждение требований, предъявляемых к цифровым сигнальным процессорам, важно для понимания различий между *микроконтроллерами*, *микропроцессорами* и *цифровыми сигнальными процессорами*. Хотя микроконтроллеры при использовании в промышленных устройствах управления процессами могут выполнять такие функции как умножение, сложение, деление, они лучше подходят для приложений, где возможности процессора по реализации ввода-вывода и управления важнее, чем скорость. Микроконтроллеры, например семейства 8051, обычно содержат ЦПУ, ПЗУ, ОЗУ, последовательный и параллельный интерфейсы, счетчики и схемы прерываний. Микроконвертеры MicroConverter™ компании Analog Devices содержат не только ядро, построенное по архитектуре 8051, но также высококачественные ЦАП, АЦП и блок энергонезависимой памяти, реализованной по технологии FLASH.

МИКРОКОНТРОЛЛЕРЫ, МИКРОПРОЦЕССОРЫ И ЦИФРОВЫЕ СИГНАЛЬНЫЕ ПРОЦЕССОРЫ

- **Микроконтроллеры:**
 - ◆ ЦПУ, ОЗУ, ПЗУ, последовательный/параллельный интерфейс, таймер, схемы прерываний
 - ◆ Хорошо подходят как для тостеров, так и для управления промышленными процессами
 - ◆ Скорость не является главным требованием
 - ◆ Компактная система команд
 - ◆ Примеры: 8051, 68HC11, PIC
- **Микропроцессоры:**
 - ◆ На одном кристалле находится только ЦПУ – требуются дополнительные внешние устройства
 - ◆ Процессоры с упрощенной системой команд (RISC)
 - ◆ Процессоры со сложной системой команд (CISC)
 - ◆ Примеры: серия Pentium, PowerPC, MIPS
- **Цифровые Сигнальные Процессоры (DSP):**
 - ◆ ОЗУ, ПЗУ, последовательный/параллельный интерфейсы, схема обработки прерываний
 - ◆ ЦПУ оптимизировано для многократно повторяющихся математических операций в реальном масштабе времени
 - ◆ Примеры: ADSP-21xx, ADSP-21K

Рис. 7.2

а

Микропроцессоры, такие как Pentium компании Intel, обычно представляют собой ЦПУ, выполненное на одном кристалле, которому требуются дополнительные микросхемы для выполнения всех вычислительных функций. Система команд микропроцессора может быть как усложненной (типа CISC), так и редуцированной (типа RISC). В усложненную систему команд (архитектура CISC) входят команды для выполнения основных операций процессора, а также отдельные сильно специализированные команды (например, для вычисления полиномов высоких степеней). Но за выполнение сложных команд на процессоре, построенном по архитектуре CISC, приходится платить: многие команды реализованы в нем в микрокоде и требуют для своего выполнения нескольких машинных циклов и места на кристалле для хранения кода микропрограммы.

Напротив, в редуцированном наборе команд (RISC-архитектура) учитывается тот факт, что в большинстве программ основные команды, такие как ЗАГРУЗКА и СОХРАНЕНИЕ В ПАМЯТИ с простыми режимами адресации, используются гораздо чаще, чем сложные команды, и должны исполняться более эффективно. Эти простые команды реализованы в ЦПУ аппаратно для выполнения за один машинный цикл, благодаря чему уменьшаются затрачиваемое время работы и сложность ЦПУ.

Хотя RISC-архитектура имеет значительные преимущества при реализации вычислительных систем общего назначения, она недостаточно хорошо приспособлена к нуждам цифровой обработки сигналов. Например, большинство RISC процессоров не поддерживает реализацию операции умножения за один машинный цикл, которая является очень распространенной и часто используемой операцией при цифровой обработке сигналов. DSP-процессор оптимизирован для реализации таких инструкций со скоростью, достаточной для цифровой обработки сигналов в реальном масштабе времени, выполняя арифметические операции и накопление результата за один машинный цикл.

ТРЕБОВАНИЯ, ПРЕДЪЯВЛЯЕМЫЕ К ЦИФРОВЫМ ПРОЦЕССОРАМ ОБРАБОТКИ СИГНАЛОВ

Наиболее важная операция в цифровой обработке сигналов представлена на рис. 7.3: суммирование результатов умножения (операция, отмеченная точкой на диаграммах). Данная операция одинаково важна для цифровых фильтров, БПФ и для множества других алгоритмов цифровой обработки сигналов. Цифровой сигнальный процессор (DSP) оптимизирован для осуществления повторяющихся математических операций, таких как умножение с накоплением. Пять основных требований предъявляется к DSP, чтобы оптимизировать производительность процессора: *быстрое выполнение арифметических операций, повышенная точность представления операндов, возможность одновременной выборки двух операндов, поддержка циклических буферов, организация циклов с автоматической проверкой условия завершения цикла.*

а

НАИБОЛЕЕ ВАЖНАЯ МАТЕМАТИЧЕСКАЯ ОПЕРАЦИЯ В DSP: СУММА ПРОИЗВЕДЕНИЙ

$$y(n) = h(0) \cdot x(n) + h(1) \cdot x(n-1) + \dots + h(N-1) \cdot x(n-N)$$

- **Пример: цифровая фильтрация**
 - ◆ Многократное умножение значений входных отсчетов на коэффициенты фильтра (или на поворотные множители при БПФ)
 - ◆ Накопление результатов умножения в регистре-аккумуляторе
 - ◆ Повторение этих действий N раз
- **Требования, предъявляемые к DSP:**
 - ◆ Быстрое выполнения умножения с накоплением
 - ◆ Высокая точность представления результата (в аккумуляторе)
 - ◆ Одновременная выборка двух операндов
 - ◆ Наличие циклических буферов
 - ◆ Реализация циклов с автоматической проверкой условий
- **При использовании ядра ADSP-21xx за один цикл возможно осуществить:**
 - ◆ Выборку значения отсчета из памяти данных
 - ◆ Выборку значения коэффициента из памяти программ
 - ◆ Выполнить умножение с накоплением

Рис. 7.3

БЫСТРОЕ ВЫПОЛНЕНИЕ АРИФМЕТИЧЕСКИХ ОПЕРАЦИЙ

Быстрое выполнение арифметических действий – наиболее простое для понимания требование. Так как возможность реализации цифровой обработки сигналов в реальном масштабе времени зависит от производительности процессора, быстрота выполнения операций умножения с накоплением является главным требованием; большая скорость выполнения данной операции означает возможность обработки большей полосы частот. Но необходимо помнить, что эффективность DSP определяется не только временем выполнения операции умножения с накоплением. Этот часто забываемый факт приводит к неадекватному подходу в оценке производительности процессора, когда скорость работы процессора оценивается количеством операций, выполняемых процессором за единицу времени (в MIPS – миллионах операций в секунду). Так как большинство DSP и других процессоров, имеющих сходную архитектуру, могут выполнять за один машинный цикл команду MAC (умножение с накоплением), для большинства процессоров при оценке производительности в MIPS подразумевается производительность процессора при выполнении команды умножения с накоплением (MAC). Эта величина не учитывает другие свойства процессора, которые на практике могут повлиять на его общую производительность. Если остальные четыре критерия производительности окажутся неудовлетворительными, то высокая производительность процессора при выполнении MAC мало что даст.

В дополнение к требованиям по быстрому выполнению арифметических действий, DSP должен эффективно выполнять другие математические функции общего назначения и должен иметь соответствующее арифметико-логическое устройство (АЛУ) и возможность программировать операции сдвига для манипуляции с битами.

а

ПОВЫШЕННАЯ ТОЧНОСТЬ

Кроме очевидной необходимости быстрого выполнению операции умножения со сложением (MAC), от DSP требуется высокая точность представления результата в регистре-аккумуляторе. Например, когда перемножаются два 16-битных слова, результат представляется 32-битным словом. Ядро процессоров компании Analog Devices семейства ADSP-21xx с фиксированной точкой имеет встроенный 40-битный аккумулятор, который обеспечивает большой запас суммирования без переполнения. Хотя использование DSP с плавающей точкой автоматически устраняет большинство проблем, связанных с точностью и переполнением, процессоры с фиксированной точкой остаются очень популярными для многих приложений, и поэтому при их использовании нужно обращать достаточное внимание на возможное переполнение, потерю результатов (выход результата операции за пределы разрядной сетки) и масштабирование операндов.

ОДНОВРЕМЕННАЯ ВЫБОРКА ДВУХ ОПЕРАНДОВ

Независимо от типа используемого микропроцессора, ограничения в его работе в основном связаны с пропускной способностью шины. В случае микропроцессоров общего назначения или микроконтроллеров, программа в основном состоит из команд, подразумевающих однократное обращение к памяти, обычно адресуемых при помощи сдвига относительно базового адреса. Это заставляет разработчиков микропроцессоров так проектировать систему команд, чтобы фиксированные данные встраивались в код, поскольку такой тип получения операндов является быстрым и эффективным с точки зрения использования памяти. С другой стороны, в DSP преобладают команды, требующие двух независимых обращений к памяти. Данное требование вытекает из самой сути операции свертки (перемножение с суммированием) $\sum h(i) \cdot x(i)$. Целью быстрой одновременной выборки двух операндов является необходимость непрерывной загрузки накапливающего умножителя (MAC). При описании MAC мы видели, что быстродействие DSP в основном определяется скоростью MAC. Если мы считаем, что MAC выполняется за приемлемое время, то очевидно, что для каждой операции требуется с той же скоростью подавать на MAC два операнда. Увеличение времени выборки операндов из памяти соответствующим образом отразится на скорости работы MAC. В идеале обращение происходит одновременно с выполнением операции в MAC в одном и том же машинном цикле.

Одновременная выборка двух операндов в DSP осуществляется по двум независимым шинам: шине данных памяти программ и шине данных памяти данных. Кроме того, имеются отдельные шина адреса памяти программ и шина адреса памяти данных. Таким образом, MAC может получать входные данные по каждой шине данных одновременно. Такая архитектура обычно называется гарвардской.

ЦИКЛИЧЕСКИЕ БУФЕРЫ

Если мы более внимательно исследуем самую распространенную при цифровой обработке сигналов операцию, то преимущества использования циклических буферов в DSP станут очевидными. Возьмем для примера фильтр с конечной импульсной характеристикой (КИХ). Во-первых, набор коэффициентов КИХ-фильтра по своей природе имеет периодический характер. Во-вторых, при каждом вычислении значения отсчета выходного сигнала КИХ-фильтр использует новый отсчет входного сигнала и отбрасывает самый старый отсчет.

При последовательных вычислениях произведений коэффициентов КИХ фильтра на отсчеты сигнала доступ к N коэффициентам фильтра осуществляется последовательно от $h(0)$ до $h(N-1)$. Набор отсчетов входного сигнала циркулирует в памяти следующим

а

образом: новый отсчет входного сигнала сохраняется в памяти вместо старого отсчета всякий раз, когда вычисляется выходное значение фильтра. Для такого циркулирующего буфера может использоваться фиксированная область в ОЗУ. Самое раннее значение в памяти заменяется новым после каждого вычисления операции свертки. При этом информация об N последних отсчетах сохраняется в ОЗУ.

В виде буфера в ОЗУ DSP-процессора может быть реализована задержка, если новые значения записываются в память на место старых. Для упрощения адресации памяти старые значения считываются из памяти, начиная со значения, расположенного сразу после того, которое было только что записано. Например, в КИХ-фильтре с четырьмя коэффициентами новый отсчет $x(4)$ записывается в ячейку памяти с адресом 0. Далее чтение данных осуществляется из ячеек с адресами 1, 2, 3 и 0 в указанном порядке. Этот способ применяется при любом числе звеньев фильтра. При такой адресации ячеек памяти генератор адреса должен выдавать лишь последовательные значения адресов, вне зависимости от того, какая операция с памятью – чтение или запись – осуществляется в настоящий момент. Буфер такого типа называется циклическим, потому что когда при записи достигается последняя ячейка, указатель памяти устанавливается на начало буфера.

Выборка коэффициентов из памяти осуществляется одновременно с выборкой данных. При рассмотренной схеме адресации самые старые отсчеты извлекаются из памяти первыми. Поэтому последний из коэффициентов должен выбираться из памяти первым. Коэффициенты могут заноситься в памяти в обратном порядке: $h(N-1)$ – в первую ячейку, а $h(0)$ – в последнюю, и генератор адреса в этом случае должен генерировать последовательно возрастающие адреса. И наоборот, коэффициенты могут быть записаны в памяти в нормальном порядке, но доступ к ним при этом должен осуществляться, начиная с конца буфера, а генератор адреса должен генерировать последовательно убывающие адреса.

Описанные выше механизмы позволяют реализовать задержку, требуемую при реализации КИХ-фильтра, без каких-либо дополнительных затрат процессорного времени. Использование циклических буферов является специфическим для цифровой обработки сигналов и для достижения максимальной эффективности циклические буферы должны поддерживаться аппаратно. Аппаратная реализация циклических буферов позволяет установить параметры буфера (такие как адрес начала буфера, длина и т.д.) в программе вне тела цикла, непосредственно вычисляющего алгоритм. Это позволяет избежать включения дополнительных команд в тело цикла. Отсутствие аппаратной реализации циклических буферов может существенным образом ухудшить возможности DSP-процессора по реализации алгоритмов цифровой обработки сигналов.

ОРГАНИЗАЦИЯ ЦИКЛОВ С АВТОМАТИЧЕСКОЙ ПРОВЕРКОЙ УСЛОВИЙ

Необходимость поддержки циклов с автоматической проверкой условий завершения вызвана циклическим характером алгоритмов ЦОС. Функция умножения с накоплением и выборка данных повторяются N раз при каждом вычислении типового алгоритма. В традиционных микропроцессорах организация цикла предполагает наличие в заголовке цикла команд для проверки условия окончания цикла. Архитектура DSP-процессоров компании Analog Devices обеспечивает аппаратную поддержку программных циклов без необходимости программной проверки условия продолжения или завершения в теле цикла. Для типичной DSP-архитектуры различие в производительности при аппаратной поддержке цикла с автоматической проверкой условия завершения и при программной проверке условия завершения цикла может превышать 20% времени выполнения цикла.

а

ВЫВОДЫ

Любой процессор может выполнить любой алгоритм при наличии достаточного времени. Однако DSP процессоры оптимизированы под конкретные вычисления, связанные с обработкой реальных сигналов в реальном масштабе времени. Традиционные компьютеры больше подходят для вычислительных задач, не связанных с реальным временем. В следующем разделе мы исследуем архитектуру 16-разрядного цифрового сигнального процессора с фиксированной точкой семейства ADSP-21xx компании Analog Devices.

ЯДРО 16-РАЗРЯДНЫХ DSP С ФИКСИРОВАННОЙ ТОЧКОЙ СЕМЕЙСТВА ADSP-21XX

В традиционных микропроцессорах используется архитектура Фон Неймана (названную так в честь американского математика Джона Фон Неймана), показанная на рис. 7.4, А. Эта архитектура состоит из единого блока памяти, в котором хранятся и команды, и данные, и общей шины для передачи данных и команд в ЦПУ и от него. При такой архитектуре перемножение двух чисел требует по меньшей мере трех циклов: двух циклов для передачи двух чисел в ЦПУ, и одного – для передачи команды. Данная архитектура приемлема в том случае, когда все действия могут выполняться последовательно. По сути говоря, в большинстве компьютеров общего назначения используется сегодня такая архитектура.

МИКРОПРОЦЕССОРНЫЕ АРХИТЕКТУРЫ

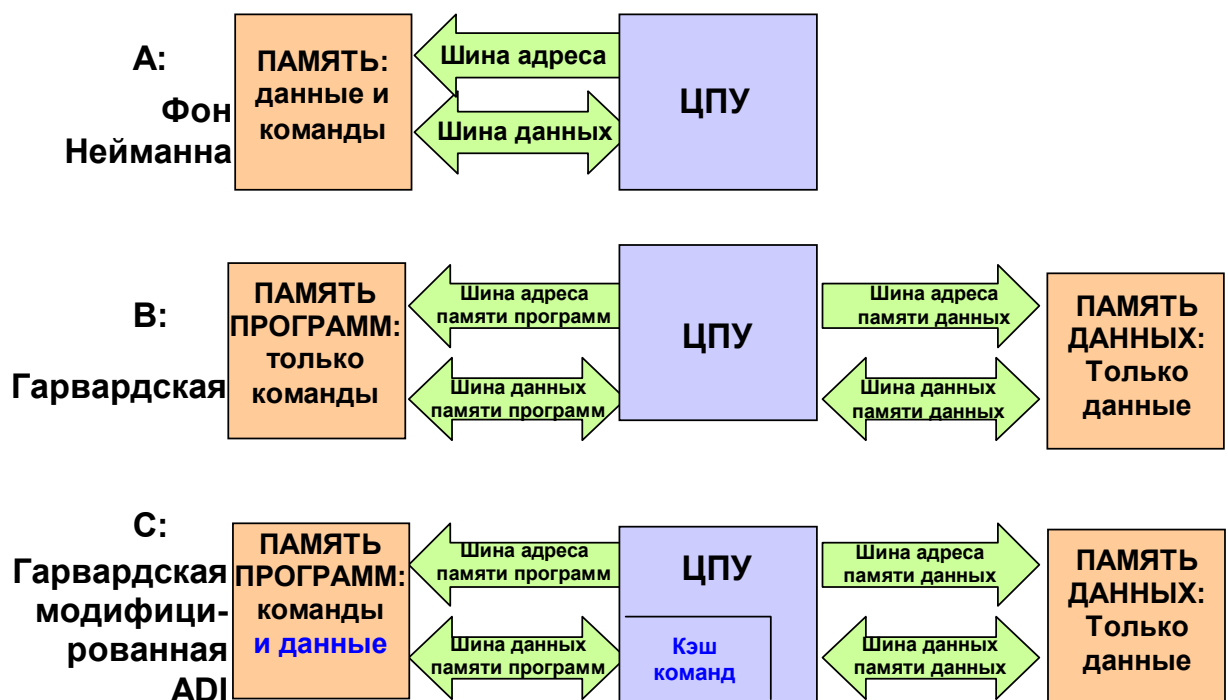


Рис. 7.4

Однако для быстрой обработки сигналов больше подходит гарвардская архитектура, показанная на рис. 7.4, В. Данная архитектура получила свое название в связи с работами, проведенными в Гарвардском университете под руководством Ховарда Айкена. Данные и код программы хранятся в различных блоках памяти и доступ к ним осуществляется через

а

разные шины, как показано на схеме. Т.к. шины работают независимо, выборка команд программы и данных может осуществляться одновременно, повышая таким образом скорость по сравнению со случаем использования одной шины в архитектуре Фон Неймана. При выполнении умножения с последующим суммированием в КИХ-фильтре за один цикл происходит выборка команды из памяти программ и коэффициента из памяти данных. Второй цикл требуется для выбора слова данных из памяти данных.

На рис.7.4, С представлена модифицированная гарвардская архитектура, используемая компанией Analog Devices Inc., где *и команды, и данные могут храниться в памяти программ*. Например, в случае с цифровым фильтром коэффициенты могут храниться в памяти программ, а значения данных – в памяти данных. Поэтому коэффициент и значение данных могут выбираться в одном машинном цикле. Помимо выборки коэффициента из памяти программ и значения отсчета из памяти данных, естественно, должна быть выбрана команда из памяти программ. Цифровые сигнальные процессоры компании Analog Devices решают эту задачу двумя способами. В первом случае к памяти программ обращаются дважды за время цикла. Этот метод использует процессоры семейства ADSP-218х. Во втором случае используется кэш-память программ. В алгоритмах, требующих одновременной выборки двух операндов, программист один массив помещает в память программ, а другой – в память данных. Когда процессор в первый раз выполняет команду, требующую двойного обращения к памяти программ, используется один дополнительный машинный цикл, т.к. необходимо выбрать и команду, и коэффициент с помощью шины данных памяти программ. Однако когда возникает такая проблема, процессор помещает команду в кэш, и в следующий раз, когда требуется эта команда, секвенсер программ извлекает ее из кэш-памяти, в то время как коэффициент поступает по шине данных памяти программ. Кэш программ используется как в семействе процессоров ADSP-219х компании Analog Devices, так и в процессорах семейства SHARC.

ПРИМЕР РЕАЛИЗАЦИИ ЦИФРОВОГО ФИЛЬТРА

После того, как мы представили основные принципы архитектуры процессоров семейства ADSP-21xx, проиллюстрируем простоту ее программирования на примере обычного КИХ-фильтра. Псевдокод программы проектируемого КИХ-фильтра показан на рис. 7.5. Цифровые сигнальные процессоры компании Analog Devices *выполняют все операции, связанные с реализацией звена фильтра, за один цикл*, что существенно повышает эффективность реализации фильтра. Для выполнения цикла не требуется дополнительных команд по проверке условия завершения цикла. Это называется *циклом с автоматической проверкой условия завершения цикла (zero-overhead looping)*. Программа реализации КИХ-фильтра, написанная на языке ассемблера для семейства процессоров ADSP-21xx с фиксированной точкой показана на рис. 7.6. Стрелками отмечены непосредственно исполняемые команды (7 строк), остальная часть текста – дополнительные комментарии, введенные для ясности. Первая команда (на которой стоит метка `fir:`) инициализирует вычисления, очищая регистр MR и загружая первый элемент данных и значение коэффициента из памяти данных и памяти программ соответственно в регистры MX0 и MY0. Затем N-1 раз в N-1 циклах производится умножение с накоплением и автоматической проверкой условия завершения цикла для вычисления суммы первых N-1 произведений. Последняя команда умножения с накоплением производится с округлением с точностью до 24 старших разрядов регистра MR. Далее регистру MR1 может быть присвоено либо максимально возможное положительное, либо максимально возможное отрицательное значение в пределах разрядной сетки в зависимости от состояния флага переполнения, содержащегося в регистре MV. Таким образом, результат накапливается с точностью, соответствующей 40 разрядам регистра MR, при этом

а

насыщение возникает, если только конечный результат вызывает переполнение младших 32 разрядов регистра MR.

ПСЕВДОКОД ДЛЯ ПРОГРАММЫ КИХ-ФИЛЬТРА С ИСПОЛЬЗОВАНИЕМ DSP С ЦИКЛИЧЕСКИМ БУФЕРОМ

1. Получить значение от АЦП (обычно по прерыванию)
2. Поместить значение в циклический буфер отсчетов входного сигнала
3. Обновить указатель циклического буфера входного сигнала
4. Обнулить аккумулятор
5. Выполнить фильтрацию (один проход цикла для каждого коэффициента)
 6. Получить коэффициент из циклического буфера коэффициентов
 7. Обновить указатель циклического буфера коэффициентов
 8. Получить значение отсчета из циклического буфера отсчетов входного сигнала
 9. Обновить указатель циклического буфера отсчетов входного сигнала
 10. Умножить коэффициент на значение отсчета
 11. Результат сложить с результатом предыдущих вычислений, хранящимся в аккумуляторе
12. Полученный в результате фильтрации отсчет отправить в ЦАП

Пример кода для ADSPxx:

```
CNTR = N-1;  
DO convolution UNTIL CE;  
convolution:  
MR = MR+MX0*MY0(SS), MX0=DM(I0,M1), MY0=PM(I4,M5)
```

Рис. 7.5

а

ФИЛЬТР С КИХ ПРОГРАММА НА ЯЗЫКЕ АССЕМБЛЕРА ДЛЯ ADSP-21XX (ОДИНАРНАЯ ТОЧНОСТЬ)

```
.MODULE          fir_sub;
{
    FIR Filter Subroutine
    Calling Parameters
        I0 --> Oldest input data value in delay line
        I4 --> Beginning of filter coefficient table
        L0 = Filter length (N)
        L4 = Filter length (N)
        M1,M5 = 1
        CNTR = Filter length - 1 (N-1)
    Return Values
        MR1 = Sum of products (rounded and saturated)
        I0 --> Oldest input data value in delay line
        I4 --> Beginning of filter coefficient table
    Altered Registers
        MX0,MY0,MR
    Computation Time
        (N - 1) + 6 cycles = N + 5 cycles
    All coefficients are assumed to be in 1.15 format. }
.ENTRY          fir;
→ fir:          MR=0, MX0=DM(I0,M1), MY0=PM(I4,M5)
→              CNTR = N-1;
→              DO convolution UNTIL CE;
→ convolution:  MR=MR+MX0*MY0(SS), MX0=DM(I0,M1), MY0=PM(I4,M5);
→              MR=MR+MX0*MY0(RND);
→              IF MV SAT MR;
→              RTS;
.ENDMOD;
```

Рис. 7.6

Архитектура DSP семейства ADSP-21xx (рис.7.7) оптимизирована для цифровой обработки сигнала и других высокоскоростных приложений. Данное семейство DSP включает ядро семейства ADSP-2100 (три вычислительных блока, адресные генераторы, устройство управления выполнением команд), два синхронных последовательных порта, программируемый таймер, развитую систему обработки прерываний, встроенную статическую память программ и данных. Существуют также версии с встроенным ПЗУ.

а

АРХИТЕКТУРА ЯДРА ПРОЦЕССОРА ADSP-21XX

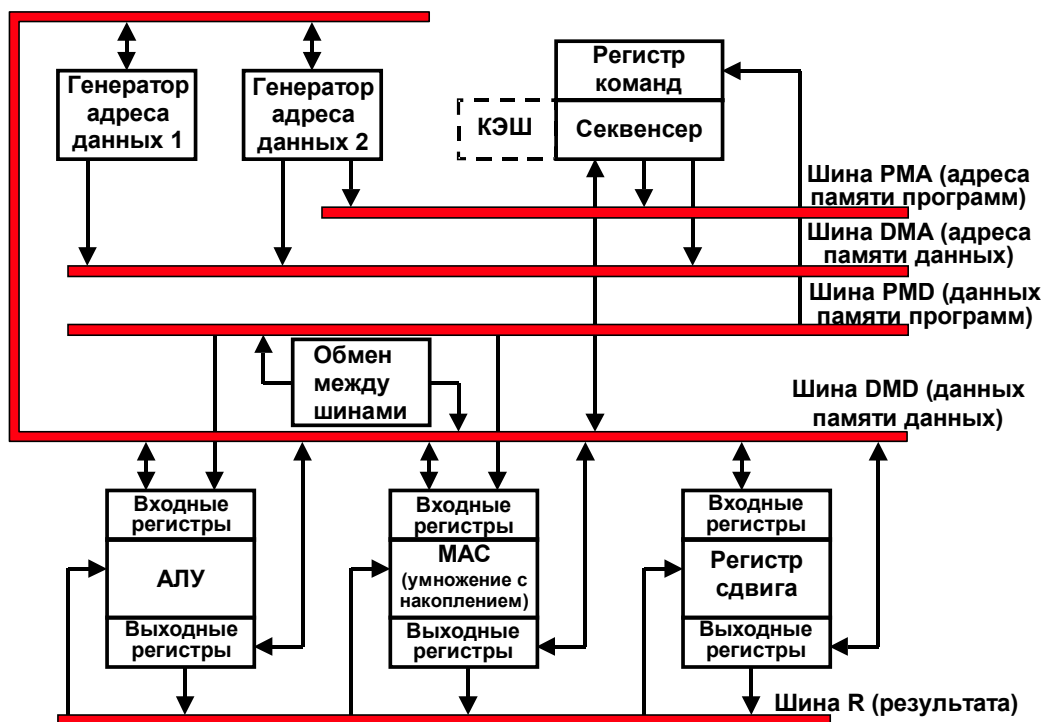


Рис. 7.7

Гибкая архитектура процессоров семейства ADSP-21xx и соответствующий набор команд позволяют достичь высочайшей степени параллелизма при выполнении операций. За один цикл DSP семейства ADSP-21xx может сгенерировать адрес следующей команды программы, выбрать следующую команду, выполнить 1 или 2 перемещения данных, обновить 1 или 2 указателя адреса, выполнить вычислительную операцию, передать или принять данные от двух последовательных портов и обновить регистр таймера.

АРХИТЕКТУРА ЯДРА ПРОЦЕССОРА ADSP-21XX

- Шины
 - ◆ Адреса памяти программ (РМА)
 - ◆ Адреса памяти данных (DMA)
 - ◆ Данных памяти программ (РМА)
 - ◆ Данных памяти данных (РМА)
 - ◆ Результата (R)
- Вычислительные блоки
 - ◆ Арифметико-логическое устройство (ALU)
 - ◆ Умножитель-накопитель (MAC)
 - ◆ Сдвиговый регистр
- Генераторы адресов данных (DAG)
- Секвенсер программы (устройство управления последовательностью выполнения команд)
- Встроенные средства периферии
 - ◆ Память программ в виде ОЗУ (RAM) или ПЗУ (ROM)
 - ◆ ОЗУ памяти данных
 - ◆ Последовательные порты
 - ◆ Таймер
 - ◆ Порт хост-интерфейса
 - ◆ Порт прямого доступа к памяти (DMA)

Рис. 7.8

Шины

Процессоры семейства ADSP-21xx имеют пять внутренних шин для повышения эффективности передачи данных. Шины адреса памяти программы (РМА) и адреса памяти данных (DMA) используются одновременно для адресации в пределах адресных пространств памяти программ и памяти данных. Шины данных памяти программ (РМД) и шина данных памяти данных (DMD) используются для передачи данных из соответствующих областей памяти. При выводе шин на корпус за пределы кристалла они объединяются в одну внешнюю шину адреса и в одну внешнюю шину данных; области памяти выбираются соответствующими сигналами управления. Шина результата (R) используется для пересылки промежуточных результатов напрямую между различными вычислительными блоками.

14-разрядная шина РМА позволяет получить прямой доступ к 16К слов памяти программ. Шина DMD является 16-разрядной. Она обеспечивает доступ к содержимому любого регистра процессора для передачи его в любой другой регистр или любую ячейку памяти данных за один цикл. Адрес памяти данных может поступать от двух источников: абсолютное значение, содержится в коде команды (прямая адресация) или на выходе адресного генератора (косвенная адресация). Для выборки данных из памяти программ используется только косвенная адресация.

Шина данных памяти программы (РМД) может также использоваться для передачи данных между вычислительными блоками напрямую или через блок обмена между шинами РМД-DMD. Блок обмена между шинами РМД-DMD позволяет передавать данные от одной шины к другой. Он содержит технические средства, которые позволяют, когда это необходимо, преодолевать разницу в 8 бит между двумя шинами.

а

В памяти программ могут храниться как команды, так и данные, позволяя DSP семейства ADSP-21xx одновременно осуществлять выборку двух операндов в одном цикле, один из памяти программы, а другой из памяти данных. Команды поступают либо прямо из памяти программ путем осуществления двойного доступа в одном машинном цикле (процессоры серии ADSP-218x), либо из кэш-памяти программ (в процессоре серии ADSP-219x и SHARC).

ВЫЧИСЛИТЕЛЬНЫЕ БЛОКИ (АЛУ, МАС, РЕГИСТР СДВИГА)

Процессор содержит три независимых вычислительных блока: арифметико-логическое устройство (АЛУ), умножитель с накоплением (МАС) и устройство сдвига.

Вычислительные блоки способны обрабатывать 16-разрядные данные и могут поддерживать вычисления с повышенной точностью. АЛУ обладает флагом переноса $C1$, который позволяет поддерживать 32-разрядные арифметические действия.

АЛУ обеспечивает стандартный набор арифметических и логических функций: сложение, вычитание, смену арифметического знака, инкремент, декремент, получение абсолютного значения, логическое И, ИЛИ, ИСКЛЮЧАЮЩЕЕ ИЛИ и инверсию. Также поддерживаются примитивы деления.

ОСОБЕННОСТИ АРИФМЕТИКО-ЛОГИЧЕСКОГО УСТРОЙСТВА (ALU)

- Сложение, вычитание, изменение знака, инкремент, декремент, получение абсолютного значения, логические операции И, ИЛИ, Исключающее ИЛИ, НЕ
- Операции для работы с битами, константами
- Средства для работы с математикой повышенной точности
- Примитивы деления
- Режим насыщения для работы при переполнении
- Вспомогательные регистры для сохранения контекста за один цикл
- Примеры команд:
 - ◆ $IF\ EQ\ AR = AX0 + AY0;$
 - ◆ $AF = MR1\ XOR\ AY1;$
 - ◆ $AR = TGLBIT\ 7\ OF\ AX1;$

Рис. 7.9

МАС способен выполнить за один машинный цикл операцию умножения, умножения/сложения или умножения/вычитания. Он также содержит 40-разрядный аккумулятор, который обеспечивает дополнительные 8 разрядов для накопления результата без потери информации; данное решение допускает возникновение 256-ти переполнений, прежде чем произойдет потеря данных. Специальные команды обеспечивают поддержку блочной плавающей точки, при которой одна экспонента приписывается некоторому набору данных. Для ускорения обработки прерываний в МАС также может использоваться набор вспомогательных регистров. Если после окончания процедуры обработки сигнала установлен флаг MV , это означает, что регистр результата содержит слово, длина которого больше 32 разрядов. В этом случае значение, содержащееся в регистре, может быть заменено максимально или минимально возможной

а

величиной, представимой в пределах 32-хразрядной сетки формате 1.32, в зависимости от природы переполнения.

ОСОБЕННОСТИ УМНОЖИТЕЛЯ-НАКОПИТЕЛЯ (MAC)

- Выполнение умножения, умножения со сложением или умножения с вычитанием за один цикл
- 40-битный аккумулятор для защиты от переполнения (В процессорах семейства 219х имеется второй 40-битный аккумулятор)
- Команда насыщения выполняет обработку ситуации переполнения за один цикл
- Вспомогательные регистры для быстрого переключения контекста
- Примеры команд MAC:
 - ◆ $MR = MX0 * MY0 (US) ;$
 - ◆ $IF MV SAT MR ;$
 - ◆ $MR = MR - AR * MY1 (SS) ;$
 - ◆ $MR = MR + MX1 * MY0 (RND) ;$
 - ◆ $IF LT MR = MX0 * MX0 (UU) ;$

Рис. 7.10

Устройство сдвига производит операции логического и арифметического сдвига, нормализации и денормализации, а также вычисления блочной экспоненты. Устройство может быть использовано для эффективного управления численными форматами, включая представление чисел в формате с плавающей точкой с повышенной точностью.

ОСОБЕННОСТИ РЕГИСТРА СДВИГА

- Нормализация (преобразование из формата с фиксированной точкой в формат с плавающей точкой)
- Денормализация (преобразование из формата с плавающей точкой в формат с фиксированной точкой)
- Арифметические и логические сдвиги
- Поддержка блочной плавающей точки
- Получение экспоненты
- Вспомогательные регистры для быстрого переключения контекста
- Примеры команд регистра сдвига
 - ◆ $SR = ASHIFT SI BY -6 (LO) ;$ {Арифметический сдвиг}
 - ◆ $SR = SR OR LSHIFT SI BY 3 (HI) ;$ {Логический сдвиг}
 - ◆ $SR = NORM MR1 (LO) ;$ {Нормализация}

Рис. 7.11

Вычислительные блоки располагаются параллельно, а не последовательно, так что результат работы любого блока может использоваться как исходное данное для другого блока в следующем машинном цикле. Для обеспечения такой возможности используется шина промежуточных результатов (R).

а

АДРЕСНЫЕ ГЕНЕРАТОРЫ И УСТРОЙСТВО УПРАВЛЕНИЯ ПОСЛЕДОВАТЕЛЬНОСТЬЮ ВЫПОЛНЕНИЯ КОМАНД (СЕКВЕНСЕР)

Два специализированных адресных генератора и мощный секвенсер делают использование вычислительных блоков еще более эффективным. Адресные генераторы (DAG) вычисляют адреса при перемещении данных из памяти в регистры и обратно. Каждый генератор DAG обладает четырьмя регистрами-указателями. Всякий раз, когда указатель используется для адресации данных (косвенная адресация), он модифицируется значением, содержащимся в специализированном регистре-модификаторе. Для реализации автоматической циклической буферизации каждому регистру-указателю приписывается регистр, хранящий длину циклического буфера. При использовании двух независимых адресных генераторов DAG процессор может генерировать одновременно два адреса для обеспечения одновременной выборки двух операндов.

DAG1 может осуществлять адресацию только в памяти данных. DAG2 может осуществлять адресацию и в памяти данных, и в памяти программ. Когда в конфигурационном регистре (MSTAT) установлен соответствующий управляющий бит, адресный генератор DAG1 осуществляет бит-реверсивную адресацию. Бит-реверсивная адресация существенно упрощает реализацию алгоритма БПФ по основанию 2.

ОСОБЕННОСТИ ГЕНЕРАТОРА АДРЕСАЦИИ ДАННЫХ

- Автоматическая модульная адресация и работа с циклическими буферами
- Каждый DAG управляет четырьмя регистрами-указателями
- Поддержка одновременной выборки двух операндов
- Бит-реверсивная адресация (DAG1) для выполнения БПФ
- Вспомогательные регистры для быстрого переключения контекста
- Примеры команд регистра сдвига:
 - ◆ $AX0 = DM(I0, M3);$
 - ◆ $MODIFY(I1, M2);$
 - ◆ $MR = MR + MX0 * MY0, MX0 = DM(I0, M1), MY0 = PM(I4, M4);$

Получение из памяти данных слова данных, расположенного по адресу I0, увеличить указатель на величину M1

Получение из памяти программ слова данных, расположенного по адресу I4, увеличить указатель на величину M4

Рис. 7.12

Программный секвенсер осуществляет вычисление адреса инструкции, выборка которой должна осуществляться по мере исполнения программы. Ключевым компонентом устройства является регистр команд, который хранит информацию о выполняемой в текущее время команде. Регистр команд образует одноуровневый конвейер в потоке обрабатываемых команд. Команды выбираются и загружаются в регистр команд в одном цикле шины процессора и выполняются в следующем цикле, в то время как осуществляется выборка следующей команды. Чтобы уменьшить количество дополнительных циклов, устройство поддерживает выполнение переходов по условию, вызовов подпрограмм и возвращений к выполнению главной программы за один машинный цикл. Используя внутренний счетчик цикла и стек цикла процессор может выполнять программу цикла с автоматической проверкой условия завершения, без

а

дополнительных затрат процессорного времени на организацию цикла. Таким образом, чтобы организовать цикл, команды явного перехода не требуются. Устройство также способно с минимальной задержкой реагировать на прерывания, поступающие от контроллера прерываний. Появление прерывания вызывает переход к определенной ячейке памяти, где хранится подпрограмма обработки прерывания. Короткая подпрограмма обработки прерывания может располагаться непосредственно в таблице векторов прерываний, где для этих целей зарезервировано четыре ячейки памяти. Для выполнения более сложной подпрограммы обработки прерывания приходится осуществлять переход с помощью команды JUMP в область памяти программ, где может быть размещена более длинная программа.

ОСОБЕННОСТИ УСТРОЙСТВА УПРАВЛЕНИЯ ПОСЛЕДОВАТЕЛЬНОСТЬЮ ВЫПОЛНЕНИЯ КОМАНД (СЕКВЕНСЕРА)

- Генерация адреса следующей команды
- Обработка прерываний с минимальной задержкой
- Поддержка аппаратного стека
- Условный переход осуществляется за один машинный цикл
- Поддерживает автоматическую проверку условия завершения цикла

Пример программы для ADSP21xx:

```
CNTR = 10;  
DO endloop UNTIL CE;  
    IO(DACCONTROL) = AX0;  
MR = MR + MX0 * MY0(SS), MX(0) = DM(I0,M1), MY0 = PM(I4,M5);  
endloop:  
    IF MV SET FL1;  
  
IF EQ CALL mysubroutine;
```

Рис. 7.13

ВСТРОЕННЫЕ ПЕРИФЕРИЙНЫЕ УСТРОЙСТВА ПРОЦЕССОРОВ СЕМЕЙСТВА ADSP-21XX

В предыдущих разделах мы обсуждали архитектуру ядра процессоров семейства ADSP-21xx с фиксированной точкой, которая является одинаковой для всех представителей семейства. Следующий раздел посвящен встроенным периферийным устройствам, которые имеют различную конфигурацию и разные возможности в зависимости от конкретного исполнения представителя семейства. Архитектура процессора семейства ADSP-218x показана на рис. 7.14.

а

АРХИТЕКТУРА ПРОЦЕССОРОВ СЕМЕЙСТВА ADSP-218x

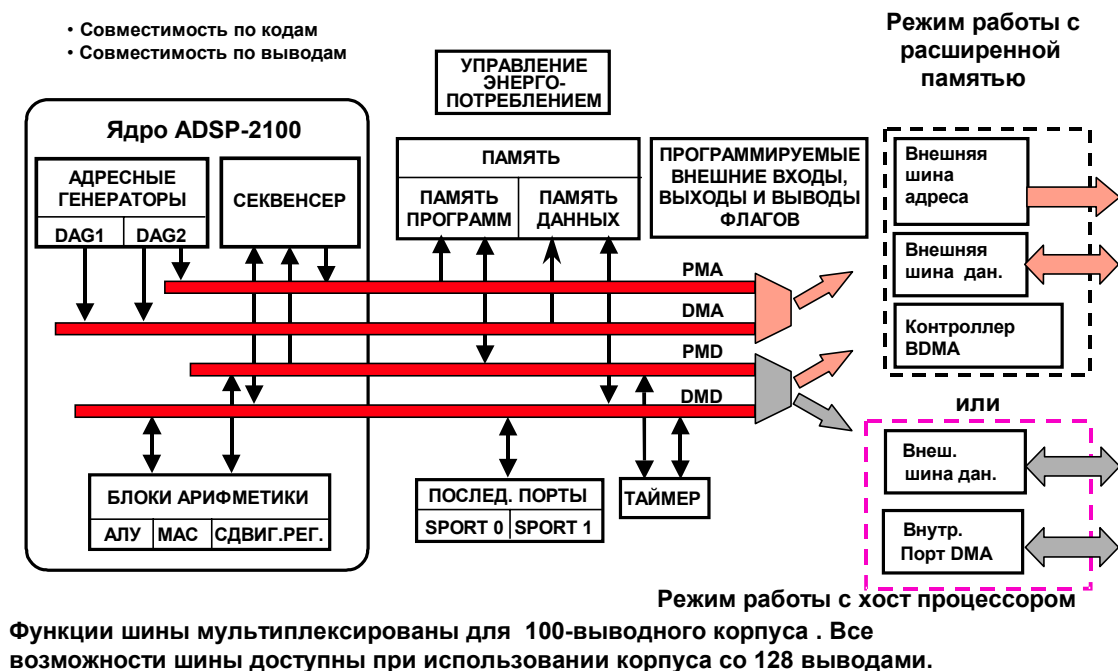


Рис. 7.14

ВСТРОЕННЫЕ СРЕДСТВА ПЕРИФЕРИИ ПРОЦЕССОРА ADSP-21xx: ИНТЕРФЕЙС ПАМЯТИ

- Все представители семейства используют модифицированную гарвардскую архитектуру
 - ♦ Раздельные память программ и память данных
 - ♦ Имеется доступ к данным, хранящимся в памяти программ
- Различные представители семейства имеют различную конфигурацию памяти
- Интерфейс внешней памяти поддерживает как быструю, так и медленную память с возможностью программирования времени ожидания
- Поддерживаются варианты начальной загрузки из 8-битной памяти через порт BDMA и через хост-интерфейс
- Поддерживает отображенную в память периферию
- Встроенные средства арбитража внешней шины (сигналы запроса и предоставления шины)

Рис. 7.15

Семейство 21xx имеет множество различных вариантов процессоров с разным объемом встроенной памяти; в более новом семействе 218x имеются представители, включающие до 48К слов памяти программ и 56К слов памяти данных. Все представители семейства используют модифицированную гарвардскую архитектуру, которая предполагает раздельные адресные пространства памяти программы и памяти данных и позволяет хранить данные в памяти программы. Интерфейс внешней памяти поддерживает как быструю, так и медленную память с программируемыми состояниями ожидания.

а

Процессоры семейства ADSP-218x также поддерживают отдельное адресное пространство портов ввода-вывода.

Все представители семейства 21xx (кроме сигнальных процессоров ADSP-2105) имеют два последовательных порта с двойной буферизацией (SPORT) для приема и передачи последовательных данных. Каждый SPORT является двунаправленным и имеет свой собственный программируемый генератор битовой и фреймовой синхронизации. Длина слова SPORT может изменяться от 3 до 16 разрядов. Данные могут передаваться с использованием фреймовой синхронизации или без нее. Каждый SPORT способен генерировать прерывания и поддерживает логарифмическое сжатие данных по законам А и и.

ВСТРОЕННЫЕ СРЕДСТВА ПЕРИФЕРИИ ПРОЦЕССОРА ADSP-21xx: ПОСЛЕДОВАТЕЛЬНЫЕ ПОРТЫ (SPORTs)

- Последовательные порты в ADSP-21xx используются для синхронной передачи данных
- Обеспечивают полнодуплексную связь
- Полностью программируемые
- Обладают возможностью автобуферирования и прямого доступа в память
- Поддерживают многоканальный режим с временным уплотнением каналов (TDM)
- Имеют встроенную опцию логарифмического сжатия данных с использованием законов А и μ
- Данные могут передаваться со скоростью от 25Мбит/с и более
- Широкий диапазон подключаемых устройств и процессоров с последовательным интерфейсом без дополнительной обвязки
- ЦСП семейства 219x имеют также последовательные порты SPI и UART с возможностью начальной загрузки процессора через них.

Рис. 7.16

IDMA-порт процессоров семейства ADSP-218xx поддерживает возможность начальной загрузки процессора от хост-компьютера и возможность доступа со стороны хост-компьютера во внутреннюю память DSP для чтения и записи "на лету", когда DSP занимается выполнением своей программы. Порт IDMA позволяет главному процессору осуществлять доступ ко всей внутренней памяти DSP без использования почтовых регистров. Порт IDMA поддерживает передачу 16- и 24- разрядных слов, при этом передача 24-разрядных слов происходит за два машинных цикла.

а

ВСТРОЕННЫЕ СРЕДСТВА ПЕРИФЕРИИ ПРОЦЕССОРА ADSP-21xx: ПРЯМОЙ ДОСТУП К ВНУТРЕННЕЙ ПАМЯТИ ПРОЦЕССОРА (IDMA)

- Позволяет внешнему устройству обращаться к внутренней памяти DSP
- Внешнее устройство или процессор DSP может указывать внутренний начальный адрес для обмена данными
- Адрес автоматически инкрементируется для ускорения процесса передачи
- 16-разрядная шина поддерживает передачу данных и команд (семейство 219x поддерживает также 8-разрядную шину)
- Передача осуществляется за один цикл процессора ADSP-21xx
- Возможна начальная загрузка процессора через IDMA порт

Рис. 7.17

Процессоры семейства ADSP-218xx обладают также интерфейсом для взаимодействия с памятью, которая имеет байтовую организацию. Данный интерфейс может использоваться для начальной загрузки процессора и для передачи данных из внутренней памяти и во внутреннюю память "на лету". Максимальный размер адресуемой внешней восьмибитовой памяти составляет 4МВ. Данное адресное пространство играет роль загрузочной области (boot memory), характерной для представителей семейства 21xx. Байтовая память имеет организацию 256 страниц по 16Кх8 бит. Передача данных в байтовую память и из нее может осуществляться с упаковкой или распаковкой 24-разрядного, 16-разрядного и 8-разрядного (с выравниванием по младшему или старшему байту) форматов. При доступе к внутренней памяти DSP контроллер DMA занимает один машинный цикл, во время которого ядро не может осуществлять доступ в память.

а

ВСТРОЕННЫЕ СРЕДСТВА ПЕРИФЕРИИ ПРОЦЕССОРА ADSP-21xx: 8-БИТНЫЙ ПОРТ ПРЯМОГО ДОСТУПА К ПАМЯТИ (VDMA)

- Обеспечивает большой объем памяти для хранения данных и кода программы
- Может обеспечить до 4 МБайт для хранения кода и данных
- Поддерживает различные форматы данных
 - ◆ Автоматическая упаковка/распаковка данных в 16 и 24-битных словах
 - ◆ Передача 8-разрядных данных с выравниванием по старшему или младшему байтам
- Обмен в фоновом режиме со внутренней памятью процессора DSP
 - ◆ Передача слова за один цикл
 - ◆ DSP определяет начальные адреса источника/получателя и количество слов
- Поддерживает начальную загрузку процессора при включении
- Позволяет иметь несколько программных сегментов
 - ◆ DSP может загружать или выгружать сегменты кода (оверлей)
 - ◆ Процессор может работать во время передачи или останавливаться и перезапускаться

Рис. 7.18

Процессоры ADSP-21xx, ADSP-218x и ADSP-21msp5x имеют специальный режим работы с низкой потребляемой мощностью, который позволяет достигнуть потребления меньше 1 мВт. Переход в данный режим может осуществляться аппаратно или программно. Это особенно важно для устройств, работающих от автономных источников питания. В некоторых режимах работы с низкой потребляемой мощностью отключается внутренний тактовый сигнал, но содержимое памяти и регистров при этом сохраняется.

ВСТРОЕННЫЕ СРЕДСТВА ПЕРИФЕРИИ ПРОЦЕССОРА ADSP-21xx: РЕЖИМ ПОНИЖЕННОГО ЭНЕРГОПОТРЕБЛЕНИЯ

- Немаскируемое прерывание
 - ◆ Включается аппаратно (с помощью вывода PWD) или программно
- Переводит процессор в спящий режим
- Небольшое количество циклов тактового сигнала, требуемое для возвращения процессора в нормальный режим
- Имеется сигнал подтверждения входа в режим с малой потребляемой мощностью (PWARDACK)
- Идеален для устройств, работающих от автономных источников питания
- Семейство 219x выполнено по полностью статической КМОП технологии

Рис. 7.19

Из предыдущего обсуждения должно быть ясно, что цифровые сигнальные процессоры ADI разработаны таким образом, что выполнение типичных функций ЦОС, таких как

а

БПФ или цифровая фильтрация, происходит с максимальной эффективностью. Процессоры могут выполнять несколько операций за один цикл, как уже было показано для приведенного выше примера с фильтром. Эффективность DSP обычно оценивается в MIPS (миллионах команд в секунду). Однако, количество MIPS не является исчерпывающей характеристикой процессора. Например, если процессор А имеет скорость выполнения команд 50 MIPS и может производить одну операцию за одну команду, то он сможет выполнять 50 миллионов операций в секунду, развивая производительность 50 MOPS. Теперь представим, что процессор В имеет скорость выполнения команд 20 MIPS, но может выполнять 4 операции за одну команду. Процессор В сможет выполнить 80 миллионов операций в секунду и развить производительность 80 MOPS, что гораздо более эффективно, чем в случае с процессором А. Еще более эффективный способ оценивания работы ЦСП состоит в использовании хорошо зарекомендовавшего себя эталонного тестера, такого как КИХ-фильтр с определенным числом звеньев или БПФ известного размера. Сравнение с эталонами, которые рассматриваются в следующей главе, позволит избежать ошибок, связанных с характеристиками, выраженными в MIPS и MOPS. Но даже применение эталона не позволяет дать правильную оценку при сравнении производительности двух процессоров. Нужно производить глубокий анализ системных требований, архитектуры процессора, требований к наличию памяти и других факторов.

Процессоры семейства ADSP-219x поддерживает программную совместимость с семейством ADSP-218x. Для улучшения производительности и повышения эффективности С-компилятора это семейство должно включать DSP со скоростями в диапазоне от 100 до 300 MIPS и потребляемым током менее 0,4 мА/MIPS. Процессоры данного семейства поддерживают интерфейс JTAG, что приводит к улучшению отладочных свойств семейства. Блок-схема DSP данного семейства показана на рис. 7.20.

АРХИТЕКТУРА ПРОЦЕССОРОВ СЕРИИ ADSP-219x

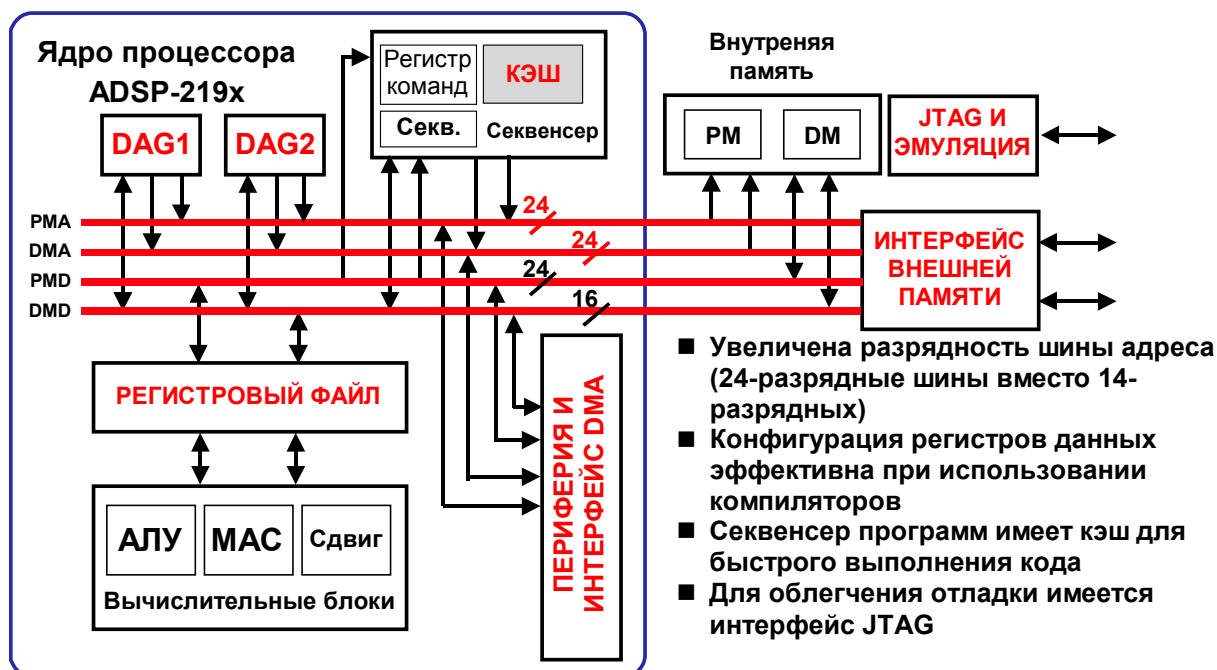


Рис. 7.20

а

По сравнению с процессорами семейства ADSP-218x, имеющими 14-разрядную шину адреса, в семействе ADSP-219x используется 24-разрядная шина адреса, что позволяет осуществлять прямую адресацию в пределах 64К слов или страничную адресацию в пределах 16М слов. Адресный генератор процессоров семейства 219x поддерживает все известные режимы адресации, а также пять новых режимов адресации.

Для повышения эффективности С-компилятора в архитектуру сигнальных процессоров семейства ADSP-219x введен целый ряд существенных улучшений. Используемый универсальный регистровый файл уменьшает риск потери данных при переключении контекста и уменьшает необходимость полагаться на аппаратный стек. Реализованный компилятор поддерживает форматы данных, свойственные DSP (дробный формат и комплексные числа) Кроме того, на кристалле реализована кэш-память программ.

Процессорное ядро семейства ADSP-219x является ключевой технологией компании Analog Devices в области 16-разрядных DSP-процессоров общего назначения и в области встроенных решений. Специальные схемотехнические решения и программное обеспечение разрабатываются непосредственно для заказчика под конкретно заданные требования и характеристики. Для приложений, требующих высокой производительности, будут создаваться процессоры, содержащие несколько ядер на одном кристалле. В будущем предполагается создание семейства, включающего 4 ядра на одном кристалле и обладающего производительностью 1,2 миллиарда MAC в секунду на 1 квадратный дюйм площади кристалла. Проектировщикам, создающим системы, критичные к потребляемой мощности, понравятся рабочие токи процессоров данного семейства, составляющие порядка 0,15мА/MIPS.

ОСНОВНЫЕ ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ ПРОЦЕССОРОВ СЕМЕЙСТВА ADSP-219x

- **Совместимость по кодам**
 - ◆ Совместимость по кодам с процессорами семейства ADSP-218x
 - ◆ Выполнение команд за один цикл, организация автоматической проверки условия завершения цикла, переключение контекста за один цикл
- **Производительность**
 - ◆ Архитектура позволяет достичь производительности выше 300 MIPS
 - ◆ Полностью прозрачная кэш-память команд
- **Возможность создания эффективного компилятора и отладочных средств**
 - ◆ Прямая адресация в пределах 64Кслов и страничная адресация в пределах 16М слов
 - ◆ Адресные генераторы поддерживают 5 новых режимов адресации
 - ◆ Доступ к регистровому файлу как к операнду
 - ◆ Поддержка интерфейса JTAG

Рис. 7.21

История развития семейства 16-разрядных DSP с фиксированной точкой компании Analog Devices показана на рис. 7.22. Обратите внимание на улучшение производительности, геометрических размеров и характеристик по потребляемой мощности при постоянном обеспечении кодовой совместимости различных устройств. Появляющиеся новые семейства имеют напряжения питания 3,3 В (L-серия) и 2,5 В (M-серия), что способствует

а

дальнейшему повышению эффективности использования данных процессоров. Ранние представители семейства помещались в дорогие корпуса типа PGA или PLCC, которые теперь заменяются PQFP и (в последнее время) TQFP толщиной 1,6 мм. Обратите внимание, что в 1998 году поменялась спецификация JEDEC для толщины TQFP, доведя ее до значения 1,0 мм. Корпуса, ранее обозначавшиеся TQFP (1,6 мм толщиной), теперь называются LQFP в соответствии с квалификацией JEDEC.

Корпус мини-BGA со 144 выводами (см. рис. 7.23) представляет собой новый тип корпуса, обеспечивающий производительность 75 MIPS при более 2М бит внутренней памяти в 1 см² корпуса, толщина которого составляет 1,35 мм, в сочетании с низкой потребляемой мощностью (0,4 мА на MIPS). Например, процессор ADSP-2188M, обладающий производительностью 75 MIPS, имеет 48К 24-разрядной памяти программ и 56К 16-разрядной памяти данных, что составляет в общей сложности 2028К бит. Потребляемая мощность данного процессора составляет менее 100 мВт.

ИСТОРИЯ РАЗВИТИЯ 16-РАЗРЯДНЫХ DSP – ИСТОРИЯ УСОВЕРШЕНСТВОВАНИЯ ПРОИЗВОДИТЕЛЬНОСТИ, УМЕНЬШЕНИЯ ПОТРЕБЛЯЕМОЙ МОЩНОСТИ И РАЗМЕРОВ

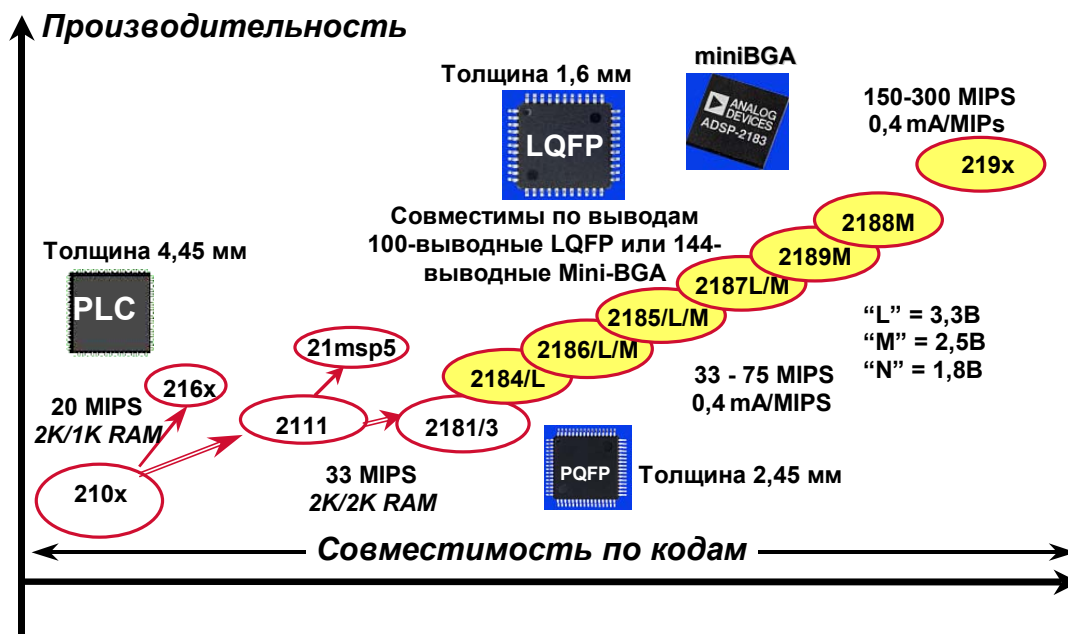
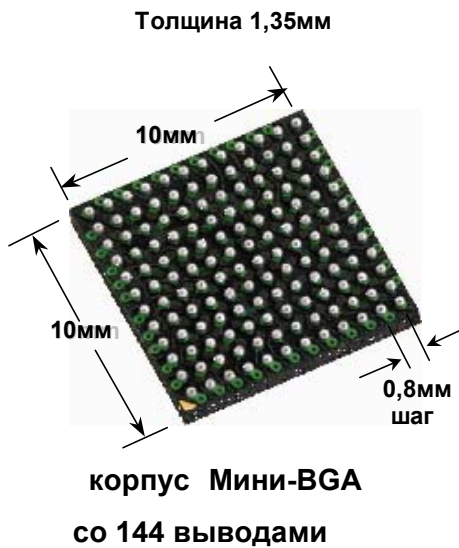


Рис. 7.22

а

ПРОЦЕССОРЫ СЕРИИ 'М' ОБЕСПЕЧИВАЮТ САМЫЕ ВЫСОКИЕ ПОКАЗАТЕЛИ ПРОИЗВОДИТЕЛЬНОСТИ И ОБЪЕМА ПАМЯТИ В КОРПУСЕ miniBGA!!!



- 75 MIPS и более 2 Мбит на 1 см²
- Маленький 144-выводной корпус без потери производительности
- До 2 Мбит статической памяти на кристалле
- Новый корпус для портативных устройств
- Малый размер корпуса и потребление 0,4 мА на МIP нацелены на применение в устройствах с минимальным потреблением энергии
- Включает всех представителей серии 'М' и популярные процессоры 2183, 2185L, 2186 и 2186L

Рис. 7.23

ПУТИ РАЗВИТИЯ 16-РАЗРЯДНЫХ DSP ADI Программная совместимость в течение 16 лет

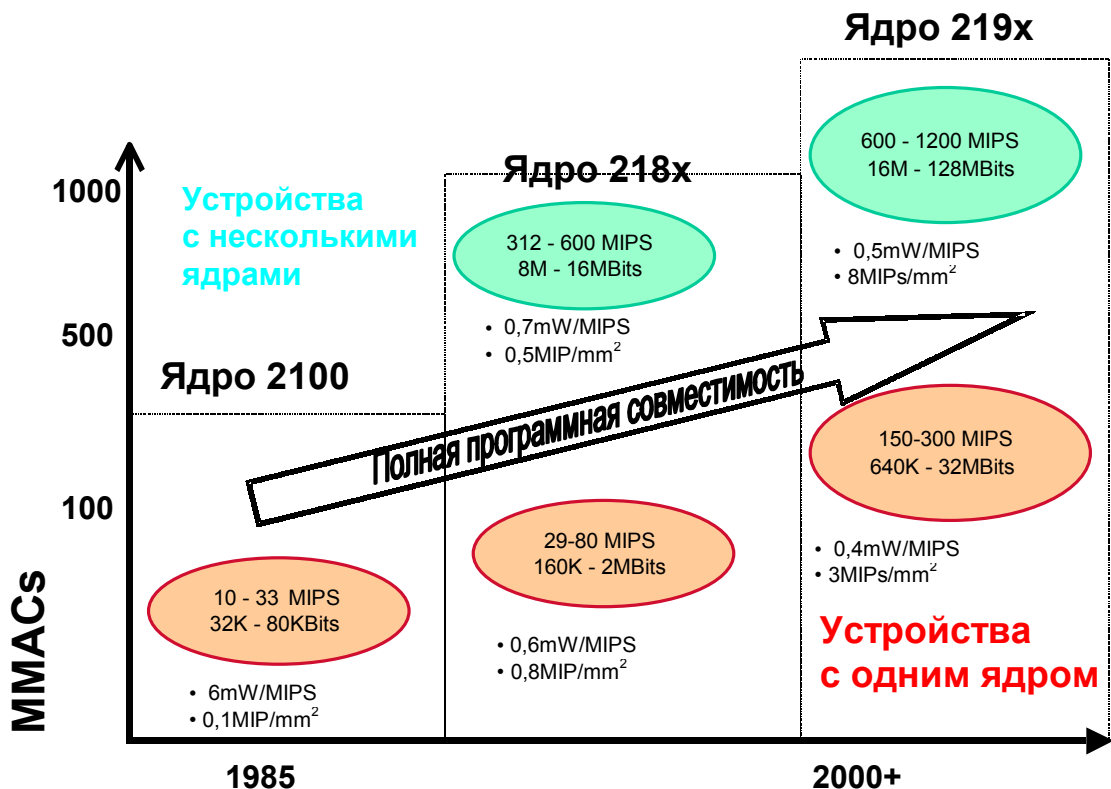


Рис. 7.24

а

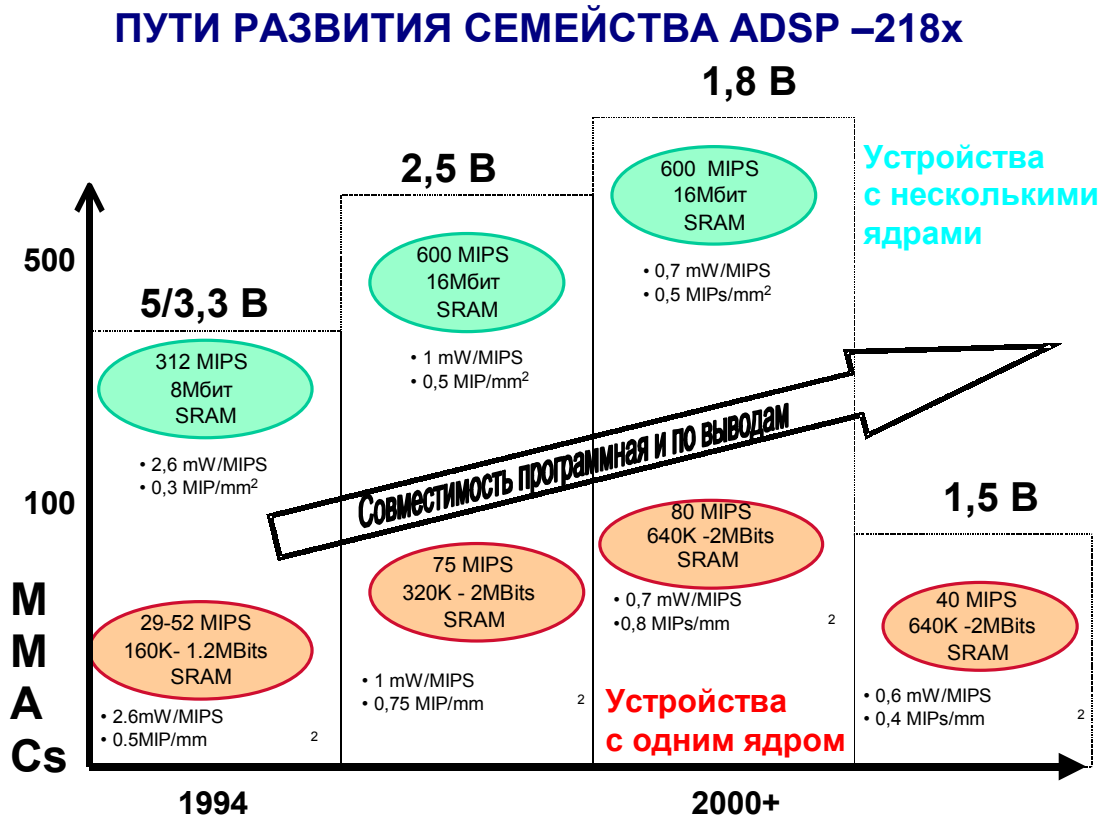


Рис. 7.25

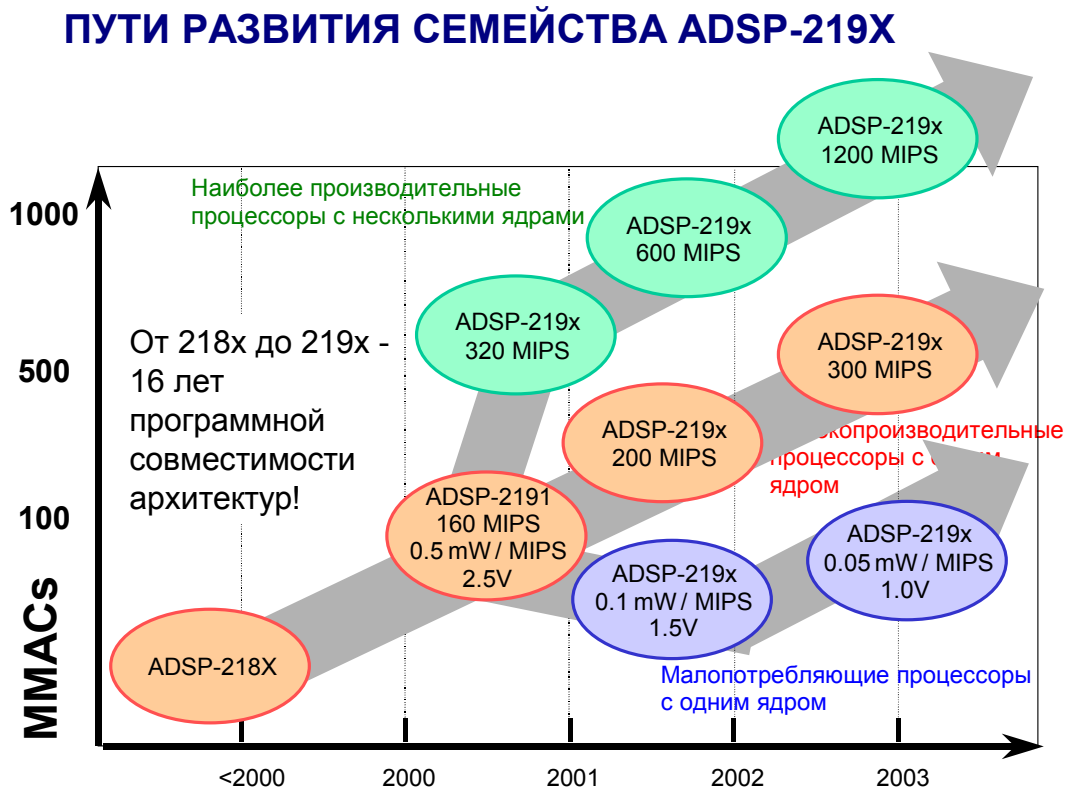


Рис. 7.26

а

СРАВНЕНИЕ АРИФМЕТИКИ С ПЛАВАЮЩЕЙ И ФИКСИРОВАННОЙ ТОЧКОЙ

Арифметика, применяемая при цифровой обработке сигналов, может быть разделена на две категории: с фиксированной точкой и с плавающей точкой. Данная классификация относится к формату, используемому для хранения чисел и манипуляций с этими числами под управлением процессора. Рассмотренные DSP компании Analog Devices с фиксированной точкой представляют каждое число 16-ю разрядами. Существует четыре различных способа представления 16-разрядного числа, принимающего в общей сложности $2^{16} = 65536$ возможных значений. При использовании *беззнакового целого формата* число может принимать значение от 0 до 65536. При использовании *знакового целого формата* используется дополнительный код для представления отрицательных чисел, поэтому диапазон возможных значений лежит в пределах от -32768 до $+32767$. При использовании *беззнакового дробного формата* 65536 уровней распределяются между 0 и +1. И, наконец, *знаковый дробный формат* позволяет использовать отрицательные числа, при этом 65536 возможных значений равномерно распределены между -1 и +1.

Арифметика DSP семейства ADSP-21xx оптимизирована под знаковый дробный формат, обозначаемый как 1.15 ("один точка пятнадцать"). В этом формате присутствует один разряд для знака (MSB) и 15 дробных разрядов, представляющих значения от -1 до значения, меньшего $+1$ на величину, соответствующую одному младшему биту, как показано на рис. 7.27.

16-БИТНАЯ АРИФМЕТИКА С ФИКСИРОВАННОЙ ТОЧКОЙ; ДРОБНЫЙ ФОРМАТ 1.15

| Старший бит | ВЕС БИТА | | | | | | | | | | | | | | | Младший бит | |
|---------------------------------|----------|-------|-------|-------|-------|-------|-------|-------|-------|-------|----------|----------|-----------|----------|----------|-------------|--|
| | 2^0 | 2^1 | 2^2 | 2^3 | 2^4 | 2^5 | 2^6 | 2^7 | 2^8 | 2^9 | 2^{10} | 2^{11} | 2^{12} | 2^{13} | 2^{14} | 2^{15} | |
| Шестнадцатиричное представление | ↓ | | | | ↓ | | | | ↓ | | | | | | | | |
| 7FFF | 0111 | 1111 | 1111 | 1111 | | | | | | | | | +0.999969 | | | | |
| 0001 | 0000 | 0000 | 0000 | 0001 | | | | | | | | | +0.000031 | | | | |
| 0000 | 0000 | 0000 | 0000 | 0000 | | | | | | | | | +0.000000 | | | | |
| FFFF | 1111 | 1111 | 1111 | 1111 | | | | | | | | | -0.000031 | | | | |
| 8000 | 1000 | 0000 | 0000 | 0000 | | | | | | | | | -1.000000 | | | | |

Рис. 7.27

Этот подход может быть обобщенно обозначен, как "I.Q", где I-число битов слева от точки, отделяющей дробную часть, а Q число битов справа от точки. Например, беззнаковое целое число представляется как формат 16.0. Однако, для большинства приложений цифровой обработки сигналов предполагается использование дробных форматов числа. Дробные числа имеют превосходство, которое заключается в том, что результат умножения двух дробных чисел меньше каждого из сомножителей.

а

Для сравнения, DSP с плавающей точкой обычно используют минимум 32 разряда для представления каждого числа. Это приводит к возможности представления гораздо большего количества различных значений, чем в 16-разрядном DSP с фиксированной точкой, а точнее – $2^{32} = 4294967296$. Что особенно важно, плавающая точка сильно увеличивает диапазон значений, который может быть представлен. Наиболее распространенный стандарт с плавающей точкой – стандарт ANSI/IEEE 754-1985, где самое большое и самое маленькое возможные числа равны $\pm 3,4 \times 10^{38}$ и $\pm 1,2 \times 10^{-38}$ соответственно. Важно, что этот стандарт резервирует структуры битов, которые позволяют представить другие специальные коды чисел, такие как, например, ± 0 и $\pm \infty$.

Стандарт IEEE-754 представления чисел с плавающей точкой охарактеризован более детально на рис. 7.28. 32-разрядное слово разделяется на знаковый разряд, S, 8-разрядную экспоненту E, и 23-разрядную мантиссу M. Отношение между десятичным и двоичным представлениями чисел с плавающей точкой, представленных в формате IEEE-754, задается с помощью выражения:

$$\text{NUMBER}_{10} = (-1)^S \times 1.M \times 2^{(E-127)}$$

Обратите внимание, что "1." предшествует "M" и что смещение 127 вычитается из экспоненты "E" так, что "E" – всегда положительное число.

32-БИТНЫЙ ФОРМАТ С ПЛАВАЮЩЕЙ ТОЧКОЙ ОДИНАРНОЙ ТОЧНОСТИ, СТАНДАРТ IEEE-754

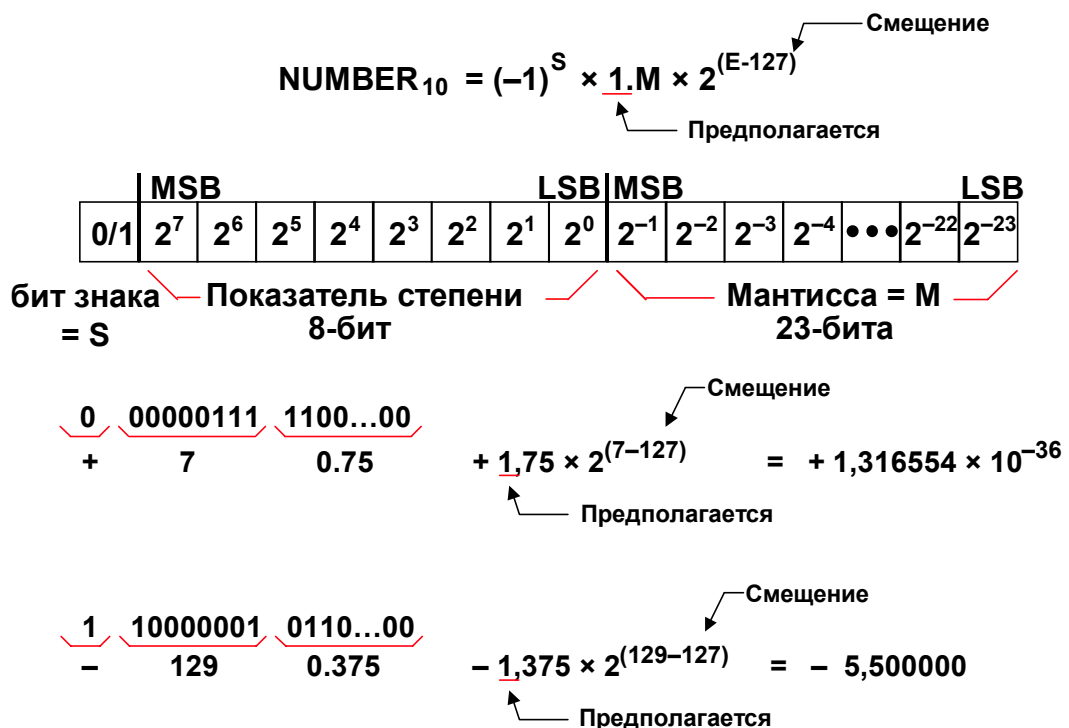


Рис. 7.28

В случае использования арифметики с плавающей точкой с *повышенной точностью* используется один разряд для знака, 31-разрядная мантисса, 11-разрядная экспонента, и полная длина слова, таким образом, составляет 43 разряда.

а

При работе с арифметикой повышенной точности динамический диапазон мантииссы увеличивается на 8 разрядов, скорость обработки данных при этом остается практически прежней, так как регистры-аккумуляторы уже имеют число разрядов больше 32. С другой стороны, 64-разрядная двойная точность (52-разрядная мантиисса, 11-разрядная экспонента и разряд под знак) требует дополнительного цикла процессора при обработке. Необходимость использовать удвоенную точность при цифровой обработке сигналов встречается редко.

Многие приложения ЦОС используют преимущества более широкого динамического диапазона, обеспечиваемого 32-разрядной арифметикой с плавающей точкой. К тому же, гораздо проще программировать процессор с плавающей точкой, так как проблемы, связанные с фиксированной точкой, такие как переполнение, потеря разрядов, масштабирование данных и ошибки округления, минимизируются, и даже полностью исчезают при использовании арифметики с плавающей точкой. Важно отметить также, что DSP с плавающей точкой могут стоить значительно выше, чем DSP с фиксированной точкой, а время на разработку эквивалентного программного обеспечения может быть значительно меньше при использовании процессора с плавающей точкой.

Хотя все DSP с плавающей точкой могут работать с фиксированной точкой (при необходимости на них можно реализовать счетчики, циклы и обработку сигналов АЦП/ЦАП), это не обязательно означает, что математические действия с фиксированной точкой выполняются в них так же быстро, как операции с плавающей точкой, что зависит от внутренней архитектуры DSP. Например, DSP семейства SHARC Analog Devices оптимизированы как для операций с плавающей точкой, так и для операций с фиксированной точкой, которые производятся с одинаковой эффективностью. По этой причине процессоры SHARC чаще называют "32-разрядными DSP", чем "процессорами с плавающей точкой".

СРАВНЕНИЕ АРИФМЕТИКИ С ФИКСИРОВАННОЙ ТОЧКОЙ И С ПЛАВАЮЩЕЙ ТОЧКОЙ

- 16-разрядная с фиксированной точкой:
 - ◆ $2^{16} = 65536$ возможных значений
- 32-разрядная с плавающей точкой:
 - ◆ Наибольшее значение: $\pm 6.8 \times 10^{38}$, в стандарте IEEE-754: $\pm 3.4 \times 10^{38}$
 - ◆ Наименьшее значение: $\pm 5.9 \times 10^{-39}$, в стандарте IEEE-754: $\pm 1.2 \times 10^{-38}$
- Расширенная точность (40-бит: знак + 8-битная экспонента + 31-битная мантиисса)
- Двойная точность: (64-бит.: знак + 11-бит. эксп.+ 52-бит. мантиисса)
- 32-разрядная с плавающей точкой:
 - ◆ Более высокая точность
 - ◆ Большой динамический диапазон
 - ◆ Проще в программировании

Рис. 7.29

а

ЦИФРОВЫЕ СИГНАЛЬНЫЙ ПРОЦЕССОРЫ С ПЛАВАЮЩЕЙ ТОЧКОЙ SHARC® КОМПАНИИ ANALOG DEVICES

SHARC семейства ADSP-2106, построенный по модифицированной гарвардской архитектуре, представляет собой 32-разрядный высокопроизводительный цифровой сигнальный процессор. Процессор SHARC имеет в своей основе ядро процессорного семейства ADSP-21000, блок двухпортовой статической памяти и встроенные средства ввода-вывода, представляя, таким образом, полноценную микропроцессорную систему. Благодаря использованию встроенной кэш-памяти команд, процессор может выполнять каждую инструкцию за один машинный цикл. Модифицированная гарвардская архитектура процессоров семейства ADSP-2106x, показанная на рис. 7.30, включает в себя четыре независимых шины, предназначенных для передачи двойного набора данных, команд и осуществления ввода-вывода, а также набор коммутаторов адресов и данных между шинами адреса и данных программ и данных (crossbar switch memory connections).

Для передачи данных между вычислительными блоками и шинами данных и для запоминания промежуточных результатов используется регистровый файл общего назначения. Регистровый файл имеет два набора регистров (первичный и альтернативный) каждый из которых включает 16 регистров для быстрого переключения контекста, например, при обработке прерываний. Все регистры являются 40-разрядными. Наличие регистрового файла общего назначения и гарвардская архитектура ядра процессора позволяют осуществлять без ограничений перемещение данных между вычислительными блоками процессора и внутренней памятью.

Процессор SHARC семейства ADSP-2106x отвечает пяти главным требованиям к DSP семейства 16-разрядных сигнальных процессоров ADSP-21xx с фиксированной точкой. Это (1) быстрота и гибкость выполнения арифметических операций, (2) эффективная передача данных к вычислительным блокам и от вычислительных блоков, (3) обеспечение повышенной точности и расширенного динамического диапазона в вычислительных блоках, (4) наличие двух генераторов адреса, (5) эффективное управление выполнением команд с автоматической проверкой условия завершения цикла.

Устройство управления выполнением команд включает в себя КЭШ-память инструкций глубиной в 32 слова, которая позволяет производить выборку двух операндов и кода команды в одном машинном цикле. Занесение инструкций в КЭШ-память носит избирательный характер: в память заносятся только те команды, которые требуют двух операндов при выполнении выборки из памяти. Такая организация устройства управления выполнением команд позволяет производить умножение с накоплением и выполнение базовой операции "бабочка" при БПФ с весьма высокой скоростью.

а

МОДИФИЦИРОВАННАЯ ГАРВАРДСКАЯ АРХИТЕКТУРА 32-РАЗРЯДНОГО ПРОЦЕССОРА SHARC СЕМЕЙСТВА ADSP- 2106X

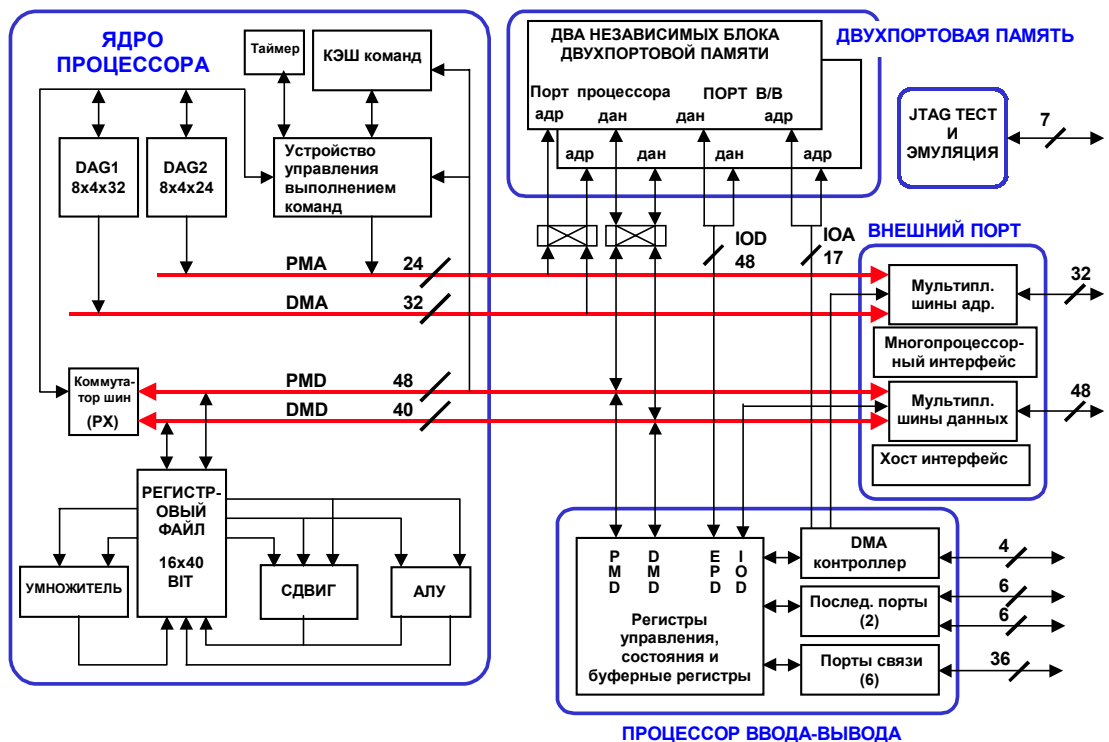


Рис. 7.30

КЛЮЧЕВЫЕ ОСОБЕННОСТИ ПРОЦЕССОРА SHARC

- 100МГц ядро / пиковая производительность 300 MFLOPS
- Параллельная работа: умножителя, АЛУ, двух генераторов адреса (DAG) и секвенсера
 - ♦ Отсутствует арифметический конвейер; все вычисления – за один цикл
- Высокая точность и расширенный динамический диапазон
 - ♦ 32/40-разрядный формат IEEE с плавающей точкой
 - ♦ 32-разрядное умножение с фиксированной точкой с 64-разрядным результатом и накоплением в 80-разрядном аккумуляторе
- Обмен с двухпортовой памятью осуществляется за один цикл
 - ♦ Осуществляется с помощью кэш-памяти и улучшенной Гарвардской архитектуры
- Возможность организации многопроцессорной системы без дополнительных микросхем
- Наличие порта JTAG для тестирования и эмуляции
- Контроллер DMA, последовательные порты, порты связи, внешняя шина, контроллер динамической памяти, таймеры

Рис. 7.31

а

SHARC® – ЛИДЕР СРЕДИ DSP С ПЛАВАЮЩЕЙ ТОЧКОЙ

- SHARC фактически является стандартом для многопроцессорных систем
- ADSP-21160 – это укрепление лидирующей позиции процессоров SHARC в области многопроцессорных систем ЦОС
- ADSP-21065L — это правильный выбор среди недорогих DSP-процессоров с плавающей точкой

СУПЕР ГАРВАРДСКАЯ АРХИТЕКТУРА:
Сбалансированные память, средства ввода-вывода и вычислительная мощь...

- Высокопроизводительный вычислительный блок
- Наличие четырех шин для:
 - ♦ Выборки следующей команды
 - ♦ Доступа к двум значениям данных
 - ♦ Осуществления DMA для ввода/вывода
- Эффективная организация памяти
- DMA не замедляет работу

SHARC

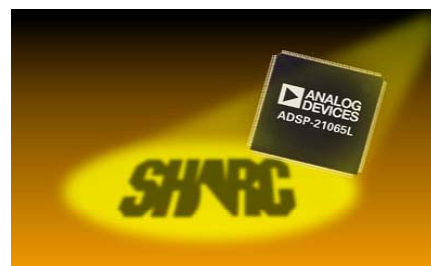


Рис. 7.32

Процессоры семейства ADSP-2106x выполняют все команды за один цикл синхронизации. Процессоры поддерживают 32-разрядный формат IEEE с плавающей точкой, 32-разрядный целочисленный и дробный форматы с фиксированной точкой (дополнительный код и беззнаковый формат) и 40-разрядный формат IEEE с плавающей точкой с повышенной точностью. Процессоры поддерживают повышенную точность во всех своих вычислительных блоках, минимизируя ошибки промежуточного округления. При работе с данными внутри кристалла 32-разрядная мантисса расширенной точности может пересылаться между всеми вычислительными блоками. 40-разрядная шина данных может выводиться и за пределы кристалла, если существует такая необходимость. При работе с числами, представленными в формате с фиксированной точкой, используется 80-разрядный аккумулятор, который позволяет без ограничений производить вычисления с 32-разрядными числами с фиксированной точкой.

Процессоры семейства ADSP-2106x построены по супергарвардской архитектуре, предполагающей наличие 10-портового регистрового файла данных. В каждом цикле синхронизации регистровый файл может поддерживать следующие операции: (1) два операнда могут записываться и считываться из регистрового файла, (2) два операнда могут подаваться на АЛУ, (3) два операнда могут подаваться на умножитель и (4) два результата могут быть получены от АЛУ и умножителя.

Система команд процессоров семейства ADSP-2106x обеспечивает большие возможности для программирования. Многофункциональные команды позволяют производить вычисления параллельно с пересылкой данных, а также умножение одновременно с арифметическими операциями в АЛУ.

Представитель семейства ADSP-2106X – процессор ADSP-21060 – содержит 4 Мбита SRAM, организованных в виде двух блоков по 2 Мбита каждый, которые могут быть сконфигурированы для хранения различных комбинаций программных модулей и модулей данных. Такие представители семейства, как ADSP-21062, ADSP-21061 и ADSP-21065, содержат по 2 Мбита, 1 Мбита и 544 Кбит SRAM соответственно. Каждый блок

а

памяти имеет по два порта, предназначенных для независимого одновременного доступа к памяти со стороны процессорного ядра и со стороны процессора ввода-вывода или контроллера DMA. Двухпортовая память и набор независимых шин на кристалле позволяют за один цикл синхронизации осуществлять передачу в память или из памяти данных от процессорного ядра и от контроллера ввода-вывода или контроллера DMA.

Поскольку в каждом блоке памяти может храниться комбинация кодов и данных, работа с памятью становится более эффективной, если для обращения к одному блоку применяется шина программ, а для обращения к другому блоку используется шина данных. Наличие двух шин – программ и данных, – каждая из которых используется для доступа к одному из блоков памяти, позволяет производить вычисления с передачей двух операндов в одном цикле синхронизации. В этом случае код команды должен присутствовать в КЭШ-памяти инструкций. Вычисления производятся за один цикл даже тогда, когда один из операндов находится во внешней памяти и передается на кристалл процессора или с кристалла процессора через внешний порт.

Внешний порт процессоров семейства ADSP-2106x обеспечивает интерфейс между процессором, внешней памятью и периферийными устройствами. Адресное пространство внешней памяти размером 4 Гслов включено в унифицированное адресное пространство процессоров семейства ADSP-2106x. Отдельные шины внутри кристалла, служащие для адресации памяти программ, передачи данных из памяти программ, адресации памяти данных, передачи данных из памяти данных, адресации шины ввода/вывода и передачи данных шины ввода/вывода мультиплексируются во внешнем порту образуя внешнюю унифицированную системную шину, с единой 32-разрядной шиной адреса и единой 48-разрядной шиной данных. Процессоры семейства ADSP-2106x обеспечивают возможность введения тактов ожидания и анализа готовности памяти для организации интерфейса с динамической памятью и с периферийными устройствами при различных требованиях к времени доступа и другим параметрам цикла шины.

Хост-интерфейс процессоров семейства ADSP-2106x позволяет легко устанавливать связь со стандартными микропроцессорными средствами как с 16-разрядными, так и с 32-разрядными шинами с незначительной доработкой аппаратуры. Хост-интерфейс имеет в своем распоряжении 4 канала DMA; передача команд и данных производится при минимальном вмешательстве программного обеспечения. Хост-процессор может напрямую осуществлять доступ во внутреннюю память процессоров семейства ADSP-2106x, а также модифицировать конфигурационные регистры канала DMA и почтовые регистры. Для эффективного выполнения команд, поступающих от хост-процессора, для хост-интерфейса зарезервирован вектор прерывания.

Процессоры семейства ADSP-2106x обладают весьма эффективными средствами для организации многопроцессорных систем цифровой обработки сигналов.

Унифицированное адресное пространство позволяет осуществлять прямой доступ каждому процессору, являющемуся элементом многопроцессорной системы, а также к внутренней памяти других процессоров системы. Для организации многопроцессорной системы, имеющей в своем составе до шести процессоров семейства ADSP-2106x и хост-процессор, на кристалле имеются встроенные средства арбитража шины. Передача управления шиной от одного процессора другому требует только одного дополнительного цикла шины. Приоритет при управлении доступом к общей шине может быть фиксированным либо циклическим. Максимальная скорость передачи данных между процессорами через порты связи (линк-порты) или внешний порт может составлять 240 Мбит/секунду (при тактовой частоте 40 МГц).

Процессор ввода/вывода (IOP) DSP семейства ADSP-2106x имеет два последовательных порта, шесть 4-разрядных портов связи (линк-портов) и контроллер DMA. Процессоры семейства ADSP-2106x обладают двумя последовательными синхронными портами,

а

которые реализуют экономичный интерфейс с широким спектром периферийных цифровых устройств, а также периферийных устройств, осуществляющих смешанную обработку сигналов. Последовательные порты могут работать на скорости, соответствующей полной частоте внешнего тактового генератора, обеспечивая максимальную скорость передачи данных равную 50 Мбит/секунду. Независимые функции передачи и приема данных обеспечивают большую гибкость при организации обмена через последовательный порт. Данные через последовательный порт могут автоматически передаваться из памяти процессора и в память процессора с использованием механизма DMA. Каждый последовательный порт поддерживает многоканальный режим с разделением каналов во времени, а также возможность компрессии данных по μ - или A-законам. Сигналы битовой и фреймовой синхронизации последовательного порта могут генерироваться самим процессором, но возможно и использование внешних сигналов синхронизации.

Процессоры семейства ADSP-21060 и ADSP-21062 имеют в своем составе шесть 4-разрядных портов связи (линк-портов), которые обеспечивают дополнительные возможности по вводу/выводу данных. Порты связи могут работать с двойной относительно тактовой частотой, позволяя передавать 8 бит за один цикл синхронизации процессора. Взаимодействие через порты связи особенно полезно в многопроцессорных системах, реализующих связь между процессорами по принципу точка-точка. Порты связи могут работать независимо и совместно, обеспечивая максимальную скорость передачи данных 240 Мбит/с. Данные, переданные через порт связи, представляются в виде 32-разрядных или 48-разрядных слов и могут быть считаны напрямую ядром процессора или переданы во внутреннюю память с использованием механизма DMA. Каждый порт связи имеет свои собственные буферизованные входной и выходной регистры. Управление передачей данных между портами связи осуществляется с использованием сигналов тактовой синхронизации и подтверждения. Порты связи должны быть запрограммированы либо на прием, либо на передачу данных. Порты связи отсутствуют на процессорах ADSP-21061 и ADSP-21065.

Внутренний контроллер DMA сигнального процессора семейства ADSP-2106x пересылает данные без вмешательства ядра процессора. Контроллер DMA работает независимо и незаметно для ядра процессора, позволяя проводить операции DMA тогда, когда ядро процессора выполняет свою программу. Как команды, так и данные могут быть загружены в процессор семейства ADSP-2106x с использованием передающих средств DMA. Данные в DMA передаются между внутренней и внешней памятью процессора семейства ADSP-2106x, внешними периферийными устройствами или внутренним процессором. Пересылка в DMA может также выполняться между внутренней памятью процессора семейства ADSP-2106x и его последовательными портами или портами связи. Другой возможностью, предоставляемой механизмом DMA, является передача данных между внешней памятью и внешними периферийными устройствами системы.

Внутренняя память процессора семейства ADSP-2106x может быть загружена из 8-разрядного внешнего EPROM или из хост-процессора. К тому же, такие представители семейства, как ADSP-21060 и ADSP-21062, могут загружаться через один из портов связи. Для загрузки могут быть использованы как 32-разрядный, так и 16-разрядный хост-процессоры.

Для тестирования системы процессоры семейства ADSP-2106x используют стандарт IEEE P1149 JTAG. Этот стандарт определяет метод поочередного сканирования состояний входа/выхода каждого компонента системы. Внутрисхемный эмулятор также использует последовательный порт JTAG для доступа к встроенной системе поддержки внутрисхемного эмулятора. Эмуляторы EZ-ICE используют порт JTAG для текущего контроля и управления процессором, установленным на печатной плате, в процессе отладки. Внутрисхемный эмулятор EZ-ICE тестирует процессор на полной скорости,

а

поддерживая возможности модификации и чтения внутренней памяти, регистров и стеков процессора. Применение интерфейса процессора JTAG обеспечивает непрерывную внутрисхемную отладку работы системы, поскольку внутрисхемный эмулятор не влияет на загрузку и синхронизацию системы.

Архитектура процессоров SHARC не допускает появления "бутылочного горлышка" при работе процессора, возникающих вследствие несоответствия между производительностью ядра, пропускной способностью процессора ввода-вывода, объемом встроенной памяти и набором встроенных периферийных устройств, как показано на рис. 7.30. Ядро поддерживает работу с 32-разрядными данными с плавающей и фиксированной точкой. Память вносит свой вклад в сбалансированность архитектуры своим большим размером и наличием двух портов. Ядро может осуществлять доступ через один порт, другой порт может использоваться для передачи данных процессором ввода-вывода. Процессор ввода-вывода передает данные между периферийными устройствами и внутренней памятью, используя DMA, без вмешательства процессорного ядра. Такая передача происходит одновременно с операциями, выполняемыми ядром процессора.

АРХИТЕКТУРА ЯДРА ПРОЦЕССОРА СЕМЕЙСТВА ADSP-2116x, ПОСТРОЕННОГО ПО ПРИНЦИПУ "ОДНА ИНСТРУКЦИЯ – ДВОЙНОЙ НАБОР ДАННЫХ"

Процессор ADSP-21160 - первый представитель второго поколения 32-разрядных DSP компании Analog Devices. Архитектура его ядра показана на рис. 7.33. Обратите внимание, что данная архитектура очень похожа на архитектуру ядра процессоров семейства ADSP-2106x, за исключением ширины шин и второго вычислительного блока с собственным умножителем, АЛУ, устройством сдвига и регистровым файлом. Такая архитектура носит название SIMD (одна инструкция – двойной набор данных) в противоположность архитектуре SISD (одна инструкция – один набор данных). Наличие второго вычислительного блока позволяет DSP обрабатывать два потока данных параллельно. Ядро может работать со скоростью до 100 MIPS. Работая на тактовой частоте 100 МГц, ядро свободно выполняет 400 MFLOPS (400 миллионов операций с плавающей точкой в секунду), а максимальное число операций может доходить до 600 MFLOPS. Архитектура SIMD является естественным шагом на пути повышения производительности DSP компании Analog Devices. Поскольку базовая архитектура DSP компании Analog Devices позволяет работать с двойным набором операндов, добавление второго вычислительного блока способствует обработке этого набора. Переход к архитектуре, построенной по принципу SIMD, позволяет получать новые, более производительные процессоры, сохраняя при этом программную совместимость с процессорами предыдущих поколений.

а

ОСОБЕННОСТИ ЯДРА ПРОЦЕССОРА ADSP-2116X – ОДНА ИНСТРУКЦИЯ, МНОГО ДАННЫХ (SIMD)

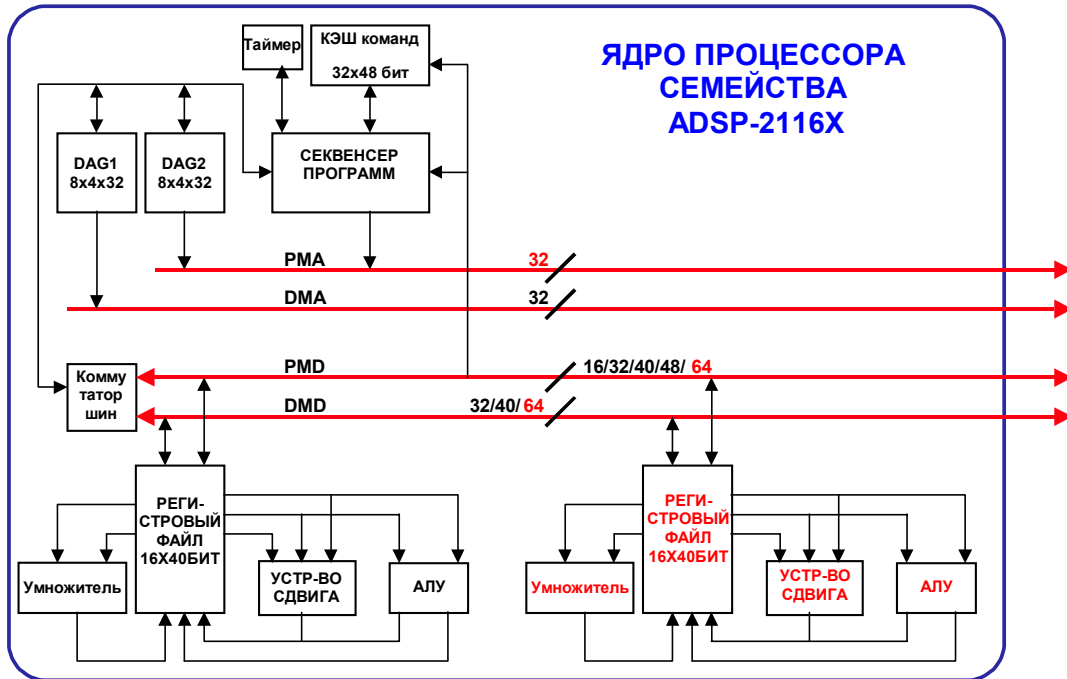


Рис. 7.33

Архитектура SIMD процессора семейства ADSP-2116x включает в себя два вычислительных блока (PE_x, PE_y) и шины данных с удвоенным размером слова (DMD и PMD). Первый вычислительный блок PE_x всегда находится во включенном состоянии. Второй вычислительный блок PE_y может быть включен путем установки соответствующего бита в регистре управления. Шины данных удвоенной ширины обеспечивают каждый вычислительный блок собственным набором данных в каждом машинном цикле. При включенном режиме SIMD каждый вычислительный блок выполняет одну и ту же команду в каждом цикле (что соответствует первой части названия архитектуры "одна инструкция"), но при этом каждый вычислительный блок оперирует своим набором данных (что соответствует второй части названия архитектуры "двойной набор данных"). Использование архитектуры SIMD позволяет повысить эффективность вычислений при выполнении алгоритмов, которые могут быть оптимизированы путем разделения обрабатываемых данных на два параллельных потока. Для многих алгоритмов использование второго вычислительного блока уменьшает время, необходимое для выполнения программы, в два раза по сравнению с реализацией, использующей подход SISD.

Процессор ADSP-21160 имеет полный набор периферийных устройств: процессор ввода-вывода, 4 Мбита статической двухпортовой памяти, встроенные возможности для построения многопроцессорных систем и набор портов (последовательные порты, порты связи, внешний порт, хост-интерфейсный порт, JTAG-интерфейс). Потребляемая процессором мощность составляет 2 Вт на частоте 100 МГц при использовании корпуса типа BGA с 400 выводами размером 27x27 мм. Пути развития процессоров семейства SHARC показаны на рис. 7.35.

а

КЛЮЧЕВЫЕ ОСОБЕННОСТИ ПРОЦЕССОРА SHARC ADSP-21160

- SIMD-архитектура (одна инструкция – много данных)
- Программная совместимость с процессорами семейства ADSP-2106x
- Ядро на 100 МГц / пиковая производительность 600 MFLOPS
- Тот же набор периферийных устройств, что и у процессоров семейства ADSP-2106x
- 4Мбита статической двухпортовой памяти
- Организация многопроцессорных систем без дополнительных микросхем
- Корпус типа PBGA с 400 выводами размером 27 × 27 мм

Рис. 7.34

На рис. 7.36 показаны некоторые типичные команды, используемые при программировании процессоров семейства SHARC. Обратите внимание на алгебраический синтаксис языка Ассемблера, который упрощает кодирование алгоритмов и последующее чтение программы. В одном цикле процессор SHARC производит умножение, сложение, вычитание, запись в память, чтение из памяти и вычисление новых значений указателей адреса. В том же цикле процессор ввода-вывода может пересылать данные через последовательные порты, порты связи, осуществлять доступ во внутреннюю память или DMA, обновлять указатель, использующийся для DMA.

а

ПУТИ РАЗВИТИЯ ПРОЦЕССОРОВ SHARC

Гарантируется программная совместимость в будущем

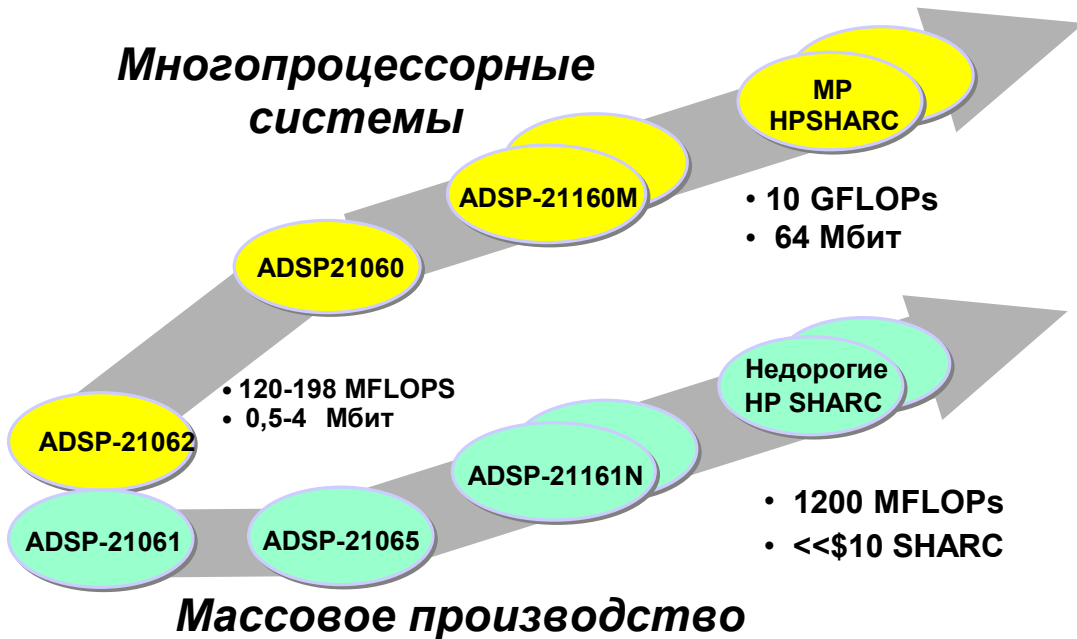


Рис. 7.35

ПРИМЕР: МНОГОФУНКЦИОНАЛЬНАЯ ИНСТРУКЦИЯ ПРОЦЕССОРА SHARC

$f_{11} = f_1 * f_7, f_3 = f_9 + f_{14}, f_9 = f_9 - f_{14}, dm(i_2, m_0) = f_{13}, f_7 = pm(i_8, m_8);$

■ В этой инструкции за один цикл процессор SHARC выполняет:

- ♦ 1 (2) умножения
- ♦ 1 (2) сложения
- ♦ 1 (2) вычитания
- ♦ 1 (2) чтение из памяти
- ♦ 1 (2) запись в память
- ♦ 2 модификации указателей

() = ADSP-2116x SIMD

■ Также средства ввода/вывода процессора выполняют:

- ♦ Действуют каналы последовательного порта: передача и прием данных по всем портам
- ♦ Работа портов связи процессоров (в многопроцессорной системе)
- ♦ Операции прямого доступа к памяти DMA
- ♦ 2 (4) модификации указателей DMA

Алгебраический синтаксис языка Ассемблера упрощает программирование алгоритмов DSP

Рис. 7.36

а

ПОСТРОЕНИЕ МНОГОПРОЦЕССОРНЫХ СИСТЕМ НА ОСНОВЕ ПРОЦЕССОРОВ СЕМЕЙСТВА SHARC

Цифровые сигнальные процессоры SHARC компании Analog Devices, например процессоры ADSP-21160, оптимизированы для применения в многопроцессорных приложениях, таких как телефония, обработка медицинских изображений, радары, сонары, телекоммуникационные задачи и трехмерная графика. На рис. 7.37 показаны результаты тестирования процессоров SHARC на распространенных алгоритмах цифровой обработки сигналов.

СКОРОСТНЫЕ ХАРАКТЕРИСТИКИ DSP СЕМЕЙСТВА SHARC

| | ADSP-21065L SHARC | ADSP-21160 SISD | ADSP-21160 SIMD/ много каналов |
|--|-------------------|-----------------|--------------------------------|
| Тактовая частота | 66 МГц | 100 МГц | 100 МГц |
| Длит. цикла | 15 нс | 10 нс | 10 нс |
| MFLOPS средняя | 132 MFLOPS | 200 MFLOPS | 400 MFLOPS |
| MFLOPS пиковая | 198 MFLOPS | 300 MFLOPS | 600 MFLOPS |
| Комплексное БПФ на 1024 точки (с осн. 4) | 274 мкс | 180 мкс | 90 мкс |
| Звено КИХ фильт. | 15 нс | 10 нс | 5 нс |
| Звено БИХ фильт | 60 нс | 40 нс | 20 нс |
| Умножение матриц (конвейер) | | | |
| [3x3] * [3x1] | 135 нс | 90 нс | 45 нс |
| [4x4] * [4x1] | 240 нс | 160 нс | 80 нс |
| деление(y/x) | 90 нс | 60 нс | 30 нс |
| Квадратный корень | 135 нс | 90 нс | 45 нс |

Рис. 7.37

Мультипроцессорные системы обычно используют один или сразу два метода связи между процессорными узлами в системе. Один метод предполагает использование канала связи, работающего по принципу "точка-точка". Такой метод многопроцессорной обработки данных называется потоковым (*data-flow multiprocessing*). При использовании другого метода процессорные узлы связываются через единую глобальную память посредством общей параллельной шины. Семейство процессоров SHARC поддерживает реализацию связи между процессорами по принципу "точка-точка" через шесть имеющихся портов связи. Процессоры SHARC поддерживают также усовершенствованный способ организации многопроцессорных систем, называемых кластерами, с общей параллельной шиной.

Для приложений, где требуется большая вычислительная мощность, а гибкость вычислительной системы не является основным параметром, потоковая обработка данных является наилучшим решением. Выполнение DSP алгоритма разделяется между несколькими процессорами, и данные проходят через них, как показано на рис 7.38 справа. Процессор SHARC идеально подходит для применения в таких приложениях, где требуется потоковая обработка данных, так как он не требует наличия межпроцессорного регистрового файла типа FIFO (первый вошел – первый вышел) или внешней памяти. Каждый SHARC имеет 6 портов связи, позволяющих создавать двумерные и трехмерные многопроцессорные массивы или организовывать традиционные системы потоковой

а

обработки данных. Внутренняя память SHARC обычно достаточно велика, чтобы разместить в ней код и данные большинства приложений, использующих описанную топологию. Все, что требуется для такой системы – это несколько процессоров SHARC и набор необходимых соединений между ними.

ПРИМЕРЫ ПОСТРОЕНИЯ МНОГОПРОЦЕССОРНЫХ СИСТЕМ НА ОСНОВЕ ПРОЦЕССОРОВ СЕМЕЙСТВА SHARC

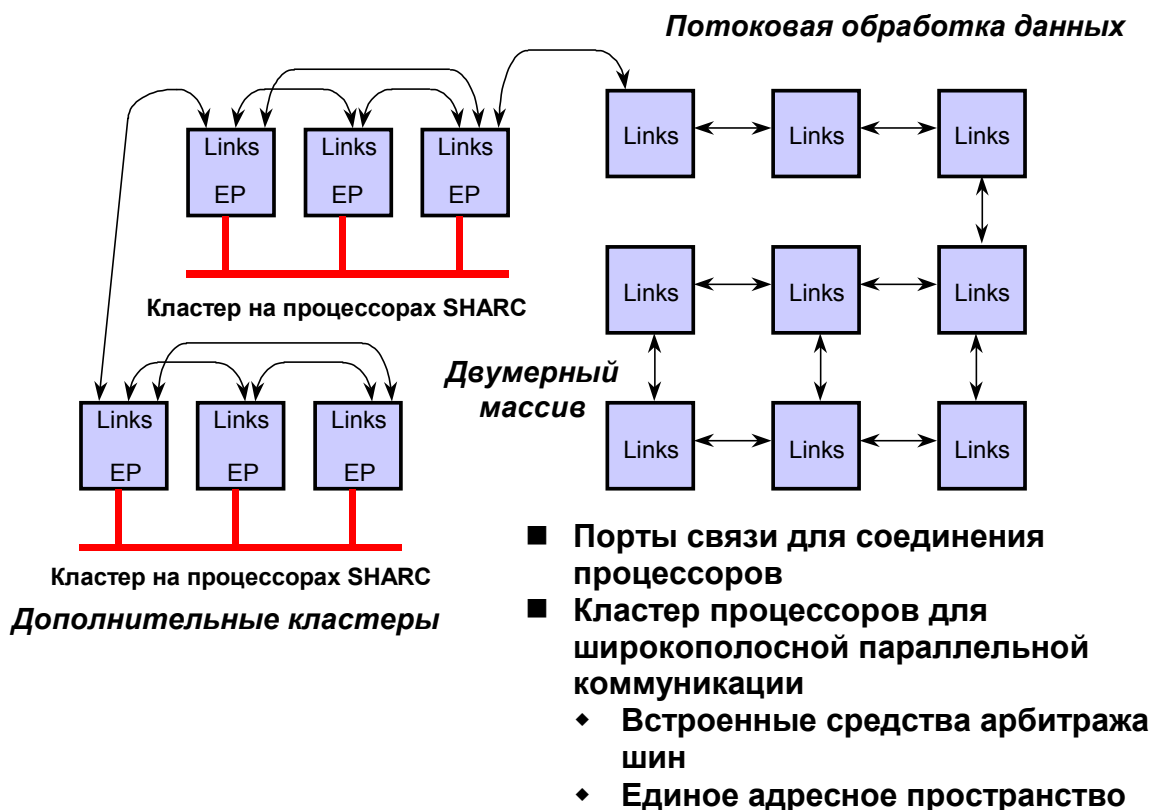


Рис. 7.38

а

СРАВНЕНИЕ СОЕДИНЕНИЙ ЧЕРЕЗ ВНЕШНИЕ ПОРТЫ (EP) И ПОРТЫ СВЯЗИ

- **Преимущества, которые дают внешние порты (EP)**
 - ◆ **Взаимодействие двух процессоров SHARC через порт EP обеспечивает наибольшую пропускную способность (400 МБайт/с)**
 - ◆ **Возможно подключение до шести процессоров SHARC и хост-процессора**
 - ◆ **EP обеспечивает гибкость при обмене данными и управлении**
 - ◆ **Наличие общей памяти упрощает структуру программы**
- **Преимущества, которые дает использование портов связи**
 - ◆ **Каждый порт связи обеспечивает независимое взаимодействие двух процессоров SHARC на скорости 100 Мбайт/с**
 - ◆ **Имеется до шести портов связи (600 Мбайт/с)**
 - ◆ **Возможность построения системы с любым числом процессоров SHARC**
- **Связи через соединительный порт и EP можно использовать одновременно**

Рис. 7.39

Кластерная мультипроцессорная система лучше всего подходит для применения в приложениях, где требуется высокая степень гибкости. Особенно хорошо она подходит для систем, которые должны выполнять различные задачи, некоторые из которых запускаются одновременно. Процессоры SHARC имеют встроенный хост-интерфейс, который позволяет легко организовать взаимодействие кластера с хост-процессором или с другим кластером.

Мультипроцессорная кластерная система строится на основе нескольких процессоров SHARC, связанных между собой по параллельной шине, что позволяет процессорам осуществлять доступ во внутреннюю память друг друга, а общей глобальной памяти. Типичный кластер на основе процессоров SHARC может включать до 6 процессоров ADSP-21160 и хост процессор, который может осуществлять шинный арбитраж. Встроенная логика арбитража шины позволяет процессорам SHARC разделять общую шину. Другие встроенные возможности процессоров SHARC помогают избежать необходимости использования любых других вспомогательных аппаратных средств при организации кластерной многопроцессорной системы. Очень часто в таких системах полностью отсутствует необходимость в локальной дополнительной или глобальной внешней памяти.

ADSP-TS001 - TIGERSHARC™: СТАТИЧЕСКИЙ СУПЕРСКАЛЯРНЫЙ ЦИФРОВОЙ СИГНАЛЬНЫЙ ПРОЦЕССОР

Цифровой Сигнальный Процессор ADSP-TS001 - TigerSHARC™ является первым DSP компании Analog Devices, построенным по новой статической суперскалярной архитектуре. Процессор TigerSHARC™ создан для применения в оборудовании телекоммуникационной инфраструктуры и предлагает новый высочайший уровень интеграции и уникальную возможность обрабатывать 8-, 16-, 32-разрядные типы данных с фиксированной и плавающей точкой, используя одну микросхему. Каждый из этих типов

а

данных является важным для следующего поколения телекоммуникационных протоколов, находящихся в разработке, включая IMT-2000 (также известного под названием радиопотокола третьего поколения) и xDSL (цифровая абонентская линия). В отличие от всех других DSP, процессор ADSP-TS001 имеет уникальную способность увеличивать скорость обработки в зависимости от типа данных. Более того, кристалл обеспечивает высочайший уровень производительности при обработке данных с плавающей точкой.

В оборудовании телекоммуникационной инфраструктуры протоколы вокодера и канального кодера разработаны для 16-разрядного типа данных. Для улучшения качества сигнала многие телекоммуникационные приложения используют линейную коррекцию и технологию подавления эхо-сигналов, что существенно улучшает качество сигнала и характеристики системы. Эти алгоритмы выигрывают, благодаря увеличению точности обработки при применении 32-разрядных данных и данных с плавающей точкой. Поддержка 8-ми разрядного формата данных удобна при реализации часто используемого алгоритма декодера Витерби и при обработке изображений, где RGB сигналы, представляющие основные цвета, принято представлять 8-разрядными данными. Многие из этих приложений требуют высокого уровня производительности и могут предполагать использование алгоритмов, работающих последовательно или даже одновременно. Точные требования определяются конкретными приложениями. Гибкость архитектуры процессора TigerSHARC позволяет разработчикам программного обеспечения выполнять требования по точности, необходимые в том или ином приложении, без каких-либо потерь эффективности работы системы в целом. При использовании процессоров TigerSHARC производительность системы определяется применяемым форматом данных.

Архитектура процессоров TigerSHARC охватывает ключевые элементы целого ряда различных видов микропроцессоров. Это RISC (Reduced Instruction Set Computer), VLIW (Very Long Instruction Word) и DSP для получения наиболее эффективного цифрового сигнального процессора. Новая архитектура поддерживает на высоком уровне такие параметры, присущие DSP процессорам, как короткий машинный цикл с детерминированной длительностью, быстрая реакция на прерывания и отличный интерфейс с периферийными устройствами для поддержки высокой производительности вычислений и высокой скорости ввода и вывода данных. Чтобы достичь наиболее высоких результатов в работе ядра процессора, предусмотрены такие свойства RISC-архитектуры, как операции одновременной загрузки и сохранения данных, устройство управления выполнением команд с глубоким конвейером и предсказанием переходов, большой регистровый файл для передачи данных между вычислительными блоками. Кроме того, использование особенностей архитектуры VLIW позволяет более эффективно использовать программную память, особенно при реализации алгоритмов, характерных для задач управления.

а

TigerSHARC® - ПРОЦЕССОР, ПОСТРОЕННЫЙ ПО НОВОЙ СТАТИЧЕСКОЙ СУПЕРСКАЛЯРНОЙ АРХИТЕКТУРЕ КОМПАНИИ ANALOG DEVICES



Рис. 7.40

ОСНОВНЫЕ ОСОБЕННОСТИ АРХИТЕКТУРЫ ПРОЦЕССОРА TigerSHARC®

Ядро

- 1200 ММАС/с на частоте 150 МГц – 16 бит с фиксированной точкой
- 300 ММАС/с на частоте 150 МГц – 32 бита с плавающей точкой
- 900 MFLOPS – 32 бита с плавающей точкой



Память

- 6 Мбит встроенной SRAM, организованные как единая память в отличие от традиционной Гарвардской архитектуры

Средства ввода-вывода, периферийные устройства и корпус

- Скорость передачи данных через внешнюю шину 600 Мбайт/с
- Суммарная скорость передачи данных через 4 порта связи 600 Мбайт/с
- Поддержка многопроцессорной кластерной системы до 8 процессоров ADSP-TS001 без дополнительных микросхем
- 4 порта ввода/вывода общего применения
- Контроллер динамической памяти SDRAM

Рис. 7.41

а

Чтобы обеспечить все функциональные блоки командами, необходимо эффективно использовать доступную ширину слова команды. Иначе говоря, многофункциональные команды должны подаваться на вычислительные блоки одновременно и параллелизм выполнения операций должен планироваться заранее, до непосредственного выполнения программы.

Объединяя наилучший опыт, накопленный в мире, процессор TigerSHARC представляет собой уникальную платформу для наиболее сложных приложений по цифровой обработке сигналов.

Архитектура ядра процессора Tiger SHARC показана на рис. 7.42. Ядро включает несколько функциональных блоков: вычислительные блоки, память, АЛУ для операций с целыми числами и устройство для управления выполнением команд. В архитектуре процессора Tiger SHARC предусмотрены вычислительные блоки X и Y, каждый из которых содержит умножитель, АЛУ и 64-разрядное устройство сдвига. Благодаря ресурсам этих блоков, процессор может выполнять восемь 40-разрядных операций умножения с последующим суммированием 16-разрядных данных, две 40-разрядных операции умножения с последующим суммированием 16-разрядных комплексных чисел или две 80-разрядные операции умножения с последующим суммированием 32-разрядных данных. Все перечисленные операции выполняются в одном цикле. Процессор TigerSHARC реализует архитектуру, использующую полностью ортогональный регистровый файл длиной в 32 слова, допускающий чтение и запись в одном машинном цикле.

АРХИТЕКТУРА ПРОЦЕССОРА ADSP-TS001 TIGERSHARC

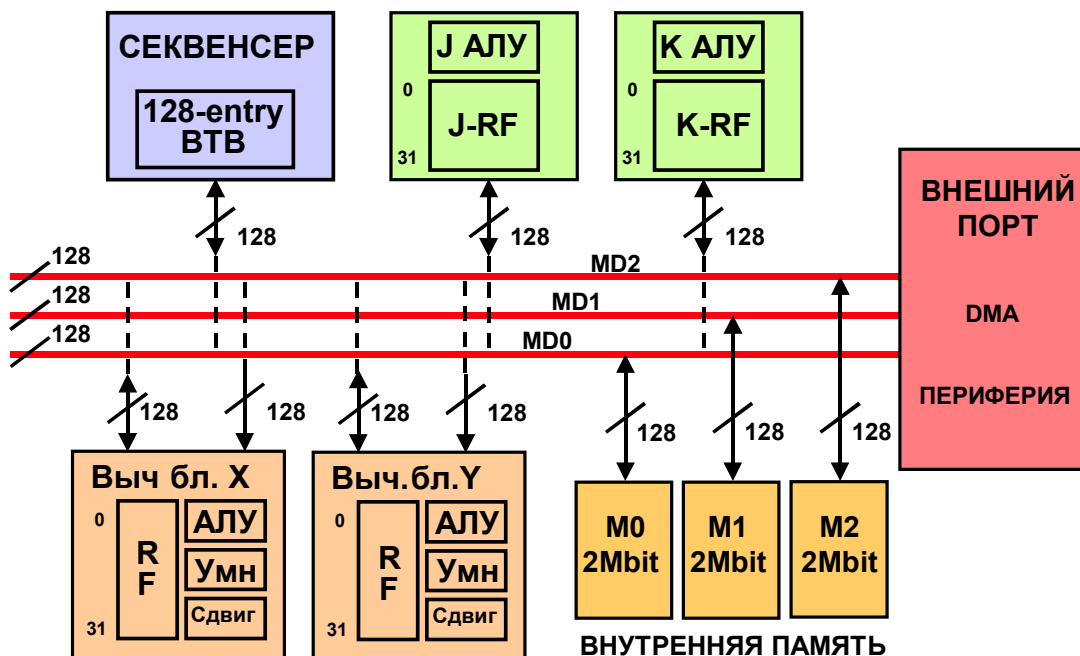


Рис. 7.42

В архитектуре процессора TigerSHARC векторная организация памяти представлена в виде трех 128 разрядных блоков. При обращении к памяти из нее могут читаться учетверенные, длинные и нормальные слова, которые заносятся затем в регистровый файл для обработки. В каждом цикле может выполняться выборка четырех 32-разрядных

а

команд. Одновременно могут быть загружены в регистровые файлы или записаны в память 256 битов данных. Данные с длиной слова 8, 16 или 32 разряда могут записываться в память последовательно в упакованном виде. Внутренняя и внешняя память организованы в виде единого адресного пространства, которое оставляет полную свободу программисту для распределения памяти. При работе на тактовой частоте 150 МГц скорость обмена с внутренней памятью для данных и команд составляет 7,2 Гбит/с.

Два АЛУ, выполняющие операции с целыми числами, используются для адресации данных и вычисления значений указателей. Они поддерживают циклические буферы и бит-реверсивную адресацию, причем каждое имеет свой регистровый файл длиной 32 слова. Рассматриваемые АЛУ не просто являются блоками, генерирующими адреса данных, но и могут совместно осуществлять вычисления с целыми числами. Наличие АЛУ такого вида позволяет существенно улучшить эффективность компилятора, разрабатываемого для данного процессора, а также повысить гибкость программирования.

Архитектура процессоров TigerSHARC называется *статической суперскалярной архитектурой*, т.к. она предполагает выполнение до четырех 32-разрядных команд за один цикл, и программист имеет возможность независимо задавать команды для всех вычислительных блоков. Устройство управления выполнением команд (program sequencer) поддерживает последовательное исполнение команд, при котором каждая очередная инструкция выполняется в соответствии с результатом предварительно заданного условия. Кроме того, одна и та же команда может быть выполнена двумя вычислительными блоками одновременно с использованием различных значений данных (это называется SIMD – одна инструкция – двойной набор данных).

Архитектура процессоров TigerSHARC позволяет выполнять операции над 8-, 16- и 32-разрядными данными. Производительность процессора повышается по мере уменьшения разрядности обрабатываемых данных.

Добавление буфера адресов перехода (Branch Target Buffer, ВТВ) и логики статического предсказания перехода делает ненужным заполнение конвейера команд после перехода. Как отмечалось раньше, переход осуществляется за один цикл.

Три внутренних 128-разрядных шины образуют быстродействующий канал обмена данными между внутренними функциональными блоками и внешними периферийными устройствами. Трехшинная структура отвечает типовым математическим командам, требующим наличия двух исходных данных и на выходе выдают один результат. Процессор имеет ортогональную программную модель и обеспечивает детерминированную реакцию на прерывания.

Архитектура процессора TigerSHARC основана на различных режимах работы аппаратуры. Это позволяет избежать потери циклов и упрощает работу компилятора. Система команд непосредственно поддерживает все числовые форматы, применяемые в ЦОС и в обработке изображений и видеосигналов, включая знаковый и беззнаковый, дробный и целочисленный. Во всех случаях существует возможность ограничения или усечения результатов вычислений.

Работая на тактовой частоте 150 МГц, процессор ADSP-TS001 обеспечивает наилучшую производительность среди процессоров семейства SHARC как при обработке данных с фиксированной точкой, так и при работе с данными в формате с плавающей точкой. Кроме того, разместив на кристалле 6 Мбит статической памяти, компания Analog Devices увеличила степень интеграции памяти на 50% по сравнению с предыдущими членами семейства SHARC. При переходе к меньшим проектным нормам при производстве кристаллов, компания Analog Devices планирует увеличить тактовую частоту работы процессора и объем памяти на кристалле для новых представителей семейства TigerSHARC.

а

ОСНОВНЫЕ СВОЙСТВА ПРОЦЕССОРОВ TigerSHARC

- Выполнение от 1 до 4 32-разрядных операций за цикл
- Принцип "Одна инструкция, много данных" (SIMD) поддерживается двумя вычислительными блоками
- Поддержка разных форматов данных вычислительными блоками
 - ♦ В каждом имеется регистровый файл, MAC, АЛУ, устройство сдвига
 - ♦ Работа с 32/40-разрядными данными с плавающей точкой и с 32-разрядными данными с фиксированной точкой (6 операций за один такт)
 - ♦ 16-битные операции (24 за цикл) или 8-битные операции (32 за цикл)
- Логика статического предсказания переходов, с целевым буфером перехода (ВТВ), поддерживающим до 128 входов
- Внутренняя пропускная способность 7.2 Гбайт/с
- Простая программная модель с гибкой системой прерываний

Рис. 7.43

Применение процессоров ADSP-TS001 уменьшает общую стоимость материалов при проектировании системы, благодаря наличию интегрированных функций ввода-вывода набора периферийных устройств, которые уменьшают или вообще ликвидируют потребность в применении вспомогательных и дополнительных аппаратных средств. Работая на тактовой частоте 150 МГц, процессор ADSP-TS001 объединяет четыре порта связи со скоростью передачи 600 Мбит/с, средства поддержки мультипроцессорного кластера с возможностью подключения до восьми процессоров ADSP-TS001, контроллер динамической памяти и интерфейс JTAG. Данная, не имеющая аналогов комбинация возможностей реализована в 35x35 мм корпусе SBGA с 360 выводами.

Вычислительные возможности и пример кодирования процессора TigerSHARC показаны на рис. 7.44. Четыре 32-разрядные команды выполняются параллельно, образуя одну 128-разрядную командную строку. Данная командная строка выполняется за один цикл. Ниже приведен пример кодирования на языке ассемблера одной строки с расшифровкой выполняемых функций:

```
xR3:0=Q[j0+=4];// загрузить из памяти четыре регистра (xR0,xR1,xR2,xR3) из
                    регистрового файла X
yR3:0=Q[k0+=4];// загрузить из памяти четыре регистра из регистрового файла Y
FR5=R4*R4; // перемножить два 32-разрядных значения с плавающей точкой в
                    вычислительном блоке X и еще два – в блоке Y (две операции
                    умножения)
FR9:8=R6+/-R7;:// сложить и вычесть в обоих вычислительных блоках X и Y (четыре
                    операции в АЛУ)
```

Один символ "точка с запятой" разделяет 32-разрядные команды, а два символа "точка с запятой" обозначают конец командной строки. Этот пример иллюстрирует синтаксис, применяемый при кодировании операций АЛУ и умножении 32-разрядных данных, представленных в формате с плавающей точкой. Параллельные 16-разрядные операнды могут быть легко специфицированы, используя префикс "S" (short - короткий) вместо "F" (float – данные с плавающей точкой). J0 и K0 являются регистрами, принадлежащими

а

IALU, которые используются в качестве указателей при косвенной адресации для чтения из памяти.

МАКСИМАЛЬНАЯ ПРОИЗВОДИТЕЛЬНОСТЬ ПРОЦЕССОРА TigerSHARC

- 4 команды за цикл включают:
 - ⇒ 24 16-битных операции или 6 32-битных операции
 - ⇒ 8 16-битных умножения с накоплением (MAC) или 2 32-битных умножения с накоплением (MAC)
- А также перемещение 256-разрядных данных и 2 вычисления адреса



Рис. 7.44

При программировании цифровых сигнальных процессоров приходится работать как на языке высокого уровня, так и на языке низкого уровня, то есть на ассемблере. Выбор языка зависит от целого ряда факторов, включающих требуемую скорость выполнения программы, размер используемой памяти и время, затрачиваемое на разработку программного обеспечения. Таким образом, система, предназначенная для цифровой обработки сигналов, должна давать пользователю возможность программировать как на языках высокого, так и на языках низкого уровня. Архитектура процессора TigerSHARC в точности отвечает этим требованиям.

Действительно, ядро процессора TigerSHARC включает 128 32-разрядных регистров общего назначения. Такое большое число регистров обеспечивает C-компилятору высокую степень гибкости при максимальном использовании в работе всего потенциала архитектуры. Для обеспечения целостности данных все регистры полностью синхронизированы, вследствие чего программисту не требуется контролировать детали, связанные с движением данных. Корректность использования данных при вычислениях контролируется аппаратно. Кроме того, доступ ко всем регистрам может осуществляться с использованием всех возможных режимов адресации (ортогональность), и все вычислительные команды имеют детерминированную задержку выполнения (2 цикла). Помимо прочего, архитектура процессора TigerSHARC включает буфер адресов перехода, в котором сохраняется эффективный адрес последних 128 переходов. Данный буфер облегчает программирование при заполнении конвейера команд после перехода. Как было показано раньше, архитектура позволяет осуществлять переход к следующей команде в одном цикле.

а

ОСНОВНЫЕ СВОЙСТВА ПРОЦЕССОРОВ TigerSHARC

- 128 регистров общего назначения
- Все регистры полностью синхронизированы
- Для адресации можно использовать целочисленное АЛУ общего применения
- Предсказание переходов
- Нет необходимости переключать аппаратные режимы
- Ортогональные режимы адресации
- Поддержка языка ассемблера

Рис. 7.45

На рис. 7.46 представлена одна из возможных мультипроцессорных систем, построенная на процессорах TigerSHARC. До восьми процессоров ADSP-TS001 могут взаимодействовать напрямую через высокоскоростной 64-разрядный интерфейс внешней шины. При таком взаимодействии широко используемый протокол, построенный по принципу "ведущий – ведомый" (master-slave), позволяет любым двум процессорам непосредственно взаимодействовать в любой момент времени.

В дополнение к внешней шине, неограниченное число процессоров может взаимодействовать между собой через порты связи, которыми оснащен процессор ADSP-TS001. Взаимодействие через порты связи предоставляет большую гибкость при меньшей пропускной способности, чем при обмене через интерфейс внешней параллельной шины. Следует еще раз упомянуть, что передача данных через порты связи выполняется отдельным процессором ввода-вывода и не требует вмешательства ЦПУ.

Если сложить пропускную способность портов связи (600 Мбит/с) и внешнего порта (600 Мбит/с), то получится суммарная пропускная способность процессора, составляющая 1200 Мбит/с при работе на тактовой частоте 150 МГц. К тому же следует отметить, что интерфейс, основанный на портах связи, как и параллельный интерфейс, не требует для своей реализации никаких дополнительных аппаратных средств.

Процессор ADSP-TS001 является первым представителем планируемого семейства продуктов, основанных на технологии TigerSHARC. Последующие представители семейства TigerSHARC будут характеризоваться оптимальным соотношением объемов встроенной памяти и периферийных устройств с точки зрения наиболее полного удовлетворения требованиям специализированных рынков. Эти рынки включают базовые станции сотовых сетей третьего поколения, приложения VoIP (голос по протоколу Интернет), серверы и сетевые концентраторы. Ожидаемые усовершенствования в технологии и архитектуре процессора должны привести к двукратному улучшению базовых характеристик процессоров семейства TigerSHARC.

а

МЕЖПРОЦЕССОРНЫЕ КОММУНИКАЦИИ ЧЕРЕЗ ПОРТЫ СВЯЗИ И ПАРАЛЛЕЛЬНУЮ ШИНУ В МНОГПРОЦЕССОРНОЙ СИСТЕМЕ

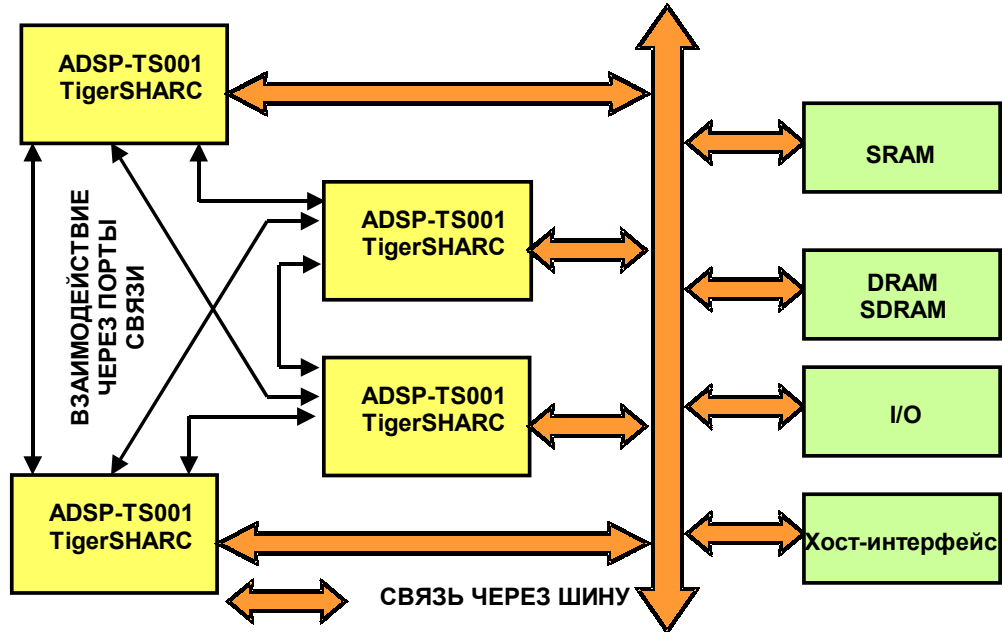


Рис. 7.46

ПУТИ РАЗВИТИЯ СЕМЕЙСТВА TigerSHARC

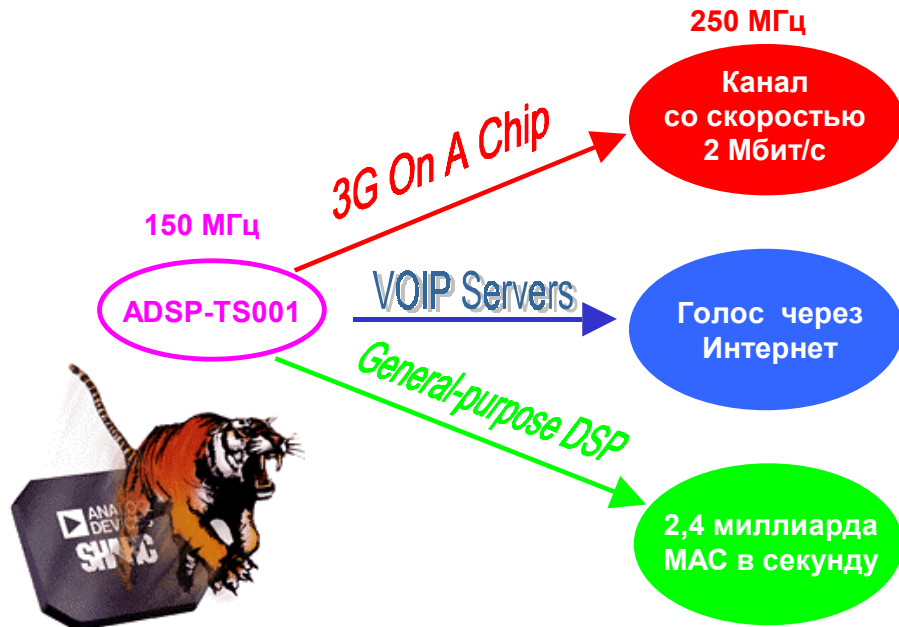


Рис. 7.47

а

Сравнение цифровых сигнальных процессоров, основанное только на таких характеристиках как MIPS, MOPS или MFLOPS, не дает полного представления о вычислительных возможностях процессоров. Полезнее сравнить работу ЦСП применительно к реализации специфических алгоритмов. БПФ и КИХ-фильтр, например, являются популярными эталонными тестами, также как и БИХ-фильтр, умножение матриц, деление и вычисление квадратного корня.

На рис. 7.48 показаны результаты тестов процессора ADSP-TS001 TigerSHARC, работающего с 16-разрядными данными с фиксированной точкой. На рис. 7.49 представлены результаты обработки 32-разрядных данных с плавающей точкой.

ПРОИЗВОДИТЕЛЬНОСТЬ ПРОЦЕССОРА ADSP-TS001 С ТАКТОВОЙ ЧАСТОТОЙ 150 МГЦ ПРИ РАБОТЕ С 16-РАЗРЯДНЫМИ ДАННЫМИ.

Работа с 16-разрядными данными. Пиковая производительность 1200 ММАС

| Алгоритм | Время исполнения | Необходимо циклов |
|---|-----------------------------|------------------------------|
| 256-точечное комплексное БПФ (по основанию 2) | 7.3 мкс | 1100 |
| КИХ-фильтр с 50 коэффициентами при 1024 входных отсчетах | 48 мкс | 7200 |
| Одно умножение с накоплением (МАС) в КИХ-фильтре | 0.93 нс | 0.14 |
| Одно умножение с накоплением (МАС) комплексных чисел в КИХ-фильтре | 3.80 нс | 0.57 |
| Одна операция "бабочка" при выполнении БПФ | 6.7 нс | 1.0 |

Рис. 7.48

а

ПРОИЗВОДИТЕЛЬНОСТЬ ПРОЦЕССОРА ADSP-TS001 С ТАКТОВОЙ ЧАСТОТОЙ 150 МГЦ ПРИ РАБОТЕ С 32-РАЗРЯДНЫМИ ДАННЫМИ.

Работа с 32-разрядными данными. Пиковая производительность 300 ММАС/с

| Алгоритм | Время исполнения | Необходимо циклов |
|---|-----------------------------|------------------------------|
| 1024-точечное комплексное БПФ (по основанию 2) | 69 мкс | 10300 |
| КИХ-фильтр с 50 коэффициентами при 1024 входных отсчетах | 184 мкс | 27500 |
| Одно умножение с накоплением (MAC) в КИХ-фильтре | 3.7 нс | 0.55 |
| Одна операция "бабочка" при выполнении БПФ | 13.3 нс | 2.0 |
| Одно умножение с накоплением (MAC) комплексных чисел в КИХ-фильтре | 13.3 нс | 2.0 |
| Деление | 20 нс | 3.0 |
| Квадратный корень | 33.3 нс | 5.0 |
| Один шаг декодера Витерби (сложить/сравнить/выбрать) | 3.3 нс | 0.5 |

Рис. 7.49

СРЕДСТВА ДЛЯ ОТЛАДКИ И ПРОЕКТИРОВАНИЯ СИСТЕМ НА ЦИФРОВЫХ СИГНАЛЬНЫХ ПРОЦЕССОРАХ.

Наличие полного набора средств аппаратной и программной отладки весьма важно для любого проекта, основанного на DSP. Ниже будет описан пример проектирования типичной системы, содержащей DSP.

Первый шаг в процессе проектирования – это описание архитектуры системы, которое включает такую информацию, как тип процессора, периферийные устройства (внешняя память, кодеки, хост-процессор, каналы связи), конфигурацию и т.д. Эта информация помещается в файл, называемый LDF (файл описания связей).

Следующий шаг в процессе проектирования – генерирование необходимой программы DSP. Программа может создаваться на языке высокого уровня (обычно C или C++), на языке ассемблера для DSP или с использованием обоих языков. Программа DSP, разработанная на C, должна быть откомпилирована для получения кода на языке ассемблера. Нужно учитывать, что преимуществом использования языка C является простота программирования, в то время как результат компиляции такой программы не так эффективен, как при программировании непосредственно на ассемблере. По этой причине многие программисты DSP программируют на C, но используют ассемблер для проектирования таких моментов в программе, которые требуют наибольшего быстродействия. Язык ассемблера компании Analog Devices для DSP использует

а

алгебраический синтаксис и достаточно прост при непосредственном использовании. В конце этапа компиляции компоновщик генерирует исполняемый файл.

Затем программное обеспечение должно быть отлажено с использованием программного симулятора в сочетании с некоторой аппаратной отладочной системой, такой как, например, плата EZ-ICE или другая плата, встраиваемая в слот персонального компьютера и поставляемая какой-либо фирмой

После того, как программа отлажена с использованием отладочной платы, она должна быть протестирована в разрабатываемой системе (на проектируемой плате с DSP). Внутрисхемный эмулятор, такой как EZ-ICE, обычно взаимодействует с проектируемой платой через интерфейс PCI или JTAG-интерфейс через соответствующий кабель.

Конечный этап в процессе создания программы требует генерации загрузочного модуля с использованием программы PROM Splitter.

Обзор средств, поставляемых компанией Analog Devices, приведен на рис. 7.50. Все перечисленные средства далее будут детально рассмотрены.

Семейство плат EZ-KIT Lite фактически является набором стартовых комплектов, содержащих отладочные платы для различных DSP. В дополнение к самому процессору, эти платы содержат АЦП и ЦАП (codec), связываемые с процессором через его последовательный порт. Все необходимые вспомогательные аналоговые и цифровые устройства находятся на платах. Управление платами осуществляется посредством персонального компьютера через последовательный порт RS-232, а также путем перестановки перемычек на плате. Программные средства, совместимые с Windows 95/98/NT, поставляются вместе с платой. Указанные программные средства включают инструменты для генерирования программ, поставляемые с некоторыми функциональными ограничениями и включающие компилятор, ассемблер, компоновщик, программу создания загрузочных модулей (PROM Splitter) и отладчик, являющийся частью интегрированной среды Visual DSP. В комплект программного обеспечения включаются также примеры приложений, такие как генератор DTMF-сигналов, подавитель эхо-сигналов, БПФ, простые цифровые фильтры и т.д. Платы EZ-KIT Lite дают разработчикам возможность при минимальных затратах ознакомиться с предлагаемыми на рынке цифровыми сигнальными процессорами.

а

НАБОРЫ EZ-KIT LITE™ ДЛЯ DSP КОМПАНИИ ANALOG DEVICES INC.

- Оценочная плата EZ-KIT Lite™ – это самостоятельное настольное устройство, которое подключается к компьютеру, работающему под Windows
- Плата EZ-KIT Lite™ обеспечивает:
 - ◆ Недорогой способ начальной оценки возможностей процессоров серии ADSP
 - ◆ Мощные средства проектирования для разнообразных систем общего назначения
- Предназначены для:
 - ◆ Начинающих пользователей процессоров DSP
 - ◆ Начинающих пользователей процессоров DSP фирмы Analog Devices Inc.
 - ◆ Пользователей DSP фирмы ADI, разрабатывающих новые конструкции
 - ◆ Пользователей DSP фирмы ADI, совершенствующих существующие разработки с целью увеличения производительности

Рис. 7.51

НАБОР EZ-KIT LITE™ ДЛЯ ADSP-2189M

- Аппаратные средства:
 - ◆ Процессор ADSP-2189M с производительностью 75 MIPS
 - ◆ Стерео кодек AD73322L
 - ◆ Коэффициент усиления кодека программируется с помощью DSP
 - ◆ 2 Мбит и более защищенной памяти Flash EPROM
 - ◆ Интерфейс типа RS-232 для подключения к компьютеру
 - ◆ Выбор режима работы с хост-процессором или с полной памятью с помощью установленного на плате переключателя
 - ◆ Разъем для эмулятора ADSP-218x EZ-ICE
 - ◆ Разъем для расширения, в который выведены все входные и выходные сигналы, шины питания 5 В, 3.3 В, 2.5 В и шина земли
 - ◆ Светодиодные индикаторы напряжения питания, работы интерфейса RS-232 и индикатор программирования
- Программное обеспечение:
 - ◆ Работает под управлением Windows 95/98/NT-4.0
 - ◆ VisualDSP®: ограниченная версия, включающая компилятор, ассемблер, компоновщик, загрузчик, интерфейс отладки VisualDSP
 - ◆ Готовые примеры программ: генератор DTMF, эхоподавитель, БПФ и т.п. (аналогичные имеющимся в 2181 EZ-KIT Lite)
 - ◆ Поддержка электронной почты

Рис. 7.52

НАБОР EZ-KIT LITE™ ДЛЯ ADSP-21160M

- **Аппаратные средства:**
 - ◆ Процессор ADSP-21160M SHARC
 - ◆ 16-разрядный стерео кодек AD1881 AC'97 SoundMAX
 - ◆ Flash-память объемом 2 Мбит
 - ◆ Разъем JTAG
 - ◆ Поддержка процессоров семейства ADSP-2116x
 - ◆ Статическая память SBSRAM объемом 64K × 64 бит
 - ◆ Расширенный параллельный порт
 - ◆ Соответствует стандартам CE
- **Программное обеспечение:**
 - ◆ Работает под управлением Windows 95/98/NT
 - ◆ В оценочный вариант VisualDSP++™ входят: компилятор, ассемблер, линкер, загрузчик программы, интерфейс отладчика VisualDSP. VisualDSP можно использовать только для аппаратных средств EZ-KIT Lite
 - ◆ Демонстрационные программы: DFT.dxe, BP.dxe, Pluck.dxe, Primes.dxe, Tt.dxe



Рис. 7.53

НАБОР EZ-KIT LITE™ ДЛЯ ПРОЦЕССОРА ADSP-21065L

- **Аппаратные средства:**
 - ◆ Процессор ADSP-21065L, работающий на частоте 60 МГц
 - ◆ Полнодуплексный 16-разрядный аудио-кодек
 - ◆ Интерфейс UART RS-232
 - ◆ Разъем JTAG для отладки
 - ◆ Разъем расширения MAFE+
- **Программное обеспечение:**
 - ◆ Работает под управлением Windows 95/98/NT
 - ◆ В оценочный вариант VisualDSP++™ входят: компилятор, ассемблер, линкер, загрузчик программы, интерфейс отладчика VisualDSP. VisualDSP можно использовать только для аппаратных средств EZ-KIT Lite
 - ◆ Демонстрационные программы: Быстрое преобразование Фурье (FFT), Дискретное преобразование Фурье (DFT), Полосовой фильтр, синтезатор звучания струны, сквозное воспроизведение

Рис. 7.54

Конечным этапом в разработке системы цифровой обработки сигналов является отладка непосредственно всей системы или проектируемой платы. Внутрисхемный эмулятор

а

компания Analog Devices EZ-ICE подключается через специальный разъем на плате для реализации программной и аппаратной отладки в разрабатываемой системе. Внутрисхемные эмуляторы компании Analog Devices показаны на рис. 7.55–7.58. На рис. 7.56 изображен эмулятор Apex-ICE, взаимодействующий с отлаживаемой платой через интерфейс JTAG, который в свою очередь осуществляет связь с процессором семейства SHARC. Для связи эмулятора с PC используется порт USB. Существуют другие внутрисхемные эмуляторы, которые используют для связи с компьютером интерфейсы ISA, PCI, RS232 и Ethernet.

НАБОР EZ-ICE® ДЛЯ ПРОЦЕССОРОВ СЕМЕЙСТВА ADSP-218x

- Интерфейс последовательного порта RS-232, собственно плата эмулятора и 14-контактный разъем JTAG
- Представляет собой устройство для тестирования, наблюдения и отладки устройств на ADSP-218x
- Длина кабеля 180 см
- Аппаратный переключатель напряжений питания 2.5 В, 3.3 В или 5 В
- Плата устройства помещена в экранированный корпус
- Лучшая производительность за счет более скоростного интерфейса



Рис. 7.55

ЭМУЛЯТОР APEX-ICE С ПОДКЛЮЧЕНИЕМ К ПОРТУ USB

- Эмулятор для JTAG-интерфейса процессоров DSP фирмы ADI, подключаемый к порту USB
- Первое портативное устройство для JTAG-интерфейса DSP
- Небольшое портативное устройство
- Кабель небольшого диаметра длиной 5 м обеспечивает мобильность
- Внешний источник питания

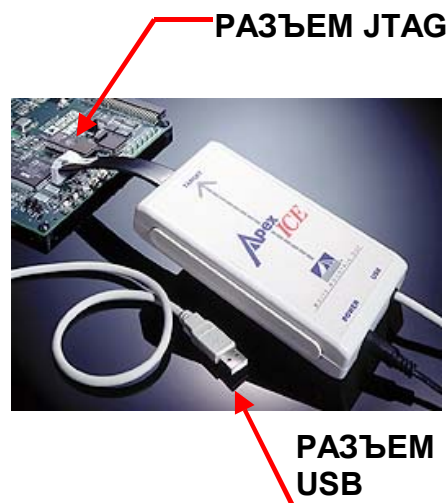


Рис. 7.56

а

ЭМУЛЯТОР TREK-ICE™ С ПОДКЛЮЧЕНИЕМ К СЕТИ ETHERNET

- Эмулятор для подключения к сети в корпусе mini-tower, снабженный портом 10-Base-T
- Подключение к локальной сети не сложнее, чем подключение лазерного принтера
- Дистанционная отладка с помощью компьютера или рабочей станции SUN
- Надежный высокоскоростной соединитель 3 В/5 В
- Гибкий кабель длиной 1.5 м



Рис. 7.57

ЭМУЛЯТОР SUMMIT-ICE™ С ИНТЕРФЕЙСОМ PCI

- 32-разрядный PCI-интерфейс в виде платы расширения
- Кабель длиной 10 см с 14-контактным JTAG-разъемом
- Улучшенная технология ICERAK обеспечивает эффективность надежность
- JTAG интерфейс снабжен внешним экранированным кабелем длиной 1.5 м
- Поддерживает режим plug-and-play под управлением Windows 95/NT



Рис. 7.58

VISUALDSP и VISUALDSP++

Новые программные средства разработки компании Analog Devices для DSP – пакеты VisualDSP® и VisualDSP ++ – являются весьма простыми в использовании инструментами, работающими под управлением Windows 95|98|NT. Пакет VisualDSP является интегрированной программной средой, включающей все необходимые для отладки средства и поддерживающей ассемблер с алгебраическим синтаксисом и оптимизированный C-компилятор. Мультипроцессорное окружение также может быть смоделировано и отлажено. VisualDSP++ обеспечивает поддержку языка C++.

В настоящее время существуют версии VisualDSP для процессоров семейства ADSP-218 и ADSP-219x, а также для DSP семейства SHARC.

а

Для оценки свойств программного обеспечения может использоваться программа компании Analog Devices “Test Drive”, по которой программное обеспечение может быть предоставлено пользователю на ограниченный срок.

В дополнение к уже описанным средствам и методам поддержки заказчиков, предоставляемым компанией Analog Devices, стоит упомянуть о программе DSP Collaborative, которая объединяет более 80 компаний, предлагающих на рынке ряд продуктов и услуг для облегчения задачи проектирования систем цифровой обработки сигналов. Более 30 компаний обеспечивают поддержку 16-разрядных процессоров семейства ADSP-21xx, и более 50 компаний поддерживают DSP семейства SHARC. Информацию о программе можно найти по адресу:

<http://www.analog.com/industry/dsp/3rdparty/index.html>

Дальнейшую информацию об отладочных средствах для DSP компании Analog Devices можно найти по адресу:

<http://www.analog.com/dsp/tools>

ИНТЕГРИРОВАННАЯ СРЕДА РАЗРАБОТКИ

- **VisualDSP® и VisualDSP++**
 - ◆ Полнофункциональный отладчик для любого этапа разработки
 - ◆ Интегрированная среда разработки (IDE)
 - ◆ Ассемблер с алгебраическим синтаксисом
 - ◆ Симулятор, корректно учитывающий циклы тактового генератора
 - ◆ Оптимизированный ANSI C компилятор со встроенным ассемблером
 - ◆ Математические, ЦОС и C библиотеки
 - ◆ Интеллектуальный мультипроцессорный компоновщик
 - ◆ Интеллектуальный загрузчик
 - ◆ ADSP-218x, 219x: Windows 95, 98, NT, 2000 совместимые
 - ◆ SHARC: Windows 95, 98, NT, 2000 совместимые

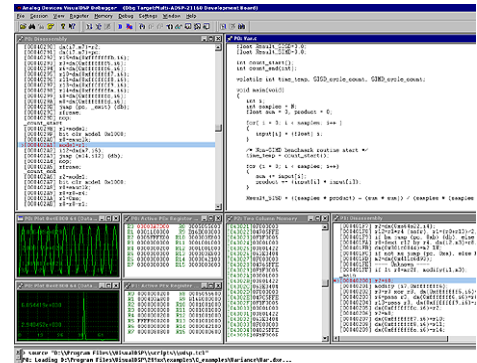


Рис. 7.59

VisualDSP® 7.0 ДЛЯ ПРОЦЕССОРОВ ADSP-218x И ADSP-219x

- Работает под управлением Windows 95/98, Windows NT 4.0 с SP3 или более поздней версией
- Симулятор ADSP-219x поддерживает ядро процессора 219x
- Набор средств ELF/DWARF, включая компилятор с классической и специфической для процессора оптимизацией
- Язык командной строки Tc1
 - ◆ Поддерживает автоматическое тестирование системы DSP
- Транслятор объектов для 21xx
- Автоматизированные средства поддержки программирования периферийных устройств для процессоров ADSP-218x и ADSP-219x

Рис. 7.60

а

VisualDSP++™ ДЛЯ ПРОЦЕССОРОВ SHARC®

- Работает под управлением Windows 95/98, NT, 2000
- Поддержка файлов формата ELF/Dwarf-2 обеспечивает эффективную отладку
- Имеет отдельные препроцессоры для компоновщика/ассемблера и для компилятора
- Быстрая работа в режиме отладки (0.9 с на один шаг)
- Поддержка многопроцессорного режима
 - ◆ Синхронный запуск, пошаговая отладка и останов
- Язык командной строки Tcl
 - ◆ Поддерживает автоматическое тестирование системы DSP
- Статистическое профилирование программы
- Возможности языка C++
- Отображение графиков

Рис. 7.61

СРЕДСТВА РАЗРАБОТКИ ДЛЯ ПРОЦЕССОРОВ TigerSHARC®

- Архитектура TigerSHARC поддерживается набором средств для моделирования, генерации кода и средств отладки, куда входят:
 - ◆ Интегрированная среда разработки VisualDSP
 - Симулятор, ассемблер, загрузчик, отладчик и компилятор
 - Библиотеки для ЦОС и математические библиотеки
 - ◆ Эмуляторы: все представленные JTAG-эмуляторы, поддерживающие процессоры семейства TigerSHARC
 - ◆ EZ-KIT Lite
- В последующих версиях VisualDSP будут продолжено расширение функциональных возможностей отладочных средств.

Рис. 7.62

ТЕСТОВАЯ ВЕРСИЯ VisualDSP

- Данная версия (test drive) представляет собой действующий в течение 30 дней полнофункциональный вариант VisualDSP, в который не входит только программа обучения (tutorial). Новая тестовая версия представляет собой полную версию VisualDSP, в нее входит руководство по VisualDSP в виде файлов pdf.
- Заказчику предоставляется компакт-диск с версией test drive. Затем необходимо обратиться на сайт Analog Devices Inc. по адресу www.analog.com/industry/dsp/tools/test_drive.html и зарегистрировать test drive на сайте. После окончания регистрации заказчик получает серийный номер, который позволяет использовать пакет test drive. Пакет будет работать в течение 30 дней после инсталляции, после чего отключится и зарегистрировать test drive повторно станет невозможно.
- Пакет VisualDSP для процессора SHARC доступен в настоящее время, part # VDSP-SHARC-PC-TEST.
- Пакет VisualDSP для TigerSHARC можно получить, начиная с лета 2000 г.
- Пакет VisualDSP для ADSP-218x/219x можно получить, начиная с сентября 2000 г.

Рис. 7.63

ADI DSP COLLABORATIVE – ЧТО ЭТО ТАКОЕ?

- Более 80 компаний, которые поставляют широкий спектр продуктов и услуг для того, чтобы сделать процесс разработки быстрым и эффективным
 - Процессоры различной архитектуры
 - ◆ Более 30 компаний занимаются поддержкой 16-разрядной архитектуры семейства ADSP-21xx
 - ◆ Более 50 компаний занимаются поддержкой архитектуры семейства SHARC®
 - Имеется более 400 продуктов следующих категорий:
 - ◆ Алгоритмы
 - ◆ Эмуляторы
 - ◆ Операционные системы реального времени
 - ◆ Аппаратные отладочные платы
 - ◆ Отладчики
 - ◆ Графические программы S/W
 - ◆ Поддержка DSP в программе MATLAB®
 - ◆ Консультационное обслуживание
 - Области применения:
 - ◆ Аудио
 - ◆ Управление двигателями и механизмами
 - ◆ Цифровое радио
 - ◆ Радиолокация/Эхолокация
 - ◆ Тестирование и контроль в промышленности
 - ◆ Телекоммуникация
 - ◆ Медицинские приборы
 - ◆ Обработка видеоизображения и звуковых сигналов
 - ◆ Военные/Авиа/Космические
- <http://www.analog.com/industry/dsp/3rdparty/index.html>

Рис. 7.64

a

Литература:

1. Steven W. Smith, **The Scientist and Engineer's Guide to Digital Signal Processing**, Second Edition, 1999, California Technical Publishing, P.O. Box 502407, San Diego, CA 92150. Also available for free download at: <http://www.dspguide.com> or http://www.analog.com/industry/dsp/dsp_book
2. C. Britton Rorabaugh, **DSP Primer**, McGraw-Hill, 1999.
3. Richard J. Higgins, **Digital Signal Processing in VLSI**, Prentice-Hall, 1990.
4. Ethan Bordeaux, *Advanced DSP Performance Complicates Memory Architectures in Wireless Designs*, **Wireless Systems Design**, April 2000.
5. **DSP Designer's Reference (DSP Solutions) CDROM**, Analog Devices, 1999.
6. **DSP Navigators: Interactive Tutorials about Analog Devices' DSP Architectures** (Available for ADSP-218x family and SHARC family): <http://www.analog.com/industry/dsp/training/index.html#Navigator>
7. **General DSP Training and Workshops**: <http://www.analog.com/industry/dsp/training>

The following DSP Reference Manuals and documentation are available for free download from: http://www.analog.com/industry/dsp/tech_docs.html

8. **ADSP-2100 Family Users Manual, 3rd Edition**, Sept., 1995.
9. **ADSP-2100 Family EZ Tools Manual.**
10. **ADSP-2100 EZ-KIT Lite Reference Manual.**
11. **Using the ADSP-2100 Family, Vol. 1, Vol. 2.**
12. **ADSP-2106x SHARC User's Manual, 2nd Edition**, July, 1996.
13. **ADSP-2106x SHARC EZ-KIT Lite Manual.**
14. **ADSP-21065L SHARC User's Manual, Sept. 1, 1998.**
15. **ADSP-21065L SHARC EZ-LAB User's Manual.**
16. **ADSP-21160 SHARC DSP Hardware Reference.**

a

ГЛАВА 8

ОРГАНИЗАЦИЯ ИНТЕРФЕЙСА С DSP-ПРОЦЕССОРАМИ

- Организация параллельного интерфейса с DSP-процессорами: чтение данных из АЦП, подключенного с отображением в адресное пространство памяти
- Организация параллельного интерфейса с DSP- процессорами: запись в ЦАП, подключенный с отображением в адресное пространство памяти
- Организация последовательного интерфейса с DSP-процессорами
- Организация интерфейса DSP-процессоров с портами ввода-вывода, устройствами ввода-вывода аналоговых сигналов и кодеками
- Системный интерфейс DSP-процессоров.

а

ГЛАВА 8

ОРГАНИЗАЦИЯ ИНТЕРФЕЙСА С DSP-ПРОЦЕССОРАМИ

Уолт Кестер, Дан Кинг

ВВЕДЕНИЕ

В связи с быстрым развитием технологии смешанной аналогово-цифровой обработки сигналов устройства на базе DSP с высокой степенью интеграции, появляющиеся на рынке в настоящее время (например ADSP-21ESP202), имеют помимо DSP-ядра интегрированные АЦП/ЦАП, что снимает проблему организации интерфейса между отдельными компонентами. Дискретные АЦП и ЦАП теперь оснащаются интерфейсами, специально предназначенными для связи с DSP, и тем самым минимизируют или устраняют необходимость внешней поддержки интерфейса или применения интерфейсной логики. Высокопроизводительные сигма-дельта-АЦП и ЦАП в настоящее время выпускаются в одном корпусе (такое комбинированное решение называется КОДЕК или КОдер/ДЕКОдер), например, AD73311 и AD73322. Данные устройства также разработаны с учетом минимальных требований к интерфейсной логике при работе с наиболее распространенными DSP-процессорами. В настоящей главе рассматриваются проблемы, связанные с передачей и синхронизацией данных при организации различных интерфейсов.

ОРГАНИЗАЦИЯ ПАРАЛЛЕЛЬНОГО ИНТЕРФЕЙСА С DSP-ПРОЦЕССОРАМИ: ЧТЕНИЕ ДАННЫХ ИЗ АЦП, ПОДКЛЮЧЕННОГО С ОТОБРАЖЕНИЕМ В АДРЕСНОЕ ПРОСТРАНСТВО ПАМЯТИ

Подключение АЦП или ЦАП через быстрый параллельный интерфейс к DSP-процессору требует понимания специфики процессов чтения данных DSP-процессором из периферийных устройств (АЦП), а также записи данных процессором в периферийные устройства (ЦАП) при подключении данных устройств в адресное пространство памяти. Вначале мы рассмотрим некоторые основные требования к временным параметрам сигналов, используемых для чтения и записи данных. Необходимо отметить, что принципы, представленные здесь на примере доступа к АЦП и ЦАП, применимы также при чтении и записи в/из внешней памяти.

Блок-схема типичного параллельного интерфейса DSP-процессора с внешним АЦП показана на рис 8.1. Эта диаграмма сильно упрощена и показывает только сигналы, используемые для чтения данных из внешнего устройства, подключенного в адресное пространство памяти. Временная диаграмма цикла чтения для процессоров семейства ADSP-21XX показана на рис. 8.2.

В этом примере подразумевается, что АЦП производит выборку с постоянной частотой, которая задается внешним тактовым генератором, асинхронно по отношению к внутренней тактовой синхронизации DSP-процессора. Использование отдельного задающего генератора для АЦП является предпочтительным, поскольку сигнал внутреннего генератора DSP-процессора может иметь высокий уровень помех и фазовый

а

шум (jitter), который в процессе аналого-цифрового преобразования приведет к увеличению уровня шумов АЦП.

Тактовый импульс задающего генератора на входе "старт преобразования" (convert start) АЦП инициирует процесс преобразования входных данных (шаг N 1). По переднему фронту этого импульса внутренняя схема выборки-хранения АЦП переключается из режима выборки в режим хранения и таким образом начинается процесс преобразования. После выполнения преобразования на выходе АЦП выставляется строб *преобразование выполнено* (шаг N 2). Когда этот сигнал поступает на вход *запроса прерывания DSP-процессора* (\overline{IRQ}), начинается процесс чтения данных из АЦП. Далее процессор выставляет на шине адрес периферийного устройства, инициировавшего запрос на прерывание (шаг N 3). В то же самое время процессор переводит в активное состояние сигнал доступа к памяти (\overline{DMS}) (шаг N 4). Две внутренние шины адреса в процессоре ADSP-21XX (шина адреса памяти программ и шина адреса памяти данных) совместно используют внешнюю шину адреса, а две внутренние шины данных (шина данных памяти программ и шина данных памяти данных) совместно используют одну внешнюю шину данных. Сигналы *выбора памяти начальной загрузки* (\overline{BMS}), *выбора памяти данных* (\overline{DMS}), *выбора памяти программ* (\overline{PMS}) и *выбора памяти устройств ввода-вывода* (\overline{IOMS}) указывают, для какой памяти в данный момент используются внешние шины. Эти сигналы обычно используются для разрешения внешней дешифрации адреса, как показано на рис. 8.1. Выходной сигнал дешифратора адреса подается на вход *chip select* выбора периферийного устройства (шаг N 5).

Сигнал чтения памяти (*memory read*, \overline{RD}) выставляется через промежуток времени t_{ASR} после активации сигнала \overline{DMS} (шаг N 6). Чтобы полностью использовать преимущество высокой скорости DSP-процессора, сумма времени задержки дешифрации адреса и времени включения периферийного устройства после подачи сигнала выбора (*chip select*) не должна превышать время t_{ASR} . Сигнал чтения памяти (*memory read*, \overline{RD}) остается активным (низкий логический уровень) в течение времени t_{RP} . Этот сигнал используется для перевода в активное состояние параллельного выхода данных периферийного устройства (шаг N 7). Сигнал \overline{RD} обычно подключается к соответствующему выводу периферийного устройства, называемому сигналом *разрешения выхода* или *чтения* (*output enable* или *read*). Восходящий (задний) фронт сигнала \overline{RD} используется для ввода данных с шины в DSP-процессор (шаг N 8). После появления восходящего (заднего) фронта сигнала \overline{RD} данные на шине должны удерживаться периферийным устройством в течение времени t_{RDH} , называемого временем удержания данных. Для большинства процессоров семейства ADSP-21XX это время равно нулю.

Основные требования к временным параметрам периферийного устройства показаны на рис. 8.3. Все значения даны для процессора ADSP-2189M, работающего на тактовой частоте 75 МГц.

а

ПОДКЛЮЧЕНИЕ АЦП К ПРОЦЕССОРАМ СЕМЕЙСТВА ADSP-21xx ЧЕРЕЗ ПАРАЛЛЕЛЬНЫЙ ИНТЕРФЕЙС

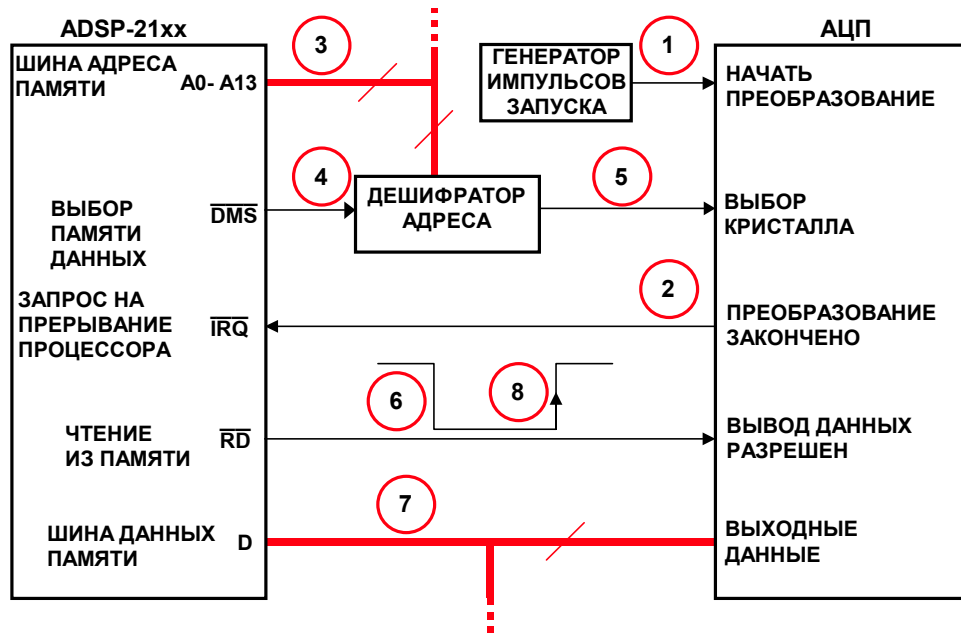


Рис. 8.1

ВРЕМЕННАЯ ДИАГРАММА ЧТЕНИЯ ИЗ ПАМЯТИ В ПРОЦЕССОРАХ СЕМЕЙСТВА ADSP-21xx

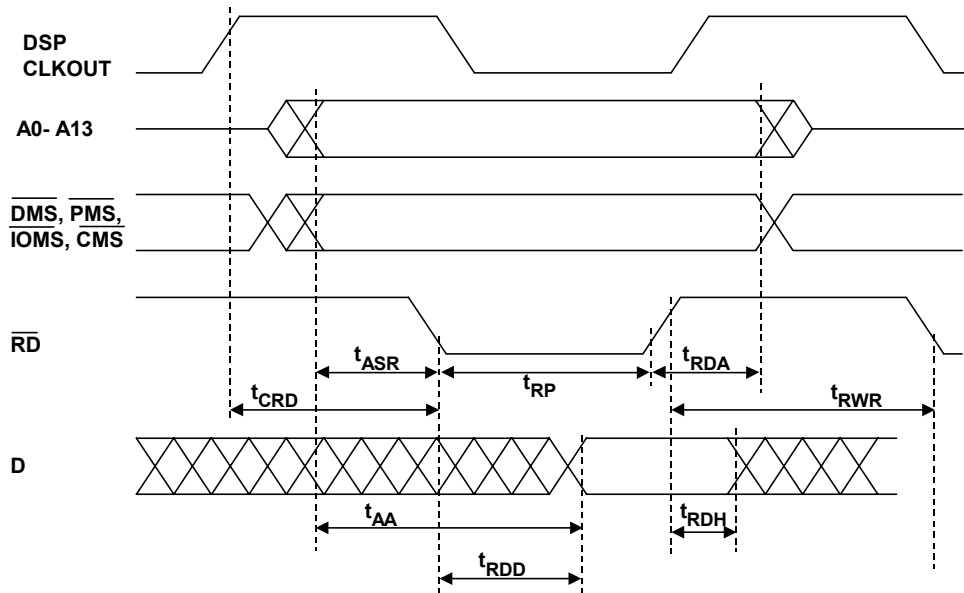


Рис. 8.2

а

ОСНОВНЫЕ ТРЕБОВАНИЯ ПРИ ЧТЕНИИ ИЗ ПЕРИФЕРИЙНОГО УСТРОЙСТВА (ПУ) ЧЕРЕЗ ПАРАЛЛЕЛЬНЫЙ ИНТЕРФЕЙС

- Шина данных периферийного устройства должна поддерживать высокоимпедансное Z-состояние
- Время декодирования адреса и время включения периферийного устройства не должно превышать время t_{ASR} установки процессором адреса и сигнала выбора памяти (0.325 нс минимум для процессора ADSP-2189M)
- Для того, чтобы осуществить доступ без режима ожидания, время от спадающего (переднего) фронта сигнала чтения \overline{RD} до момента достоверного установления данных не должно превышать t_{RDD} (составляет 1.65 нс для процессора ADSP-2189M при работе на частоте 75 МГц), иначе необходимо программно обеспечить режим ожидания или снизить частоту работы процессора
- На выходе АЦП должны поддерживаться достоверные данные в течение времени t_{RDH} после восходящего (заднего) фронта сигнала чтения \overline{RD} (время t_{RDH} равно нулю для процессора ADSP-2189M)
- Периферийное устройство должно работать при как можно меньшей длительности строба t_{RP} (3.65 нс для процессора ADSP-2189M при работе на частоте 75 МГц), иначе необходимо программно обеспечить режим ожидания или снизить частоту работы процессора

Рис. 8.3

Параметр t_{RDD} определяет время, требуемое для доступа к данным периферийного устройства. В случае процессора ADSP-2189M минимальная длительность t_{RDD} составляет минимум 1.65 нс на частоте 75 МГц. Если требуемое время доступа к периферийному устройству больше, необходимо использовать циклы ожидания или уменьшить тактовую частоту процессора. Это довольно обычная ситуация при подключении внешней памяти или АЦП к быстрым DSP-процессорам. Соотношения между этими временными параметрами для ADSP-2189M показаны в виде уравнений на рис. 8.4. Обратите внимание, что данные характеристики зависят от тактовой частоты процессора DSP.

а

ВРЕМЕННЫЕ ХАРАКТЕРИСТИКИ ПРОЦЕССА ПАРАЛЛЕЛЬНОГО ЧТЕНИЯ ДЛЯ ПРОЦЕССОРА ADSP-2189М ПРИ РАБОТЕ НА ЧАСТОТЕ 75 МГц

- t_{CK} = период тактового сигнала процессора (13.3 нс)
- t_{ASR} = время установки процессором адреса и сигнала выбора памяти до спадающего (переднего) фронта сигнала чтения = $0.25 \cdot t_{CK} - 3$ нс (минимум)
- t_{RDD} = время от спадающего (переднего) фронта сигнала чтения до момента достоверной установки данных = $0.5 \cdot t_{CK} - 5$ нс + (число циклов ожидания) $\times t_{CK}$ (максимум)
- t_{RDH} = время удержания данных после восходящего (заднего) фронта сигнала чтения = 0 нс (минимум)
- t_{RP} = длительность импульса сигнала чтения = $0.5 \cdot t_{CK} - 3$ нс + (число циклов ожидания) $\times t_{CK}$ (минимум)

Рис. 8.4

Процессор ADSP-2189М способен эффективно взаимодействовать с медленными периферийными устройствами при помощи имеющихся средств программирования длительности состояния ожидания. Имеется три специальных регистра для управления процессом ожидания: для памяти начальной загрузки, для памяти программ и для памяти данных и пространства ввода-вывода. Программист может задать от 0 до 15 тактов ожидания для каждого параллельного интерфейса памяти. Каждый такт ожидания увеличивает время доступа к внешней памяти на величину, равную по длительности одному такту генератора тактовых импульсов процессора (13.3 нс для процессора ADSP-2189М, работающего на тактовой частоте 75 МГц). В рассматриваемом примере сигналы *адрес памяти данных*, \overline{DMS} и \overline{RD} удерживаются неизменными в течение дополнительного времени, определяемого продолжительностью тактов ожидания.

Микросхемы AD7854/AD7854L – это 12-разрядные АЦП, работающие с частотой отсчетов 100 или 200 кГц, которые имеют параллельный интерфейс. Эти АЦП работают от однополярного источника питания с напряжением от +3 В до +5.5 В и потребляют порядка 5.5 мВт (AD7854L при питании +3 В). Автоматическое переключение микросхемы в энергосберегающий режим после выполнения преобразования снижает потребляемую мощность до 650 мкВт.

Функциональная схема AD7854/AD7854L показана на рис. 8.5. ИС AD7854/AD7854L реализует технологию преобразования методом последовательного приближения с применением ЦАП с перераспределением зарядов (ЦАП на переключаемых конденсаторах). Наличие режима калибровки позволяет избавиться от погрешности смещения и погрешности коэффициента усиления. Ключевые временные характеристики параллельного интерфейса между AD7854/AD7854L и ADSP-2189М показаны на рис. 8.6. Характеристики процессора ADSP-2189М приведены для тактовой частоты равной 75 МГц.

Исследование временных соотношений, приведенных на рис 8.6, показывает, что для синхронизации работы двух устройств необходимо введение пяти тактов ожидания для процессора ADSP-2189М. Это увеличивает t_{RDD} до 68.15 нс, что превышает минимальное время доступа к АЦП AD7854/AD7854L ($t_8 = 50$ нс минимум). Длительность импульса

а

чтения - t_{RP} по той же причине увеличивается до 70.15 нс, что позволяет удовлетворить требование к длительности строба чтения ($t_7 = 70$ нс минимум). Если периферийное устройство, включенное в адресное пространство памяти, не обладает чрезвычайно малым временем доступа, то использование режима ожидания совершенно необходимо для организации интерфейса с этим устройством, будь то АЦП, ЦАП или внешняя память.

12-РАЗРЯДНЫЙ АЦП AD7854/AD7854L С ЕДИНСТВЕННЫМ НАПРЯЖЕНИЕМ ПИТАНИЯ +3 В, С ЧАСТОТОЙ ДИСКРЕТИЗАЦИИ 200/100 КГЦ И ПАРАЛЛЕЛЬНЫМ ВЫХОДОМ

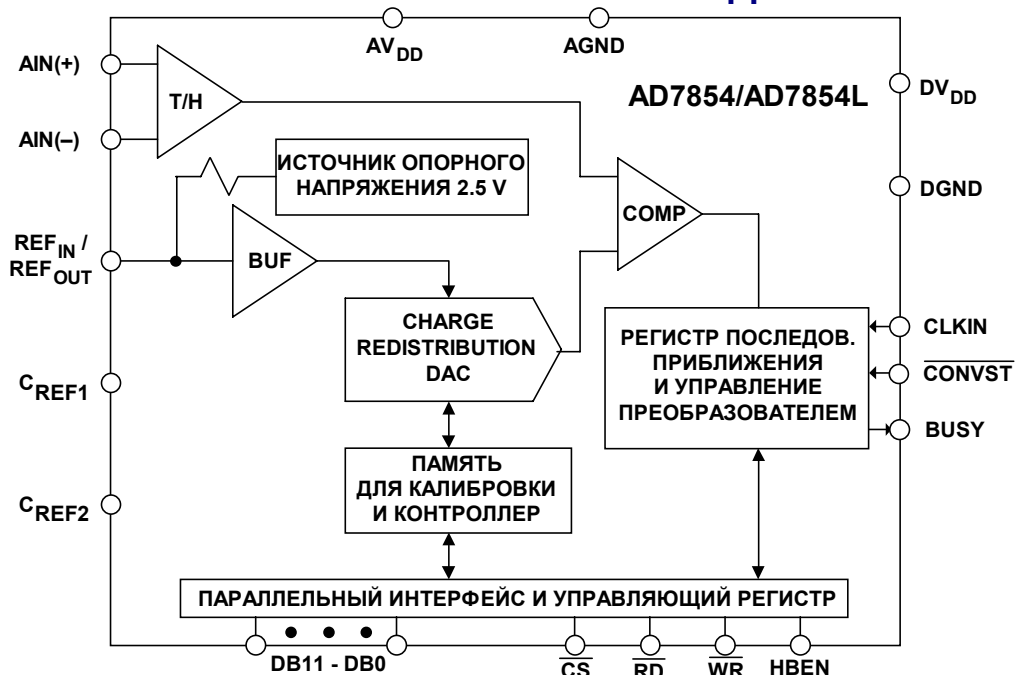


Рис. 8.5

а

СРАВНЕНИЕ ВРЕМЕННЫХ ХАРАКТЕРИСТИК ПАРАЛЛЕЛЬНЫХ ИНТЕРФЕЙСОВ ПРОЦЕССОРА ADSP-2189M И АЦП AD7854/AD7854L

| Процессор ADSP-2189M (75 МГц) | АЦП AD7854/AD7854L |
|--|--|
| t_{ASR} (время установки процессором адреса и сигнала выбора памяти до переднего фронта \overline{RD}) = 0.325 нс мин. | t_5 (время установки от сигнала \overline{CS} до \overline{RD}) = 0 нс мин. (к этой величине необходимо прибавить время декодирования адреса) |
| t_{RP} = (длительность импульса \overline{RD}) = 3.65 нс + (число циклов ожидания) \times 13.3 нс = 70.15 нс мин. | t_{RP} = (длительность импульса \overline{RD}) = 3.65 нс + (число циклов ожидания) \times 13.3 нс = 70.15 нс мин. |
| t_{RDD} = (время от переднего фронта \overline{RD} до момента достоверной установки данных) = 1.65 нс + (число циклов ожидания) \times 13.3 нс = 68.15 нс мин. | t_8 = (время доступа к данным после сигнала \overline{RD}) = 50 нс макс. |
| t_{RDH} (время удержания данных после заднего фронта \overline{RD}) = 0 нс мин | t_9 (время удержания шины после сигнала \overline{RD}) = 5 нс мин./40 нс макс. |

Примечания:

- (1) Добавление 5 циклов ожидания в процессоре ADSP-2189M увеличит время t_{RP} до 70.15 нс, что превышает необходимый минимум t_7 (70 нс) и соответствует требованиям по t_8 (50 нс).
- (2) При максимальном значении t_9 может произойти сбой на шине, если цикл записи непосредственно следует за циклом чтения.

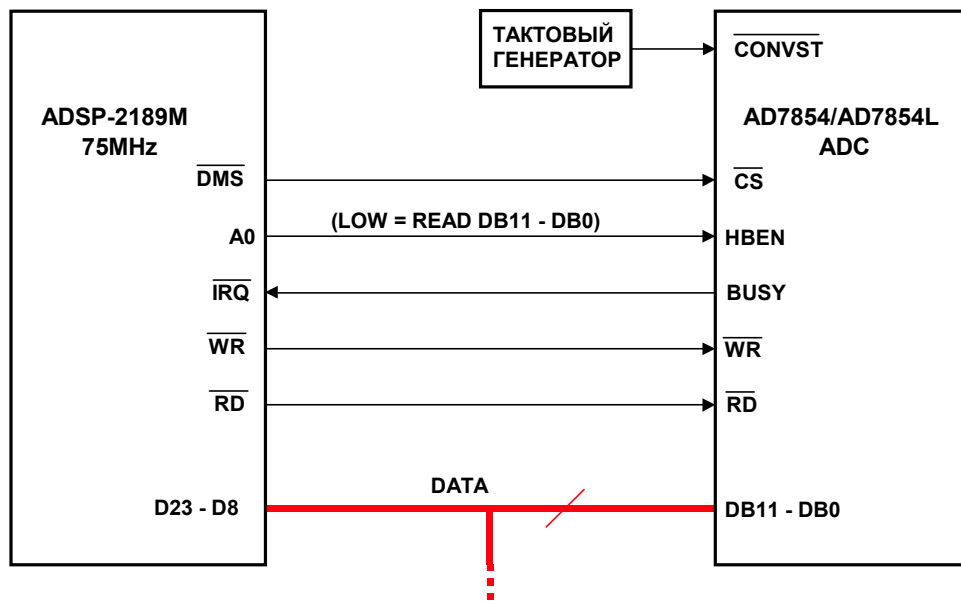
Рис. 8.6

Упрощенная схема интерфейса между двумя устройствами (АЦП и DSP) показана на рис. 8.7. В качестве сигнала окончания преобразования от AD7854/AD7854L используется сигнал BUSY. Нужно заметить, что показанная конфигурация позволяет DSP-процессору записывать данные в регистр управления параллельным интерфейсом AD7854/AD7854L. Это необходимо для установки различных опций в AD7854/AD7854L и выполнения процесса калибровки. Однако в обычном режиме чтение данных из AD7854/AD7854L осуществляется в соответствии с приведенным выше описанием. Запись в периферийные устройства, включенные в адресное пространство памяти, рассматривается в последующих разделах этой главы.

Параллельные интерфейсы между другими DSP-процессорами и внешними периферийными устройствами могут быть построены подобным способом, однако всякий раз необходимо тщательно изучить временные параметры всех соответствующих сигналов для каждого устройства. Техническая документация большинства АЦП содержит достаточную информацию для организации интерфейса с DSP-процессорами.

а

ПАРАЛЛЕЛЬНЫЙ ИНТЕРФЕЙС МЕЖДУ АЦП AD7854/AD7854L И ADSP-2189M



Примечания: Используется 5 программных циклов ожидания
Для записи в АЦП необходимы сигналы HBEN и \overline{WR}
Тактовые импульсы можно получать от процессора DSP

Рис. 8.7

ОРГАНИЗАЦИЯ ПАРАЛЛЕЛЬНОГО ИНТЕРФЕЙСА С DSP-ПРОЦЕССОРАМИ: ЗАПИСЬ ДАННЫХ В ЦАП, ПОДКЛЮЧЕННЫЙ С ОТОБРАЖЕНИЕМ В АДРЕСНОЕ ПРОСТРАНСТВО ПАМЯТИ

Упрощенная блок-схема стандартного интерфейса между DSP-процессором и параллельным периферийным устройством (например ЦАП) показана на рис. 8.8. Диаграммы цикла записи в память для семейства ADSP-21xx показаны на рис.8.9.

В большинстве приложений реального времени ЦАП функционирует непрерывно с постоянной тактовой частотой. Большинство ЦАП, используемых для этих приложений, осуществляет двойную буферизацию данных. Имеется входной регистр для фиксации данных, поступающих через асинхронный интерфейс с DSP-процессором, и далее регистр (называемый регистром хранения ЦАП), который управляет токовыми ключами ЦАП. Регистр хранения ЦАП синхронизируется внешним стабильным генератором, задающим частоту дискретизации. Кроме тактирования регистра хранения ЦАП, данный сигнал используется также для генерации сигнала прерывания DSP-процессора, который указывает на готовность ЦАП к приему новых входных данных.

а

ПОДКЛЮЧЕНИЕ ЦАП К ПРОЦЕССОРАМ СЕМЕЙСТВА ADSP-21xx ЧЕРЕЗ ПАРАЛЛЕЛЬНЫЙ ИНТЕРФЕЙС

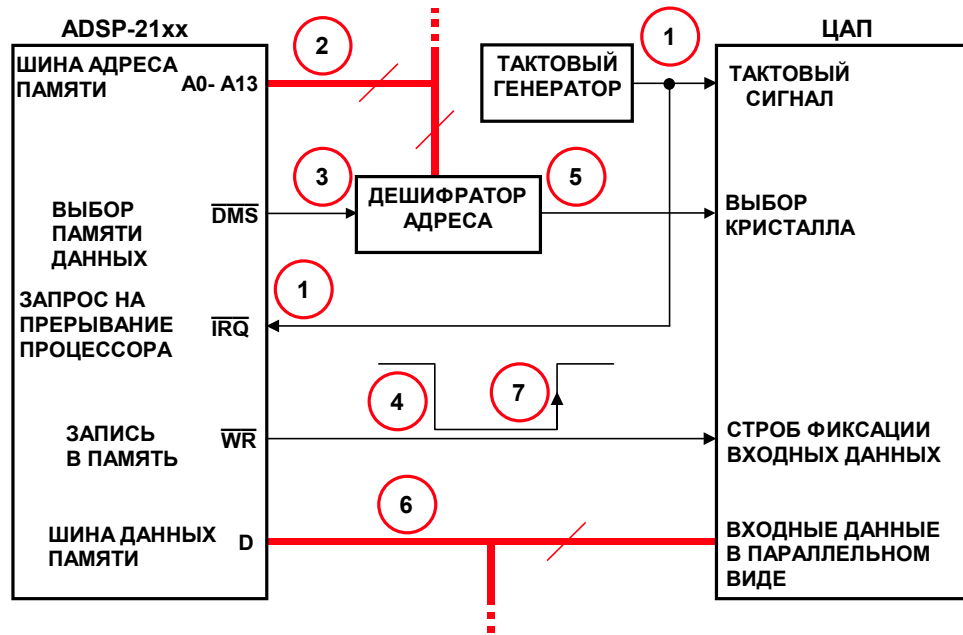


Рис. 8.8

ВРЕМЕННАЯ ДИАГРАММА ЗАПИСИ В ПАМЯТЬ В ПРОЦЕССОРАХ СЕМЕЙСТВА ADSP-21xx

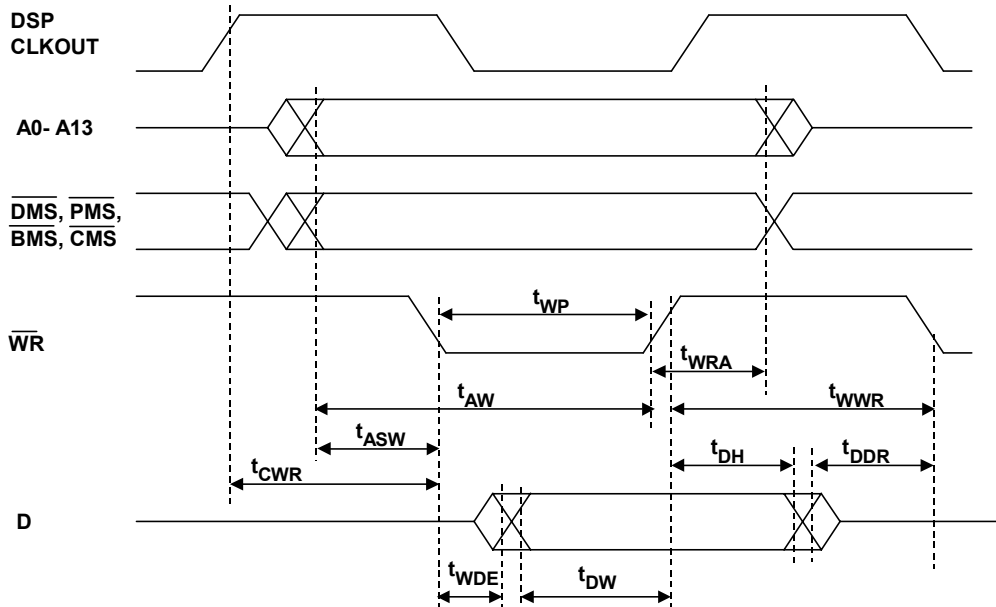


Рис. 8.9

Таким образом, процесс записи инициируется периферийным устройством посредством установления сигнала запроса прерывания DSP-процессора, указывающего, что периферийное устройство готово к приему новых данных (шаг N 1). Далее DSP-процессор выставляет адрес периферийного устройства на *адресной шине* (шаг N 2) и переводит в

а

активное состояние сигнал *выбора памяти* \overline{DMS} (шаг N 3). Это приводит к тому, что дешифратор адреса выдает сигнал выбора (*chip select*) на периферийное устройство (шаг N 5). После спадающего (переднего) фронта сигнала \overline{DMS} через промежуток времени t_{ASW} процессор переводит в активное нулевое состояние сигнал записи \overline{WR} (шаг N 4). Длительность импульса \overline{WR} составляет t_{WP} нс. Данные помещаются на шину данных (D) и удерживаются в течение времени t_{DW} , до перехода сигнала \overline{WR} в неактивное единичное состояние (шаг N 6). Восходящий (задний) фронт сигнала \overline{WR} используется для фиксации присутствующих на шине данных (D) во внешнюю параллельную память (шаг N 7). Данные на шине остаются достоверными еще в течение времени t_{DH} после прохождения положительного фронта сигнала \overline{WR} .

Основные требования по временным параметрам при записи данных в периферийное устройство показаны на рис. 8.10. Главным параметром здесь является длительность строба записи t_{WP} . Для всех периферийных устройств, кроме самых быстрых, придется использовать циклы ожидания, т.к. этим устройствам нужно больше времени для доступа к данным. На рис. 8.11 приведены основные временные характеристики цикла записи процессора ADSP-2189M. Обратите внимание на то, что все они зависят от тактовой частоты процессора.

ОСНОВНЫЕ ТРЕБОВАНИЯ ПРИ ЗАПИСИ В ПЕРИФЕРИЙНОЕ УСТРОЙСТВО (ПУ) ЧЕРЕЗ ПАРАЛЛЕЛЬНЫЙ ИНТЕРФЕЙС

- Время декодирования адреса и время включения периферийного устройства не должно превышать время t_{ASW} установки процессором адреса и сигнала выбора памяти (0.325 нс минимум для процессора ADSP-2189M)
- Для того, чтобы осуществить доступ без режима ожидания, время установления данных не должно превышать t_{DW} (составляет 2.65 нс для процессора ADSP-2189M при работе на частоте 75 МГц), иначе необходимо программно обеспечить режим ожидания или снизить частоту работы процессора
- Время удержания входных данных не должно превышать t_{DH} (составляет 2.325 нс для процессора ADSP-2189M при работе на частоте 75 МГц)
- Периферийное устройство должно работать при длительности строба \overline{WR} составляющей t_{WP} (3.65 нс мин. для процессора ADSP-2189M при работе на частоте 75 МГц), иначе необходимо программно обеспечить режим ожидания или снизить частоту работы процессора

Рис. 8.10

а

ВРЕМЕННЫЕ ХАРАКТЕРИСТИКИ ПРОЦЕССА ПАРАЛЛЕЛЬНОЙ ЗАПИСИ ДЛЯ ПРОЦЕССОРА ADSP-2189M ПРИ РАБОТЕ НА ЧАСТОТЕ 75 МГц

- t_{CK} = период тактового сигнала процессора (13.3 нс)
- t_{ASW} = время установки процессором адреса и сигнала выбора памяти до спадающего (переднего) фронта сигнала записи = $0.25 \cdot t_{CK} - 3$ нс (минимум)
- t_{DW} = время от момента установки данных до восходящего (заднего) фронта сигнала записи = $0.5 \cdot t_{CK} - 4$ нс + (число циклов ожидания) $\times t_{CK}$
- t_{DH} = время удержания данных после восходящего (заднего) фронта сигнала записи = $0.25 \cdot t_{CK} - 1$ нс
- t_{WP} = длительность импульса сигнала записи $\overline{WR} = 0.5 \cdot t_{CK} - 3$ нс + (число циклов ожидания) $\times t_{CK}$ (минимум)

Рис. 8.11

Микросхема AD5340 – это 12-ти разрядный ЦАП, работающий на частоте дискретизации 100 кГц, имеющий параллельный цифровой интерфейс. Данный АЦП питается от однополярного источника питания напряжением +2.5-5.5 В и рассеивает мощность 345 мВт (при напряжении питания 3 В). В энергосберегающем режиме потребляемая мощность прибора снижается до 0.24 мВт. ЦАП AD5340 имеет в своем составе выходной буферный усилитель, который способен формировать выходной сигнал в диапазоне значений от нуля до напряжения питания. В ИС AD5340 можно задействовать или отключить встроенный буфер для источника опорного напряжения. В устройстве имеется встроенная схема формирования сигнала сброса при включении питания, гарантирующая нулевое значение сигнала на выходе ЦАП до тех пор, пока в ЦАП не будут записаны корректные данные. Структурная схема ЦАП показана на рис. 8.12. На входе прибора осуществляется двойная буферизация данных. Основные временные характеристики интерфейса между двумя устройствами (ЦАП и DSP) приведены на рис. 8.13. Спецификация временных параметров цикла записи для ADSP-2189M дается для тактовой частоты 75 МГц.

а

12-РАЗРЯДНЫЙ ЦАП AD5340 С ЧАСТОТОЙ ПРЕОБРАЗОВАНИЯ 100 КГЦ И ПАРАЛЛЕЛЬНЫМ ВХОДОМ

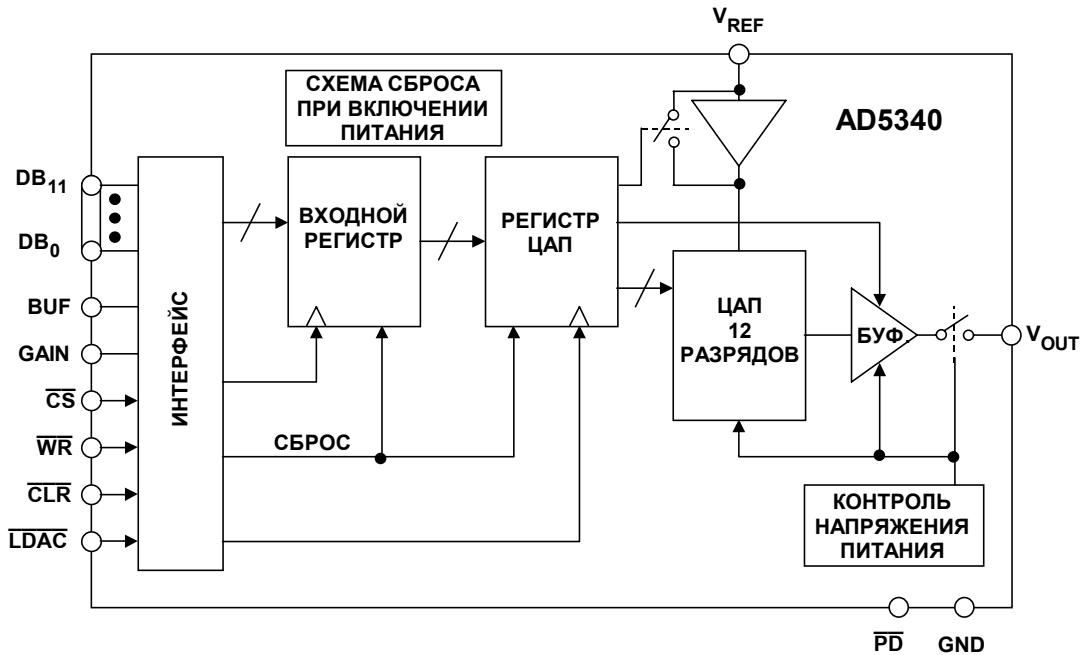


Рис. 8.12

ВРЕМЕННЫЕ ХАРАКТЕРИСТИКИ ПАРАЛЛЕЛЬНЫХ ИНТЕРФЕЙСОВ ПРОЦЕССОРА ADSP-2189M И ЦАП AD5340

| Процессор ADSP-2189M (75 МГц) | ЦАП AD5340 |
|--|---|
| t_{ASW} (время установки процессором адреса и сигнала выбора памяти до переднего фронта \overline{WR}) = 0.325 нс мин. | t_1 (время установки от сигнала \overline{CS} до \overline{WR}) = 0 нс мин. |
| t_{WP} = (длительность импульса \overline{WR}) = 3.65 нс + (число циклов ожидания) \times 13.3 нс = 30.25 нс мин. | t_3 = (длительность импульса \overline{WR}) = 20 нс мин. |
| t_{DW} = (время от установки данных до заднего фронта \overline{WR}) = 2.65 нс + (число циклов ожидания) \times 13.3 нс = 29.25 нс мин. | t_4 = (время от установки данных до установки сигнала \overline{WR}) = 5 нс мин. |
| t_{DH} (время удержания данных после заднего фронта \overline{WR}) = 2.325 нс мин | t_5 (время удержания данных до сигнала \overline{WR}) = 4.5 нс мин. |

Примечание:

Добавление 2 циклов ожидания в процессоре ADSP-2189M увеличит время t_{WP} до 30.25 нс и время t_{DW} до 29.25 нс, что превышает величины t_3 (20 нс) и t_4 (5 нс) соответственно.

Рис. 8.13

а

Исследование временных характеристик, изображенных на рис. 8.13, показывает, что для обеспечения совместимости по синхронизации между устройствами потребуется программирование двух циклов ожидания в процессоре ADSP-2189M. Это позволяет увеличить длительность строба записи (WR) до 30.25 нс, что превышает минимально необходимую длительность строба записи в ЦАП AD5340 (20 нс). Минимальное время установления данных в микросхеме AD5340, равное 5 нс, также перекрывается при использовании двух циклов ожидания. Упрощенная схема интерфейса между двумя устройствами показана на рис. 8.14.

Параллельные интерфейсы с другими DSP-процессорами могут быть организованы подобным образом, для чего необходимо подробное изучение временных спецификаций всех соответствующих сигналов каждого из взаимодействующих устройств.

ПАРАЛЛЕЛЬНЫЙ ИНТЕРФЕЙС МЕЖДУ ЦАП AD5340 И ADSP-2189M



Рис. 8.14

ОРГАНИЗАЦИЯ ПОСЛЕДОВАТЕЛЬНОГО ИНТЕРФЕЙСА С DSP-ПРОЦЕССОРАМИ

DSP-процессоры, имеющие последовательные порты (например, семейство ADSP-21XX), позволяют организовать простой интерфейс с такими периферийными устройствами, как АЦП и ЦАП. Наличие последовательного порта устраняет необходимость использования больших параллельных шин для подключения АЦП и ЦАП к DSP-процессорам. Чтобы уяснить принцип последовательной передачи данных, мы рассмотрим сначала работу последовательного порта процессоров семейства ADSP-21XX.

Структурная схема одного из двух последовательных портов процессора семейства ADSP-21XX показана на рис. 8.15. Передающий (TX) и принимающий (RX) регистры последовательного порта определены на уровне синтаксиса языка ассемблера процессоров семейства ADSP-21XX и не отображаются в памяти процессора.

а

СТРУКТУРНАЯ СХЕМА ПОСЛЕДОВАТЕЛЬНОГО ПОРТА ПРОЦЕССОРОВ СЕМЕЙСТВА ADSP-21xx

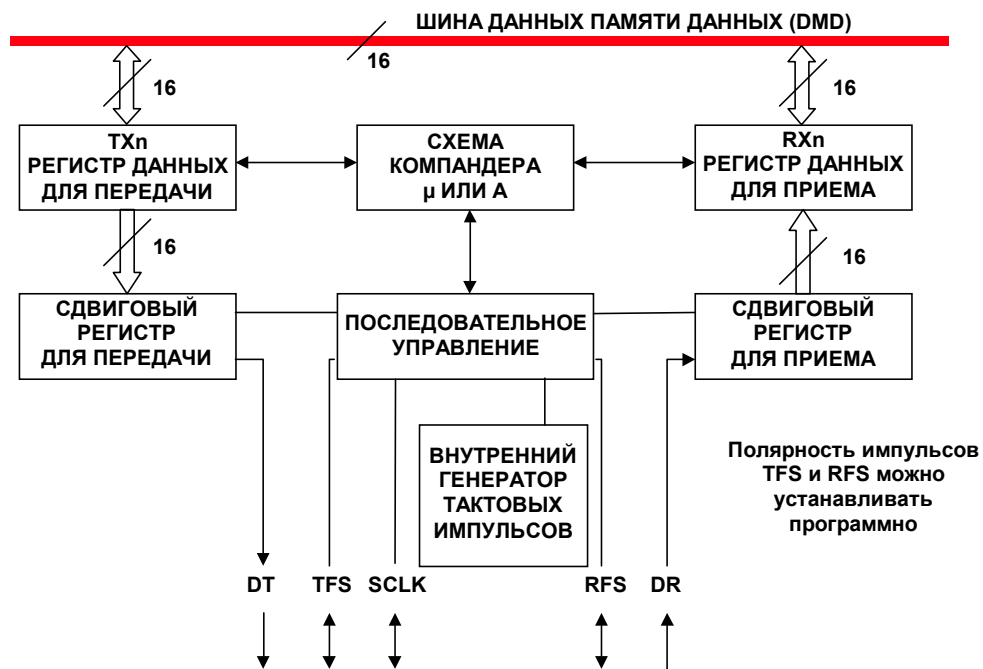


Рис. 8.15

ОСОБЕННОСТИ РАБОТЫ ПОСЛЕДОВАТЕЛЬНОГО ПОРТА В ПРОЦЕССОРАХ СЕМЕЙСТВА ADSP-21xx

- Отдельные секции приема и передачи данных для каждого порта
- Двойная буферизация регистров приема и передачи данных
- Тактовые импульсы для последовательного обмена могут генерироваться как внутри процессора, так и поступать извне
- Сигналы синхронизации фреймов могут быть внутренними или внешними
- Длина передаваемых слов может составлять от 3 до 16 бит
- Автоматическая генерация прерываний
- Аппаратный компандер освобождает ресурс ядра процессора

Рис. 8.16

В приемной части последовательного порта сигнал фреймовой синхронизации приема (RFS) инициирует прием данных. Последовательный поток принимаемых данных (DR) от внешнего устройства (АЦП), побитно направляется в приемный регистр сдвига. Для битовой синхронизации используются спадающие фронты тактовых импульсов сигнала SCLK. После завершения приема очередного слова, оно записывается в регистр приема данных (RX), и последовательный порт генерирует запрос прерывания, по которому ядро процессора имеет возможность прочитать принятое слово из регистра (RX).

а

Запись в регистр передачи данных (TX) подготавливает последовательный порт к передаче данных. Начало передачи данных сопровождается сигналом фреймовой синхронизации передачи (TFS). Затем слово из регистра передачи данных (TX) записывается во внутренний передающий регистр сдвига. Данные из передающего регистра сдвига побитно посылаются на периферийное устройство (ЦАП). Для синхронизации последовательно передаваемых на внешнее устройство данных (DT) используются положительные фронты импульсов тактового сигнала SCLK. После передачи первого бита последовательный порт генерирует запрос прерывания, по которому ядро процессора может записать в регистр передачи данных новое слово, несмотря на то, что передача предыдущих данных еще не завершена.

При нормальном режиме фреймовой синхронизации сигнал фреймовой синхронизации (RFS или TFS) проверяется по нисходящему фронту тактового сигнала SCLK. Если в этот момент сигнал фреймовой синхронизации активен, то данные доступны (в режиме передачи) или данные фиксируются в приемном регистре сдвига (в режиме приема) по нисходящему фронту следующего тактового импульса сигнала SCLK. Сигнал фреймовой синхронизации не проверяется далее до окончания передачи или приема всего оставшегося слова. При альтернативном режиме фреймовой синхронизации сигнал фреймовой синхронизации устанавливается в том же самом такте сигнала SCLK, что и первый бит слова. Биты данных фиксируются по нисходящему фронту сигнала SCLK, но сигнал фреймовой синхронизации проверяется только в такте, соответствующем первому биту. Генерированный внутри сигнал фреймовой синхронизации остается в активном состоянии на все время приема или передачи последовательного слова. Альтернативный режим фреймовой синхронизации последовательного порта в процессорах семейства ADSP-21XX обычно используется для приема данных от АЦП или передачи данных на ЦАП.

Последовательные порты процессоров семейства ADSP-21XX чрезвычайно универсальны. Сигналы TFS, RFS или SCLK могут либо генерироваться встроенным генератором процессора семейства ADSP-21XX (режим master), либо поступать от внешнего источника (режим slave). Полярность этих сигналов может быть изменена программно, еще более повышая таким образом гибкость интерфейса. Порт также содержит аппаратные средства компандирования с μ - и А-характеристикой для голосовых телекоммуникационных приложений.

ОРГАНИЗАЦИЯ ПОСЛЕДОВАТЕЛЬНОГО ИНТЕРФЕЙСА МЕЖДУ DSP-ПРОЦЕССОРОМ И АЦП

Временные диаграммы работы последовательного порта процессора ADSP-2189M, работающего в режиме приема (альтернативный режим фреймовой синхронизации), показаны на рис. 8.17. Первый отрицательный (нисходящий) фронт сигнала SCLK, следующий после отрицательного (нисходящего) фронта сигнала RFS, синхронизирует фиксацию старшего бита данных (MSB) от АЦП во входном регистре сдвига процессора. Процесс продолжается до тех пор, пока все последовательные биты не будут поочередно приняты во входном регистре сдвига. Основные временные характеристики, на которые следует обратить внимание, это время установления последовательных данных (tSCS) и время их удержания (tSCH) по отношению к отрицательным фронтам сигнала SCLK. В случае использования процессора ADSP-2189M, эти значения равны соответственно 4 и 7 нс. При использовании АЦП последнего поколения, оснащенных высокоскоростными последовательными портами, обычно не возникает трудностей в обеспечении этих характеристик даже при максимальной скорости последовательной передачи данных.

а

ВРЕМЕННАЯ ДИАГРАММА РАБОТЫ ПОСЛЕДОВАТЕЛЬНОГО ПОРТА ПРОЦЕССОРА ADSP-2189M

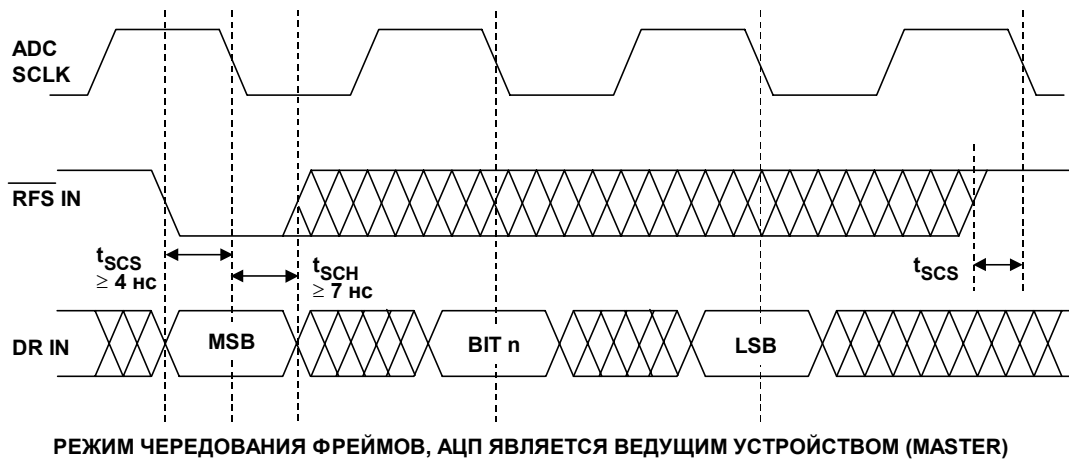


Рис. 8.17

Микросхемы AD7853/AD7853L – это 12-ти разрядные АЦП, поддерживающие частоты дискретизации 100/200 кГц и работающие от однополярного источника питания напряжением от +3 В до +5.5 В с потреблением всего 4.5 мВт (AD7853L при напряжении питания +3 В). После каждого преобразования устройство автоматически переходит в режим пониженного энергопотребления и потребляемая мощность снижается до 25 мкВт. В микросхеме AD7853/AD7853L применяется схема последовательного приближения и используется ЦАП с перераспределением зарядов (ЦАП на переключаемых конденсаторах). Наличие режима калибровки позволяет устранить погрешность смещения и скомпенсировать погрешности усиления. Структурная схема устройства показана на рис. 8.18.

Микросхема AD7853 может работать при частоте внешнего тактового генератора до 4 МГц. Для AD7853L максимальная частота ограничена значением 1.8 МГц. Временные диаграммы для AD7853L показаны на рис. 8.19. В микросхемах AD7853/AD7853L можно конфигурировать выходы SYNC и SCLK как входы или выходы. В показанном примере генерация этих сигналов осуществляется микросхемой AD7853L. Задающий генератор сигнала синхронизации последовательного порта AD7853L работает на максимальной частоте 1.8 МГц (период 556 нс). Биты данных достоверны в течение 330 нс после появления положительных фронтов сигнала SCLK. Это позволяет получить как минимум около 330 нс для установления данных до спадающего фронта сигнала SCLK, что удовлетворяет требованию на минимальную величину t_{SCS} в 4 нс для процессора ADSP-2189M. Время удержания данных после спадающего фронта сигнала SCLK составляет приблизительно 226 нс, что тоже полностью удовлетворяет временным требованиям на величину t_{SCH} в 7 нс для процессора ADSP-2189M. Эти простые вычисления показывают, что требования, предъявляемые спецификацией процессора ADSP-2189M ко времени установления данных и сигнала RFS, а также ко времени их удержания, выполнены со значительным запасом.

а

12-РАЗРЯДНЫЙ АЦП AD7853/AD7853L С ЕДИНСТВЕННЫМ НАПРЯЖЕНИЕМ ПИТАНИЯ +3 В, С ЧАСТОТОЙ ДИСКРЕТИЗАЦИИ 200/100 КГЦ И ПОСЛЕДОВАТЕЛЬНЫМ ВЫХОДОМ

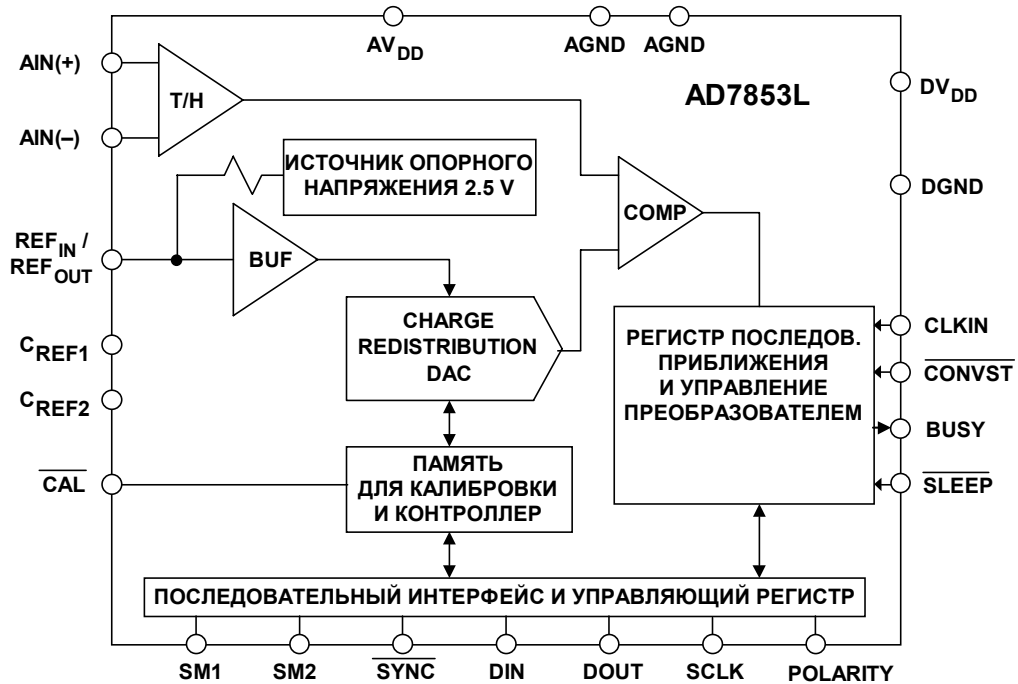


Рис. 8.18

ВРЕМЕННАЯ ДИАГРАММА ЗАПИСИ В ПАМЯТЬ В ПРОЦЕССОРАХ СЕМЕЙСТВА ADSP-21XX

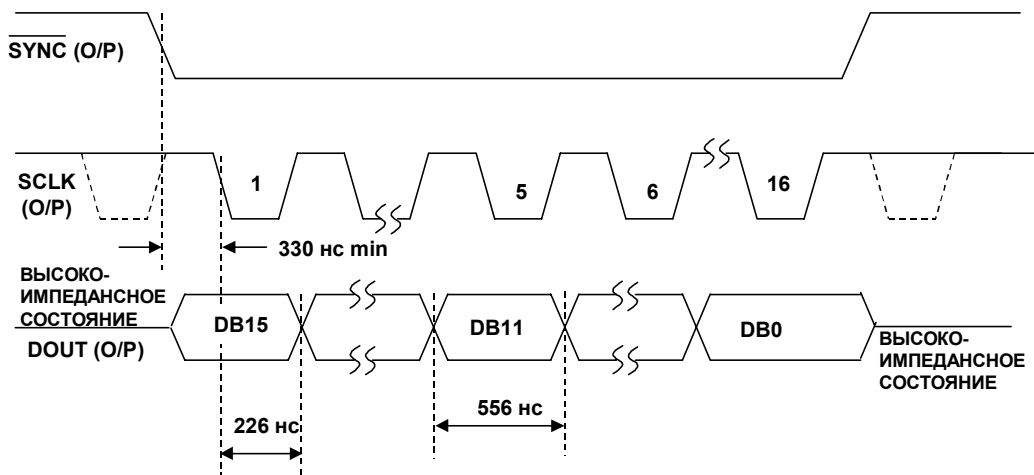


Рис. 8.19

На рис. 8.20 показана система, состоящая из АЦП AD7853L и процессора ADSP-2189M, функционирующая в режиме передачи данных от АЦП к DSP (альтернативный режим фреймовой синхронизации, АЦП работает в режиме "мастер"). В ИС AD7853/AD7853L имеются внутренние регистры, которые доступны для записи со стороны DSP-процессора через последовательный порт. Эти регистры используются для установки различных режимов работы АЦП AD7853/AD7853L, а также для инициализации процесса

а

калибровки. Используемые для этого сигналы не показаны на приведенной ниже диаграмме.

ПОСЛЕДОВАТЕЛЬНЫЙ ИНТЕРФЕЙС МЕЖДУ АЦП AD7853/AD7853L И ADSP-2189M

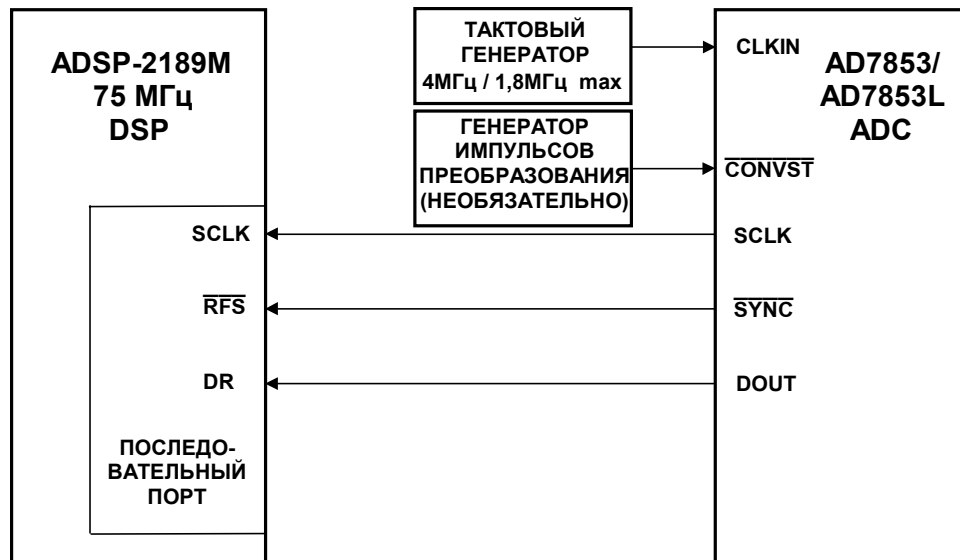


Рис. 8.20

ОРГАНИЗАЦИЯ ПОСЛЕДОВАТЕЛЬНОГО ИНТЕРФЕЙСА МЕЖДУ DSP-ПРОЦЕССОРОМ И ЦАП

Организация интерфейса между последовательными портами ЦАП и процессора семейства ADSP-21xx также относительно проста и подобна рассмотренной выше реализации взаимодействия между АЦП и процессором. Далее мы не будем заново рассматривать детали, но покажем простой пример организации интерфейса.

Микросхема AD5322 представляет собой 12-разрядный сдвоенный ЦАП с частотой дискретизации 100 кГц, оснащенный последовательным входным интерфейсом. Прибор работает от однополярного источника питания с напряжением +2.5-5.5 В; структурная схема устройства показана на рис. 8.21. Потребляемая мощность микросхемы при напряжении питания +3 В составляет 690 мВт. В режиме пониженного энергопотребления потребляемая мощность снижается до 0.15 мВт. Уровень гармонических искажений выходного сигнала не превышает -70 дБ относительно полной шкалы на частоте 10 кГц. Опорное напряжение для каждого ЦАП подается независимо через соответствующие выводы микросхемы (по одному на каждый ЦАП). Внешнее опорное напряжение может подаваться как через внутренние буферы, имеющиеся на соответствующих входах, так и напрямую. Выходы обоих ЦАП могут одновременно обновляться с помощью асинхронного сигнала LDAC. Устройство имеет встроенную схему формирования сигнала сброса по включению питания, гарантирующую нулевое значение сигнала на выходе ЦАП до тех пор, пока в ЦАП не будут записаны корректные данные.

а

СТРУКТУРНАЯ СХЕМА 12-РАЗРЯДНОГО ЦАП AD5322 СО СКОРОСТЬЮ ПРЕОБРАЗОВАНИЯ 100 КГЦ

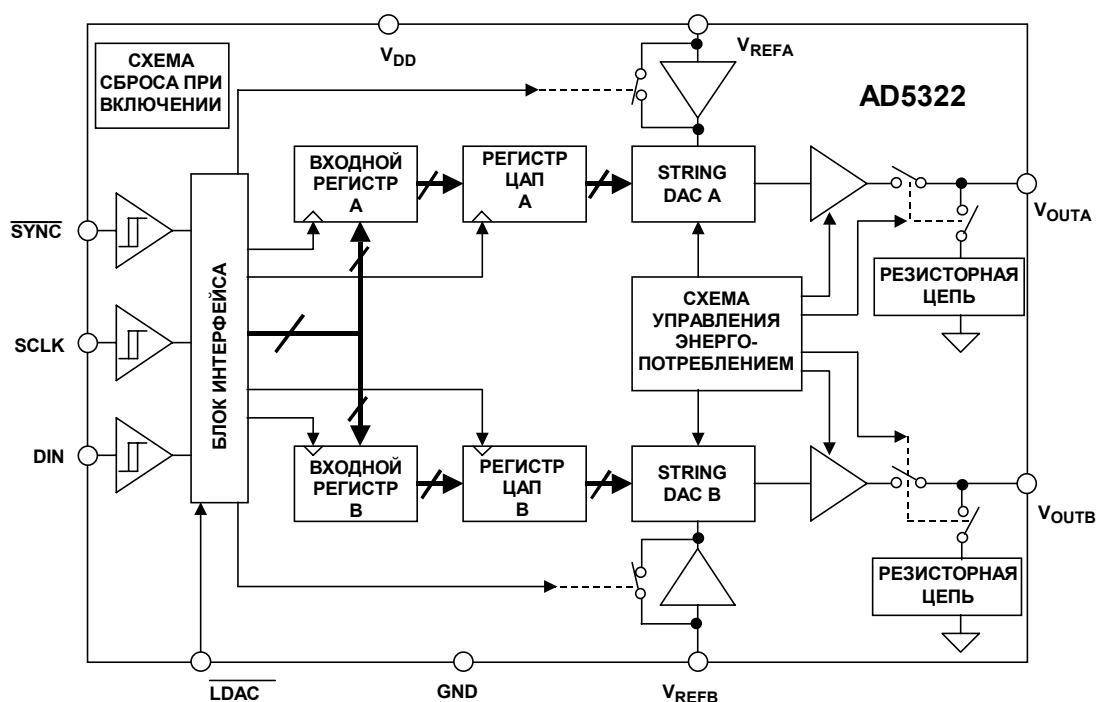


Рис. 8.21

Данные обычно передаются в AD5322 посредством использования входов SCLK, DIN и SYNC из последовательного порта DSP-процессора. Когда сигнал SYNC переходит в активное нулевое состояние, разрешается ввод данных в приемный регистр сдвига ЦАП. Данные фиксируются в приемном регистре сдвига микросхемы AD5322 по спадающим фронтам следующих 16 импульсов сигнала SCLK. Организация стандартного интерфейса между процессором ADSP-2189M и ЦАП AD5322 показана на рис. 8.22. Нужно заметить, что сигнал синхронизации для AD5322 задается генератором тактового сигнала процессора ADSP-2189M. Также существует возможность внешней по отношению к AD5322 генерации сигналов SCLK и SYNC и их использования для синхронизации процессора ADSP-2189M. Последовательный интерфейс AD5322 недостаточно быстр для работы с ADSP-2189M на максимальной скорости, которую может обеспечить процессор. Однако частота сигнала синхронизации последовательного порта процессора может быть запрограммирована на соответствующую скорость, поддерживаемую быстрыми или медленными ЦАП.

Входной регистр сдвига в микросхеме AD5322 имеет разрядность 16 бит. 16-разрядное слово состоит из четырех битов управления, за которыми следуют 12 бит данных для ЦАП. Первый посылаемый бит определяет, для какого из двух имеющихся ЦАП (А или В) предназначены данные. Второй бит определяет использование буферизированного или небуферизированного режима работы входа опорного напряжения. Следующие два бита управляют режимами работы ЦАП (нормальный режим, режим пониженного энергопотребления с заземлением выходов через 1 кОм или через 100 кОм, режим пониженного энергопотребления с высокоимпедансным выходом).

а

ПОСЛЕДОВАТЕЛЬНЫЙ ИНТЕРФЕЙС МЕЖДУ ЦАП AD5322 И ПРОЦЕССОРОМ ADSP-2189M

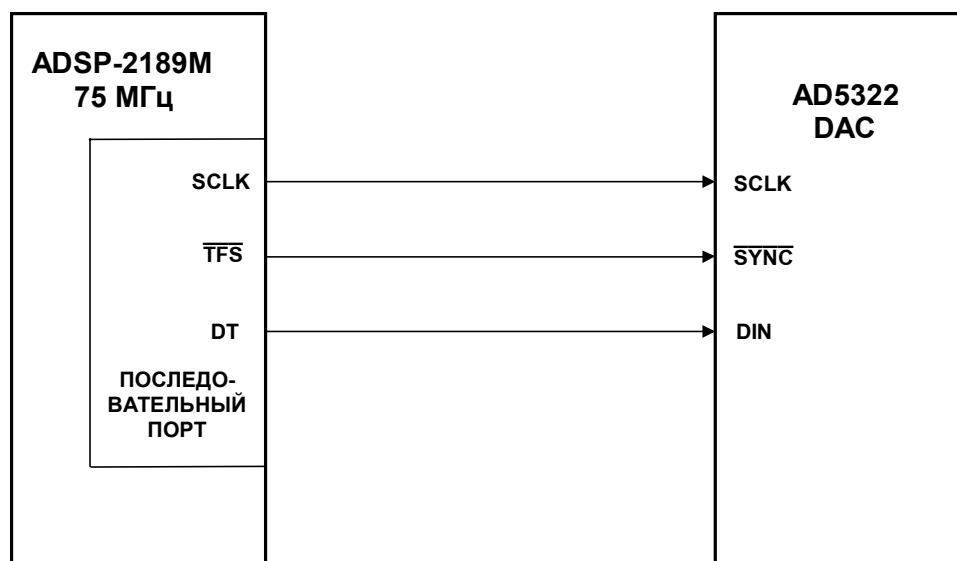


Рис. 8.22

ОРГАНИЗАЦИЯ ИНТЕРФЕЙСА МЕЖДУ УСТРОЙСТВАМИ АНАЛОГОВОГО ВВОДА-ВЫВОДА, КОДЕКАМИ И DSP-ПРОЦЕССОРАМИ

Так как большинство приложений цифровой обработки сигналов требует наличия одновременно АЦП и ЦАП, то широкое развитие получили универсальные устройства, интегрирующие функции кодека и портов ввода-вывода на одном кристалле и обеспечивающие простое подключение к стандартным DSP-процессорам. Эти устройства называют аналоговыми оконечными устройствами (далее по тексту – AFE – Analog Front End).

Функциональная схема микросхемы AD73322 показана на рис. 8.23. Данный прибор представляет собой двойной AFE с двумя 16-разрядными АЦП и двумя 16-разрядными ЦАП с возможностью работы с частотой дискретизации 64 кГц. ИС AD73322 разработана для универсального применения, включая обработку речи и телефонии с использованием сигма-дельта АЦП и сигма-дельта ЦАП. Каждый канал обеспечивает отношение сигнал/шум на уровне 77 дБ в пределах голосовой полосы частот.

Каналы АЦП и ЦАП имеют программируемые коэффициенты усиления по входу и выходу с диапазонами до 38 дБ и 21 дБ соответственно. Встроенный источник опорного напряжения допускает использование однополярного питающего напряжения величиной +2.7-5.5 В. Его потребляемая мощность при напряжении питания +3 В составляет 73 мВт.

а

СТРУКТУРНАЯ СХЕМА ИС AD73322 – 16-РАЗРЯДНОГО КОДЕКА С ЧАСТОТОЙ ДИСКРЕТИЗАЦИИ 64 КГц С ОДНОПОЛЯРНЫМ ПИТАНИЕМ И ПОСЛЕДОВАТЕЛЬНЫМ ИНТЕРФЕЙСОМ

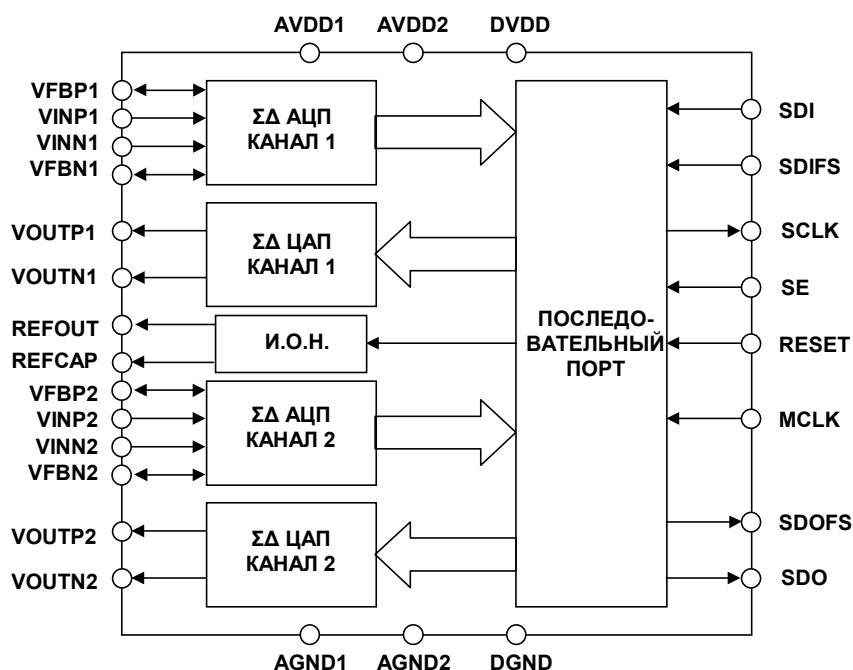


Рис. 8.23

Частота дискретизации кодека может быть запрограммирована на одно из четырех фиксированных значений: 64 кГц, 32 кГц, 16 кГц и 8 кГц при частоте опорного задающего генератора 16.384 МГц. Последовательный порт позволяет легко организовать интерфейс одного или нескольких кодеков, включенных каскадно, со стандартными DSP-процессорами, имеющимися на рынке, например процессорами семейства ADSP-21XX. Скорость передачи данных по последовательному порту может программироваться, что позволяет осуществлять интерфейс как с быстрыми, так и с медленными DSP-процессорами. Организация интерфейса кодека с процессором семейства ADSP-218X показана на рис. 8.24. Вывод SE (включение последовательного порта) может управляться от программируемого выхода общего назначения, например FL1, или, в случаях когда не требуется перевод последовательного порта в энергосберегающий режим, на этот вывод может постоянно подаваться высокий уровень через подходящий нагрузочный резистор. Вывод сброса (RESET) может быть соединен с сигналом общего аппаратного сброса системы или может управляться любым программируемым выходом общего назначения.

В режиме программирования данные передаются от DSP-процессора в управляющие регистры микросхемы AD73322 для активации необходимого режима работы. После программирования конфигурации устройства, т.е. после правильной установки различных регистров управления, кодек может выйти из режима программирования и войти в режим передачи данных. Данные от двух АЦП передаются в DSP-процессор двумя блоками, состоящими из 16-ти разрядных слов. Точно так же данные для двух ЦАП передаются от DSP-процессора к микросхеме AD73322 аналогичным способом. Упрощенные временные диаграммы работы последовательного интерфейса показаны на рис. 8.24.

а

СХЕМА ИНТЕРФЕЙСА КОДЕКА AD73322 И ПРОЦЕССОРА СЕРИИ ADSP-218x (РЕЖИМ ПЕРЕСЫЛКИ ДАННЫХ)

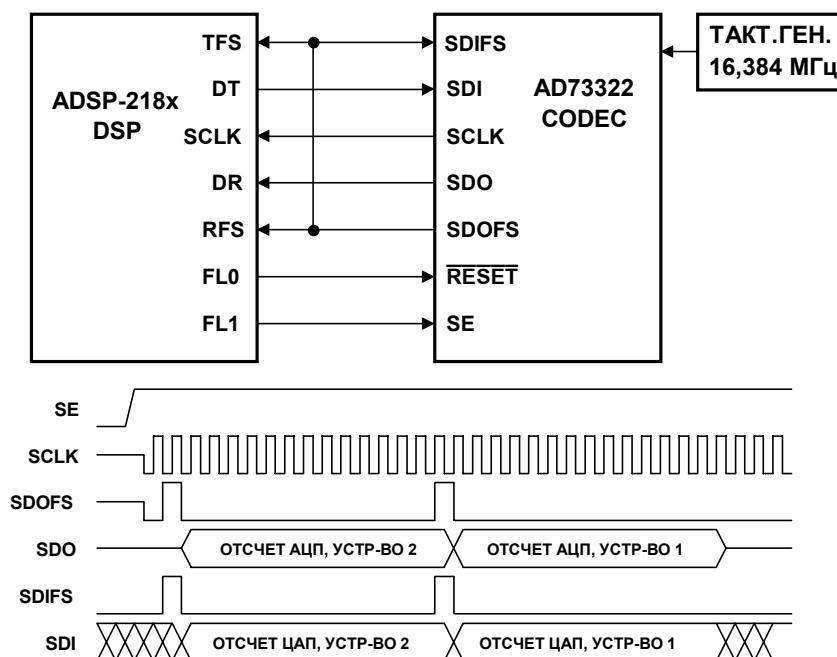


Рис. 8.24

Микросхема AD73422 – это первое изделие в семействе продуктов dspConverter™, которые интегрируют в себе двухканальный кодек (AD73322) и DSP-процессор (52 MIPS ADSP-2185L/86L). Устройство, обладающее полными функциональными возможностями двухканального кодека и DSP-процессора, размещено в небольшом 119-выводном пластмассовом корпусе типа PBGA размером 14×22 мм. Очевидное преимущество такого подхода – экономия площади печатной платы. Используемые АЦП и ЦАП обеспечивают отношение сигнал / шум приблизительно 77 дБ в полосе звуковых частот.

Микросхема AD74222-80 имеет на своем кристалле 80 Кб памяти, сконфигурированной как 16 Кб (24 разряда) ОЗУ программ и 16 Кб (16 разрядов) ОЗУ данных. Встроенное ОЗУ микросхемы AD73422-40 объемом 40 Кб разделено на 8 Кб (24 разряда) памяти программ и 8 Кб (16 разрядов) памяти данных. Режим пониженного энергопотребления обеспечивает низкую потребляемую мощность, необходимую для реализации оборудования с батарейным питанием. Микросхема AD73422 работает при напряжении питания +3 В и рассеивает приблизительно 120 мВт при полнофункциональном режиме работы.

а

ОСНОВНЫЕ ОСОБЕННОСТИ ИС AD73422 dspConverter™

- Полный сдвоенный кодек (AD73322) и DSP (ADSP-2185L/86L)
- Корпус BGA 14 × 22 мм
- Однополярное питание +3 В, потребление 73 мВт
- Режим пониженного энергопотребления
- КОДЕК:
 - ◆ Два сигма-дельта-АЦП и ЦАП, 16-разр
 - ◆ Частоты дискретизации: 8, 16, 32, и 64 КГц
 - ◆ Отношение сигнал/шум 77 dB
- DSP:
 - ◆ 52 MIPS
 - ◆ Совместим по кодам с ADSP-218x
 - ◆ 80 Кб или 40 Кб памяти на кристалле

Рис. 8.25

ОРГАНИЗАЦИЯ ВЫСОКОСКОРОСТНОГО ИНТЕРФЕЙСА

С появлением DSP-процессоров с высокими тактовыми частотами и новыми архитектурными решениями стали возможны анализ и обработка весьма широкополосных сигналов. Программируемость DSP-процессоров делает возможным выполнение различных алгоритмов на тех же самых аппаратных средствах, обеспечивая расширение функциональных возможностей системы. Показанная на рис. 8.26 упрощенная система обеспечивает взаимодействие процессора ADSP-21065L с быстродействующими АЦП и ЦАП посредством использования параллельного интерфейса и внешнего порта DSP-процессора. Семейство DSP-процессоров SHARC позволяет использовать несколько вариантов взаимодействия АЦП и ЦАП с внешним портом процессора. Данное взаимодействие может быть реализовано с использованием контроллера прямого доступа к памяти (ПДП) DSP-процессора, или программно, с использованием ядра процессора. Использование ПДП не загружает ядро DSP-процессора, что дает возможность ядру продолжать работу (выполнять инструкции программы), в то время как данные читаются и записываются из/во внутреннюю память.

Микросхема AD9201 представляет собой двухканальный 10-разрядный АЦП, работающий с частотой дискретизации 20 МГц, с однополярным питанием в диапазоне от +2.7 В до +5.5 В и рассеиваемой мощностью 215 мВт (при напряжении питания +3В). Параметры прибора AD9201 удовлетворяют требованиям к АЦП, необходимым для многих приложений, например, для реализации высокоскоростных квадратурных каналов телекоммуникационных систем. Наличие входных буферов, внутреннего источника опорного напряжения и мультиплексированных цифровых выходных буферов делает очень простой организацию интерфейса с АЦП AD9201.

ЦАП AD9761 предназначен для совместной работы с АЦП AD9201. Данная микросхема представляет собой двухканальный 10-разрядный ЦАП с частотой дискретизации 20 МГц на канал, работающий от однополярного источника питания с напряжением в диапазоне от +2.7 В до +5.5 В и рассеиваемой мощностью 200 мВт (при напряжении питания +3 В). Встроенный источник опорного напряжения, наличие цифровых буферов и 2-кратная интерполяция делают ЦАП AD9761 весьма полезным при построении передатчиков с квадратурными каналами.

а

СХЕМА ИНТЕРФЕЙСА МЕЖДУ АЦП AD9201, ЦАП AD9761 И ПРОЦЕССОРОМ ADSP-21065L

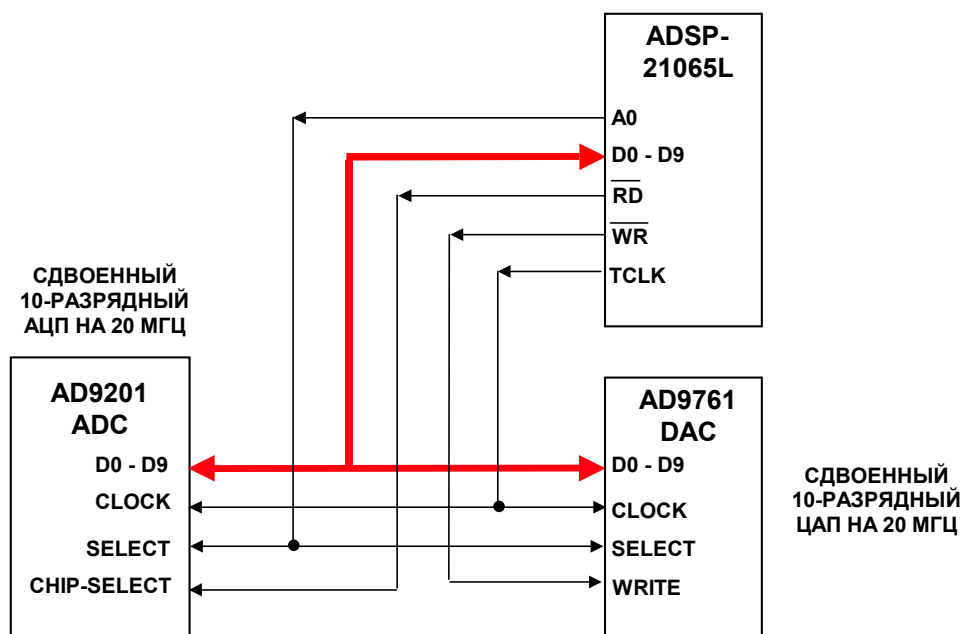


Рис. 8.26

СИСТЕМНЫЙ ИНТЕРФЕЙС ПРОЦЕССОРА DSP

На рис. 8.26 показана упрощенная система на базе процессора ADSP-2189M, использующая полномасштабную модель памяти. Она включает два устройства, работающие через последовательные интерфейсы, 8-разрядную EPROM, внешнюю оверлейную память программ и данных. Возможность программной генерации циклов ожидания позволяет легко подключать быстрый процессор к более медленным периферийным устройствам. Процессор ADSP-2189M также поддерживает четыре внешних прерывания, семь универсальных сигналов ввода-вывода и два последовательных порта. Один из последовательных портов может быть сконфигурирован как источник двух дополнительных сигналов прерывания, один универсальный вход и один универсальный сигнал вывода, что даст в сумме шесть внешних сигналов прерывания, девять каналов ввода-вывода общего назначения при сохранении одного полнофункционального последовательного порта. Процессор ADSP-2189M может также работать в режиме доступа к хост-памяти (host memory mode), который позволяет организовать доступ по всей ширине внешней шины данных, но ограничивает адресацию одним адресным битом. Дополнительные периферийные устройства могут быть подключены в режиме host memory mode при использовании внешних аппаратных средств для генерации и фиксации дополнительных адресных сигналов.

а

ПРИМЕР СИСТЕМЫ НА БАЗЕ ADSP-2189M. ПОЛНОМАСШТАБНАЯ МОДЕЛЬ ПАМЯТИ

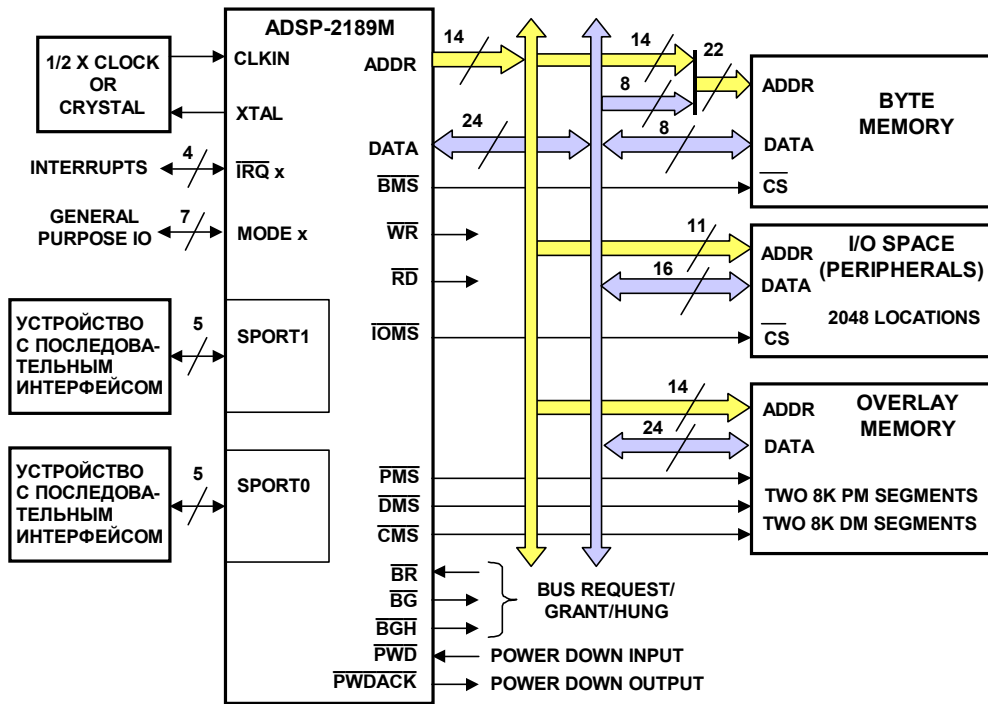


Рис. 8.27

a

СПИСОК ЛИТЕРАТУРЫ

1. Steven W. Smith, **The Scientist and Engineer's Guide to Digital Signal Processing**, Second Edition, 1999, California Technical Publishing, P.O. Box 502407, San Diego, CA 92150. Also available for free download at: <http://www.dspguide.com> or <http://www.analog.com>
2. C. Britton Rorabaugh, **DSP Primer**, McGraw-Hill, 1999.
3. Richard J. Higgins, **Digital Signal Processing in VLSI**, Prentice-Hall, 1990.

ГЛАВА 9

ПРИМЕНЕНИЕ DSP

- Высокопроизводительные модемы для передачи данных по телефонным линиям общего пользования (POTS)
- Модемы удаленного доступа к серверу (RAS)
- Асимметричные цифровые линии стандарта ADSL
- Цифровые сотовые телефоны
- Телефоны стандарта GSM, использующие комплект ИМС (чипсет) низкочастотной обработки SoftFone™ и чипсет радиоканала Othello™
- Аналоговые базовые станции сотовой телефонии
- Цифровые базовые станции сотовой телефонии
- Управление электродвигателями
- Кодеки и процессоры обработки в узкополосных голосовых каналах и аудиосистемах
- Сигма-дельта АЦП с программируемым цифровым фильтром

а

ГЛАВА 9

ПРИМЕНЕНИЕ DSP

Уолт Кестер

ВЫСОКОПРОИЗВОДИТЕЛЬНЫЕ МОДЕМЫ ДЛЯ ПЕРЕДАЧИ ДАННЫХ ПО ТРАДИЦИОННЫМ ТЕЛЕФОННЫМ ЛИНИЯМ (POTS)

Модемы (модуляторы/демодуляторы) широко используются для передачи и приема цифровых данных с аналоговой модуляцией по телефонным сетям общего назначения (POTS) и частным линиям. Данные передаются в цифровом формате, и телефонный канал рассчитан на передачу голосовых сигналов в полосе частот от 300 до 3000 Гц. Для телефонного канала передачи характерны высокий уровень искажений, шума, перекрестные искажения, рассогласования полного сопротивления, паразитные эхо-сигналы и другие недостатки. Подобные явления незначительно искажают речевые сигналы, но могут привести к многочисленным ошибкам при цифровой передаче данных. Основное назначение передающей части модема состоит в том, чтобы подготовить цифровые данные для передачи по аналоговой голосовой линии. Цель приемной части модема состоит в том, чтобы получить сигнал в аналоговой форме и восстановить исходные цифровые данные при наличии приемлемого уровня ошибок. Современные высокопроизводительные модемы используют методы цифровой обработки для выполнения таких функций, как модуляция, демодуляция, обнаружение и исправление ошибок, настройка параметров передачи и подавление эхо.

Блок-схема обычного телефонного канала (POTS) показана на рис. 9.1. Чаще всего телефонная связь осуществляется с помощью нескольких соединений в телефонной сети. Наиболее широко распространенная абонентская линия представляет собой двухпроводную витую пару, которая на телефонной станции преобразуется в четырехпроводную. При этом два проводника работают на передачу и два на прием. Сигнал преобразуется обратно к 2-проводной паре на линии удаленного абонента. Преобразование двухпроводной линии в четырехпроводную осуществляется с помощью так называемой гибридной схемы. Гибридная схема преднамеренно вносит рассогласование импеданса, чтобы предотвратить колебательный процесс в четырехпроводной магистральной линии. Рассогласование приводит к отражению части переданного сигнала и возникновению эхо-сигнала на приемной стороне. Это эхо может привести к потере данных, которые приемник получает от удаленного модема.

Полудуплексные модемы могут поочередно, а не одновременно принимать и передавать данные по двухпроводной линии. Дуплексные модемы также работают на двухпроводную линию, но способны совмещать передачу и прием данных. Работа в дуплексном режиме требует от модема способности отделения принимаемого сигнала от отражения (эха) передаваемого сигнала. Это достигается или назначением для сигналов разного направления различных частотных диапазонов, разделяемых с помощью фильтрации, или подавлением эха, при котором синтезируется «эхо» – копия отраженного передаваемого сигнала и оно вычитается из принимаемого смешанного сигнала.

а

АНАЛОГОВЫЙ МОДЕМ, РАБОТАЮЩИЙ С ТЕЛЕФОННОЙ ЛИНИЕЙ ОБЩЕГО ПОЛЬЗОВАНИЯ

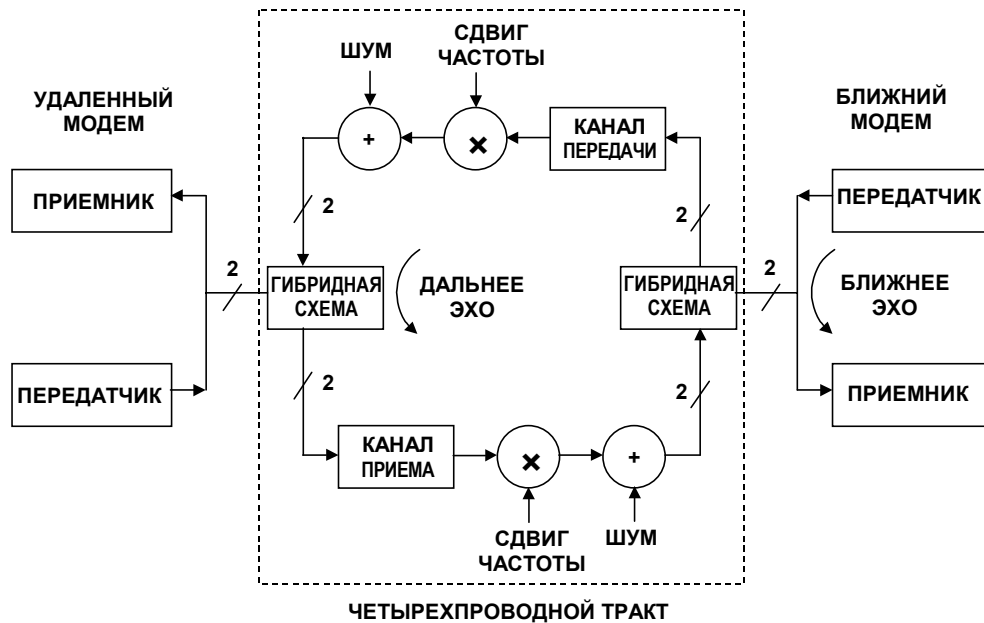


Рис. 9.1

В традиционной телефонной связи существует два типа эха. Первое эхо – это отражение от ближней (входной) гибридной схемы телефонной станции, а второе эхо – от дальней (выходной) гибридной схемы. В процессе передачи сигнала на большое расстояние передаваемый сигнал подвергается преобразованиям несущей частоты с помощью гетеродина. Так как частоты гетеродинов в сети не совсем совпадают, несущая частота эхо-сигнала, отраженного от выходной гибридной схемы, может отличаться от несущей частоты передаваемого сигнала. В современных приложениях этот сдвиг может ухудшить степень подавления эхо-сигнала. Поэтому для схемы эхоподавления желательно компенсировать этот частотный сдвиг.

Для передачи по телефонным сетям синусоидальная несущая модулируется цифровым сигналом, в результате чего получается модулированный сигнал звуковой частоты. Частота несущей выбирается так, чтобы укладываться в пределы полосы частот телефонного канала. В режиме передачи модем модулирует цифровыми данными несущую частоту, в режиме приема модем детектирует звуковую несущую и выделяет из нее цифровые данные.

Цифровой сигнал может быть использован для модуляции амплитуды, частоты или фазы звуковой несущей, в зависимости от того, какая скорость передачи данных требуется. Эти три типа модуляции известны как амплитудно-манипулированная (amplitude shift keying - ASK), частотно-манипулированная (frequency shift keying - FSK) или фазоманипулированная (phase shift keying - PSK). В простейшем случае модулированная несущая в каждый момент времени имеет одно из двух фиксированных значений параметров, то есть одну из двух амплитуд, одну из двух частот или один из двух фазовых сдвигов. Эти два фиксированных значения представляют собой логический 0 или логическую 1.

При низких и средних скоростях передачи данных (до 1200 бит/с) используется частотная модуляция (FSK). Многофазные PSK используются при скоростях передачи данных от 2400 бит/с до 4800 бит/с. PSK более эффективно использует ширину диапазона, чем FSK,

а

но ее реализация значительно дороже. ASK наименее эффективна и используется только для очень низких скоростей передачи (менее чем 100 бит/с). Для скоростей от 9600 бит/с до 33600 бит/с используется комбинация PSK и ASK, называемая квадратурной амплитудной модуляцией (QAM).

Международный комитет по телеграфной и телефонной связи (ИТТС) (ССТТ во Франции) установил стандарты и спецификации для модемов, которые приведены на рис. 9.2.

НЕКОТОРЫЕ СТАНДАРТЫ МОДЕМОВ

| ССТТ Rec. | Приблизит. дата | Макс. скорость (бит/с) | Полудуплекс/ Полн.дуплекс/ Подавл. эхо | Метод модуляции |
|-----------|-----------------|------------------------|--|-----------------|
| V.21 | 1964 | 300 | FDX | FSK |
| V.22 | | 1200 | FDX | PSK |
| V.22 bis | | 2400 | FDX | 16QAM |
| V.23 | | 1200 | HDX | FSK |
| V.26 bis | | 2400 | HDX | PSK |
| V.26 ter | | 2400 | FDX (EC) | PSK |
| V.27 ter | | 4800 | HDX | 8PSK |
| V.32 | | 9600 | FDX (EC) | 32QAM |
| V.32 bis | | 14400 | FDX (EC) | QAM |
| V.34 | | 33600 | FDX (EC) | QAM |
| V.90 | 1998 | 56000* | FDX (EC) | PCM |
| V.92 | 2001 | 56000** | FDX (EC) | PCM |

*Только на прием, на передачу работает как стандарт V.34

**На передачу и на прием

Рис. 9.2

Задача проектирования высокоэффективных модемов состоит в том, чтобы достичь максимально возможной скорости передачи данных по телефонным сетям общего пользования и избежать расходов на использование частных телефонных линий. Стандарт V.90, рекомендованный ССТТ, описывает дуплексный режим работы (одновременные передача и прием) модема, работающего в сети POTS. Спецификация V.90 предусматривает передачу данных с телефонной станции на модем абонента со скоростью 56 000 бит/с с использованием импульсно-кодовой модуляции (PCM). Поток данных от абонента к телефонной станции регламентируется стандартом V.34, рассчитанная скорость до 33 600 бит/с (QAM).

Упрощенная блок-схема аналоговых модемов стандарта V.90 показана на рис. 9.3. Как следует из нее, большая часть обработки сигналов выполняется в цифровой форме. И приемная, и передающая части модема используют множество различных алгоритмов для цифровой обработки сигналов, для эффективного выполнения которых вполне могут использоваться современные процессоры.

а

УПРОЩЕННАЯ СТРУКТУРНАЯ СХЕМА АНАЛОГОВОГО МОДЕМА СТАНДАРТА V.90

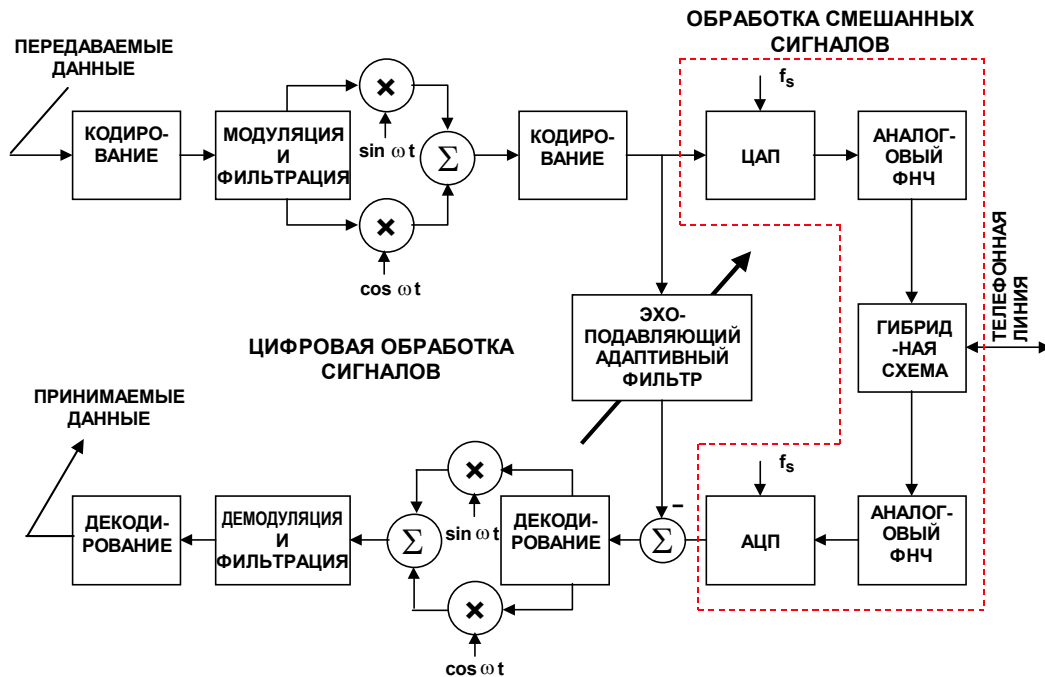


Рис. 9.3

Последовательный поток данных, предназначенных для передачи, сначала скремблируется (т.е. осуществляется перемежение данных, изменение порядка следования) и кодируется. Скремблирование позволяет получить из входного потока данных псевдослучайную последовательность. Цель скремблирования состоит в том, чтобы привести спектр передаваемых данных к спектру белого шума. Без скремблирования длинная последовательность идентичных символов могла бы привести к неверному опознаванию приемником несущей. Скремблирование приближает спектр передаваемых сигналов к белому шуму, способствуя более эффективному использованию ширины диапазона канала, облегчая восстановление несущей и временную синхронизацию и делая возможным адаптивную подстройку и подавление эхосигнала.

Скремблируемый битовый поток разделяется на группы бит, и уже группы сначала подвергаются дифференциальному кодированию, а затем — сверточному кодированию.

После этого полученные символы отображаются в пространство сигналов QAM в соответствии со стандартом V.34. Отображение сигнала позволяет получить две координаты: одну для действительной части QAM-модулятора и одну для его мнимой части. В качестве примера можно привести рис. 9.4, где точками показана совокупность значений ("созвездие") I и Q. Таким образом четыре бита кодируются посредством одного символа. Такой вид квадратурной модуляции называется 16-QAM. Более сложные совокупности I и Q используются в модемах стандарта V.90, и фактический размер этой совокупности адаптивно изменяется и определяется в процессе обучения, или во время установления связи, когда модемы синхронизируют между собой режимы приема и передачи сигналов.

а

СИГНАЛ С КВАДРАТУРНОЙ АМПЛИТУДНОЙ МОДУЛЯЦИЕЙ (QAM), ПЕРЕДАЮЩИЙ 4 БИТА С КАЖДЫМ СИМВОЛОМ (16-QAM)

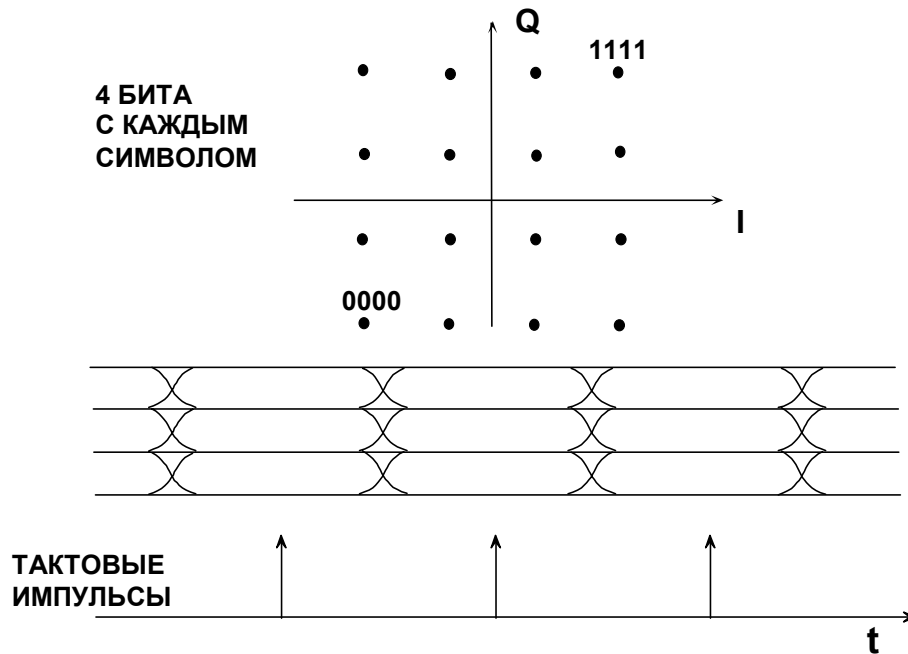


Рис. 9.4

До модуляции цифровой импульс проходит через цифровые фильтры, подавляющие спектральные составляющие с частотой выше половины частоты дискретизации (частоты Найквиста), которые появляются в процессе формирования сигнала. Кроме того, эти фильтры имеют нули на соответствующих частотах для подавления межсимвольной интерференции.

Алгоритм QAM-модуляции может быть легко реализован с помощью современных DSP-процессоров. Алгоритм модуляции требует: доступ к значениям синусов или косинусов, входной символ (X- или Y-координата) и умножение. Параллельная архитектура семейства ADSP-21XX позволяет все три операции производить за один процессорный цикл.

С выхода цифрового модулятора сигнал поступает на ЦАП. После ЦАП сигнал пропускается через аналоговый НЧ-фильтр и выводится в двухпроводную телефонную линию для передачи по телефонной линии.

Приемник состоит из нескольких функциональных блоков: входного антиалиазингового фильтра и АЦП, демодулятора, адаптивного эквалайзера, декодера Витерби, подавителя эхо-сигнала, дифференциального декодера и дескремблера. Реализуемые в приемнике алгоритмы цифровой обработки требуют высокой скорости обмена данными с памятью при высокой вычислительной мощности. Семейство сигнальных процессоров ADSP-218X удовлетворяет этим требованиям, обеспечивая достаточный объем ОЗУ программ на кристалле (как для программ, так и для данных), ОЗУ данных на кристалле и скорость выполнения инструкции до 75 MIPS.

Антиалиазинговый фильтр и АЦП в приемнике должны иметь достаточно широкий динамический диапазон, позволяющий обрабатывать слабый сигнал на фоне более сильного эхо-сигнала. Полученный сигнал может иметь уровень -40 дБм, в то время как

а

эхо-сигнал от входной гибридной схемы может достигать -6 дБм. Чтобы гарантировать отсутствие дополнительных погрешностей при приеме сигналов в таких условиях, аналоговый тракт приемника должен обеспечивать мгновенный динамический диапазон 84 дБ и отношение сигнал-шум 72 дБ.

Чтобы компенсировать амплитудные и фазовые искажения в телефонном канале, необходимо применение эквалайзера, позволяющего снизить уровень ошибок в битовом потоке. Быстрое изменение условий прохождения сигнала по телефонной линии требует адаптивной подстройки параметров эквалайзера, оговоренной в части стандарта V.90, относящейся к приемной части модема. Адаптивный эквалайзер может быть выполнен на основе цифрового КИХ-фильтра с адаптивно подстраиваемыми коэффициентами фильтрации в зависимости от текущего состояния линии.

Разделение между передаваемым и принимаемым сигналами в модемах стандарта V.90 реализовано с использованием системы подавления эхо-сигнала. Такое решение позволяет подавить оба вида эхо-сигнала и обеспечить надежную связь. Подавление эхо-сигнала достигается за счет вычитания ожидаемого уровня отраженного эха из фактически полученного сигнала. Ожидаемый уровень эхо-сигнала предсказывается посредством обработки переданного сигнала в адаптивном фильтре с передаточной функцией, эмулирующей телефонный канал. Адаптивный фильтр, обычно используемый в системах подавления эхо-сигнала, представляет собой цифровой фильтр с конечной импульсной характеристикой (такой выбор определяется высокой стабильностью и линейностью ФЧХ КИХ-фильтра). Величина отклика определяется алгоритмом наименьшей среднеквадратичной ошибки — так называемым LMS-алгоритмом, выполняемым в течение нескольких тестовых последовательностей сигналов до начала дуплексной связи.

Для расшифровки полученных данных чаще всего используется декодер Viterbi. Названный по имени изобретателя, Viterbi-алгоритм представляет собой наиболее универсальное средство для коррекции ошибок в потоке данных. Декодер Viterbi обеспечивает надежное исправления ошибок, затрачивая на исследование полученной битовой последовательности дополнительное время для определения наиболее вероятного ее значения, передаваемого в текущий момент времени. Декодирование по алгоритму Viterbi требует весьма интенсивных вычислений. Необходима запись предыстории для всех возможных символов, передаваемых в каждой символьной последовательности. В символьных последовательностях рассчитывается запаздывание по времени от каждого возможного полученного символа до символа, посланного некоторое время назад. Символ, который имеет минимальное запаздывание по отношению к исходному сигналу, признается истинным декодированным символом. Полное описание декодера Viterbi и его реализация на базе семейства процессоров ADSP-21XX приведены в документации, поставляемой Analog Devices [2].

На рис. 9.5 приводится сравнение модемов стандартов V.34 и V.90. Обратите внимание, что по стандарту V.34 (рис. 9.5, а) соединение осуществляется между двумя аналоговыми модемами. Это требует применения АЦП и ЦАП в передающих и приемных трактах, как показано на рисунке. Стандарт V.90 предусматривает использование полностью цифровых сетей и цифровых модемов, как показано на рис. 9.5, в. Можно заметить, что отказ от применения АЦП/ЦАП позволяет увеличить скорость приема данных до значений, превышающих 56 Кбит/с. В принимаемом аналоговом модеме стандарта V.90 потоке данных использована импульсно-кодовая модуляция со скоростью передачи 64 Кбит/с, которая является стандартной для всех цифровых телефонных сетей. Этот последовательный поток данных преобразуется посредством импульсно-амплитудной модуляции (PAM) (8-bits, 8 kSPS) с помощью 8-разрядного ЦАП. Сигнал с ЦАП поступает на аналоговый модем в виде кода, принимающего значения из совокупности

а

("созвездия") в 256 значений, то есть приемник аналогового модема должен определить, какому из 256 возможных уровней сигнала соответствует символьная последовательность.

Стандарт V.90 позволяет увеличить скорость приема данных до 56 Кбит/с и скорость передачи данных до 33.6 Кбит/с (V. 34). Новый стандарт V.92 предусматривает скорость обмена до 56 Кбит/с в обоих направлениях.

СРАВНЕНИЕ МОДЕМОВ СТАНДАРТА V.34 И V.90

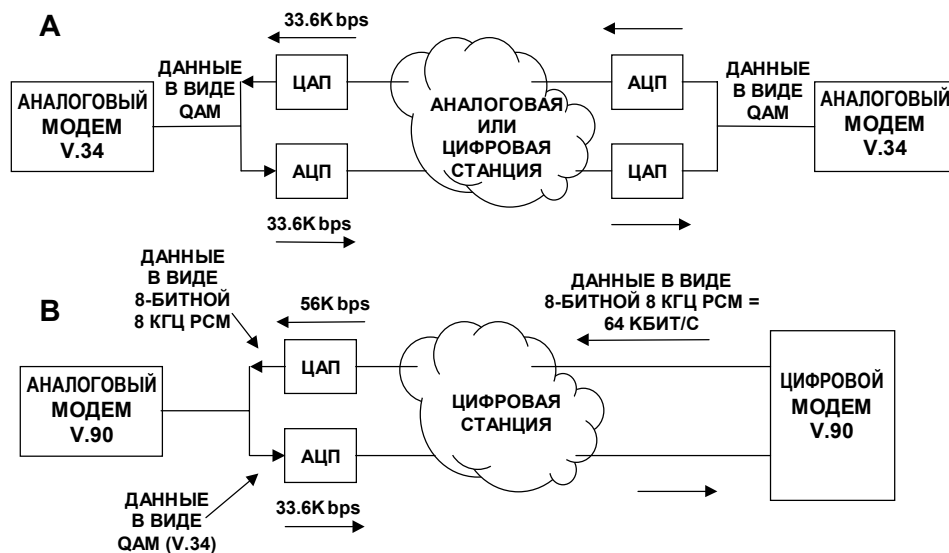


Рис. 9.5

МОДЕМЫ УДАЛЕННОГО ДОСТУПА (RAS)

Быстрое развитие и интенсивное использование ресурсов Интернет приводит к тому, что количество желающих подключиться к сети Интернет намного превосходит возможности коммуникационного оборудования. Интернет-провайдеры (ISP), как например America On Line, предоставляет своим клиентам модемное оборудование для организации удаленного доступа к сети (домашний Интернет). Этот вид доступа к сети удаленного объекта называется удаленным доступом к сети (RNA). Для этих целей используется так называемое оборудование удаленного доступа к серверу (RAS), показанное на рис. 9.6. Это оборудование включает в себя многопортовые модемы; каждый порт модема может использоваться различным пользователем. RAS может использовать аналоговые модемы, которые соединяются с телефонными линиями общего пользования (POTS), или цифровые модемы, которые являются совместимыми с цифровыми телефонными стандартами T1, E1, PRI или линиями BRI. Цифровые модемы используются в большинстве RAS-систем, поскольку они обладают большей эффективностью при числе портов 8 и более.

Оборудование доступа к сети позволяет отдельным пользователям, маленьким офисам и служащим, находящимся в командировках, соединиться с внутренними корпоративными сетями (Intranet) и Интернетом. Интернет-провайдеры для соединения пользовательских телефонных линий с сетями используют устройства, называемые концентраторами. Концентраторы также относятся к оборудованию RAS. Быстрый рост числа абонентов и

а

интенсивное использование ресурсов Интернета и Интранета создали огромный спрос на модемное оборудование.

ПОДКЛЮЧЕНИЕ К ИНТЕРНЕТУ С ПОМОЩЬЮ МОДЕМА УДАЛЕННОГО ДОСТУПА (RAS)

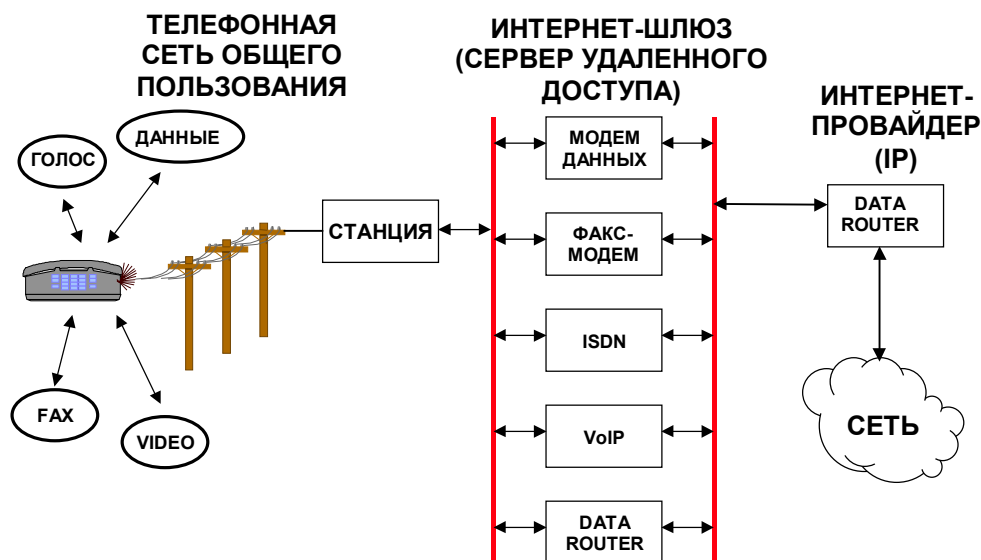


Рис. 9.6

При организации удаленного доступа индивидуальных пользователей и небольших офисов (SOHO) желательно сначала объединить индивидуальные компьютеры в локальные вычислительные сети (LAN) или Интранет. Если оборудование удаленного доступа установлено в общей локальной вычислительной сети, то удаленные пользователи имеют доступ в сеть таким же способом, которым их компьютеры непосредственно связаны с LAN. Это позволяет им так же свободно работать в удаленных пунктах, как если бы они находились у себя дома или в офисе.

ИМС ADSP-21mod870 представляет своеобразный мост между голосовой аналоговой коммутируемой сетью и цифровой сетью с использованием IP протокола, как показано на рис. 9.7. Высокоскоростной интерфейс ПДП и оперативная память большого объема на кристалле ADSP-21mod870 дают возможность гибкого приспособления к разнообразным задачам. Программное обеспечение ADSP-21mod870-100 может быть сконфигурировано для обработки запросов модема или работы с высокоскоростными цифровыми абонентскими линиями HDLC и цифровыми сетями ISDN. Поскольку ADSP-21mod870 представляет собой открытую платформу, пользователями могут быть назначены любые другие функции. Например, передача голосовых и факсимильных сообщений через Интернет. В этих приложениях ADSP-21mod870 позволяет пользователям голосовых сетей избежать расходов, связанных с передачей вызовов по IP сетям. В ADSP-21mod870 применено 16-разрядное вычислительное ядро с фиксированной точкой ADSP-218X, что сохраняет полную программную совместимость с другими представителями семейства ADSP-21XX.

Поскольку число удаленных пользователей сети быстро растет, коммутационной емкости центральной телефонной станции зачастую оказывается недостаточно. Особенно сложная ситуация складывается, когда тысячи вызовов коммутируются на один объект (POP). Для устранения этих узких мест RAS-оборудование может быть расположено вне объекта

а

доступа POP, непосредственно на телефонной линии, как показано на рис. 9.8. Когда RAS-оборудование расположено на коммутационной станции, запросы данных могут быть отделены от телефонных вызовов, снимая напряженную обстановку на телефонной линии. RAS-оборудование, интегрированное в коммутационное оборудование, часто называют оборудованием удаленного доступа на базе переключателей. В отличие от RAS-систем, не интегрированных в коммуникационное оборудование, RAS-оборудование на базе переключателей может отделить запросы данных от телефонных вызовов до связи с магистральными линиями.

МОДЕМ УДАЛЕННОГО ДОСТУПА (RAS) НА БАЗЕ ПРОЦЕССОРА СЕМЕЙСТВА ADSP-21modXXX

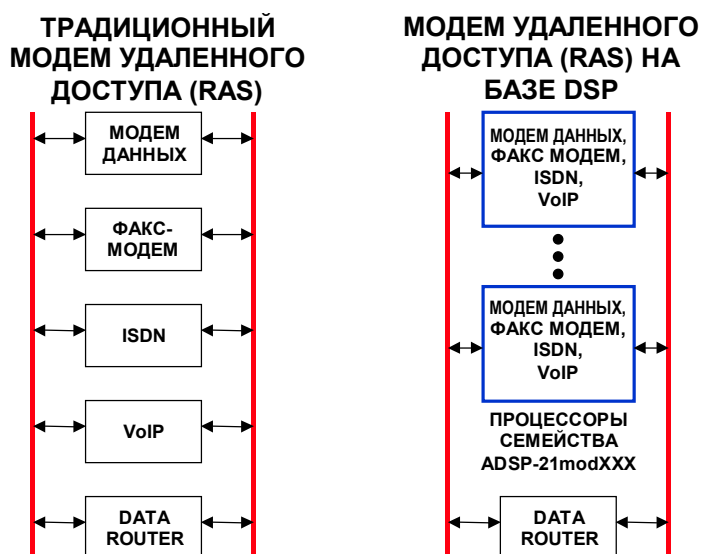


Рис. 9.7

а

РАСШИРЕНИЕ ВОЗМОЖНОСТЕЙ ЦЕНТРАЛЬНОЙ СТАНЦИИ ПРИ ПОМОЩИ DSP СЕМЕЙСТВА ADSP-21modXXX

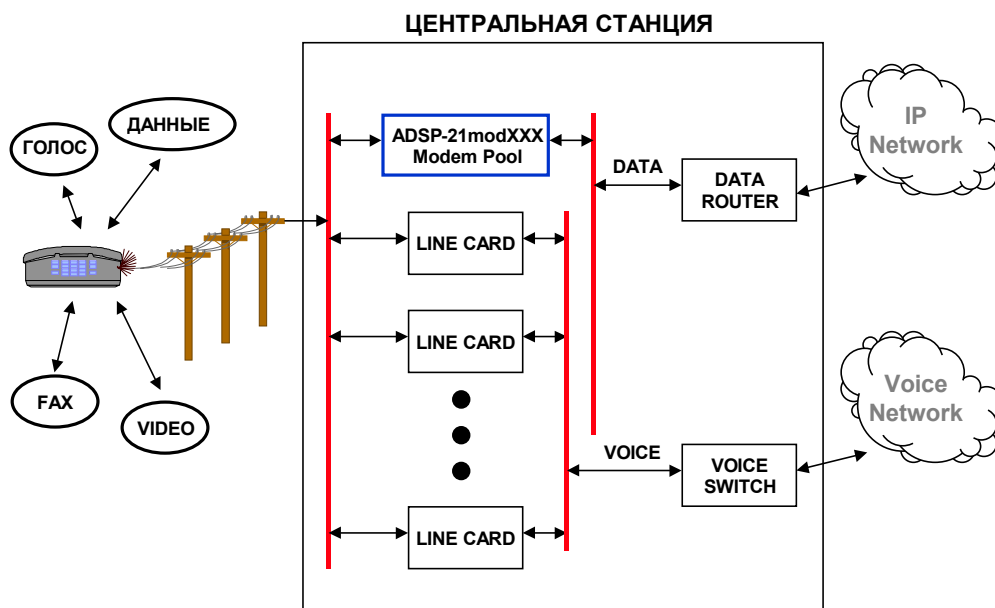


Рис. 9.8

Чтобы удовлетворить потребности различных пользователей удаленного доступа, в сети развиваются несколько типов RAS-оборудования. RAS-оборудование может быть нескольких видов. RAS-концентраторы объединяют модемный пул с маршрутизатором в самостоятельный блок. NT-сервер RAS использует платформы рабочих станций Windows NT для выполнения функций маршрутизации с помощью модемного пула, выполненного в виде платы расширения на шины PCI или ISA. RAS-оборудование на переключателях интегрирует модемный пул непосредственно в линейное оборудование коммутационных систем. Эти две основные разновидности RAS-оборудования обслуживают различные потребности конечных пользователей. Местные операторы телефонной связи (LEC) могут воспользоваться преимуществами RAS-оборудования на переключателях для снижения нагрузки на коммуникационные сети. Интернет-провайдеры используют RAS-концентраторы для коллективных запросов большой группы абонентов для подключения к Интернету. Крупные корпоративные клиенты также используют RAS-концентраторы для объединения индивидуальных пользователей в локальную сеть или Intranet. Небольшие офисы и индивидуальные пользователи (SOHO) могут использовать RAS на основе недорогого NT-сервера для поддержки удаленного доступа, организации местной сети, и других телекоммуникационных нужд.

ADSP-21mod870-процессор цифрового модема — первый полностью цифровой RAS-модем на одном кристалле. Он полностью совместим со стандартами передачи данных - V.34/56 К и V.42/V 42 bis, имеет 16-разрядный порт ПДП для загрузки программного обеспечения, обеспечивает прямой интерфейс с потоками T1/E1 через последовательный порт с разделением доступа по времени (TDM), имеет 160 Кбайт ОЗУ на кристалле, потребляет мощность 140 мВт при напряжении питания + 3,3 V и выпускается в 16 мм TQFP-корпусе. Небольшие размеры и высокая эффективность ADSP-21mod870 позволит Интернет-провайдерам в четыре раза увеличить количество портов в пределах существующего парка модемов. Кроме того, уникальная способность чипа поддерживать

а

любой протокол на любом порте позволяет улучшить обслуживание пользователей Интернета и уменьшить эксплуатационные расходы.

Представитель семейства цифровых модемов от ADI процессор ADSP-21mod870 – это не только сама микросхема, но и программное обеспечение и сервисное обслуживание. ADI является одной из немногих компаний, способных предложить комплексное решение задачи создания систем удаленного доступа. На таких же условиях поставляются ADSP-21mod970 (шестиканальный модем, 31мм BGA-корпус) и ADSP-21mod980 (восьмиканальный модем в 35 мм BGA-корпусе).

МНОГОКАНАЛЬНАЯ ИНТЕРНЕТ-ТЕЛЕФОНИЯ (VOIP)

Семейство ADSP-218X может эффективно использоваться в многоканальных системах Интернет-телефонии (типа RAS/VOIP серверов и шлюзов), благодаря высокой производительности и внутрикристалльной памяти большого объема. Типовая система на базе ADSP-218X показана на рис. 9.9. Программируемый характер архитектуры DSP позволяет строить на их базе гибкие системы, реализующие алгоритмы кодирования речи в дополнение к базовым функциональным возможностям телефонии.

ADSP-2188M — представитель семейства 218x, обладающего самой высокой степенью интеграции (более 2 Мбит внутрикристалльной SRAM). Высокий уровень интеграции в сочетании с высокой производительностью (75 MIPS) позволяет поддерживать до шести голосовых каналов на каждый сигнальный процессор (в зависимости от выбранного кодера).

ПРИМЕНЕНИЕ ADSP-218x В МНОГОКАНАЛЬНОМ СЕРВЕРЕ ПЕРЕДАЧИ ГОЛОСА ЧЕРЕЗ ИНТЕРНЕТ

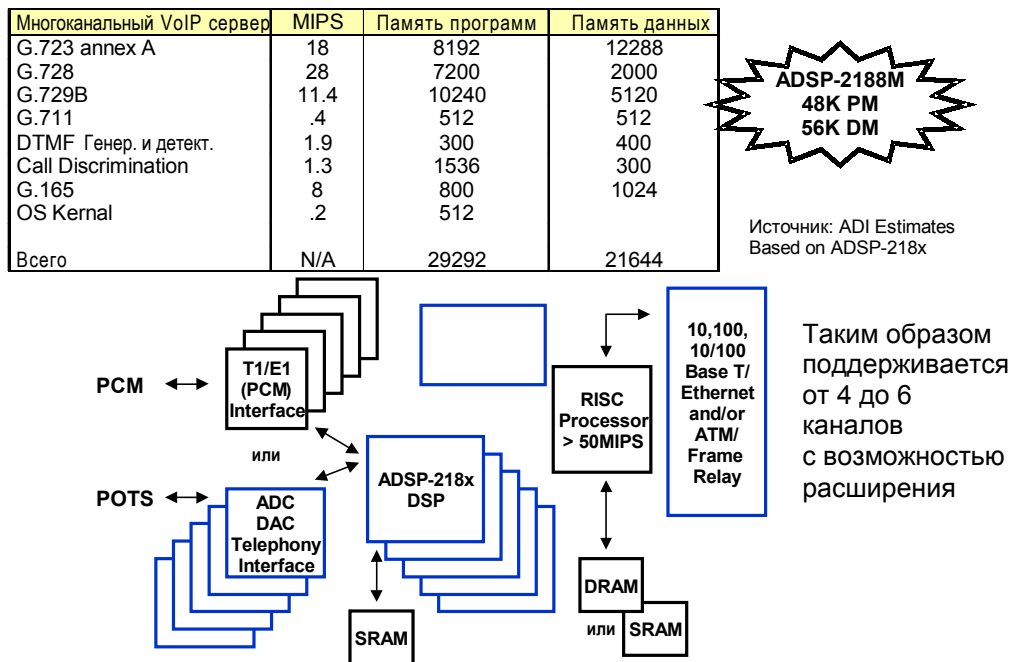


Рис. 9.9

АСИММЕТРИЧНЫЕ ЦИФРОВЫЕ ЛИНИИ СТАНДАРТА ADSL

а

Благодаря росту популярности во всем мире сети Интернет, ее пользовательский трафик характеризуется высоким уровнем загрузки. В исследовании, недавно проведенном "Уолл-Стрит джорнал", сообщается о 58 миллионах пользователей сети Интернет только в Соединенных Штатах и Канаде. Исследовательские фирмы предсказывают дальнейший рост пользовательского трафика, так как все больше людей приобретают компьютеры и используют Интернет для бизнеса, научных и развлекательных целей.

Если не принимать мер по усовершенствованию путей доступа в Интернет, то, в конечном итоге, рост пользовательского трафика приведет к превышению пропускной способности телефонных сетей общего пользования (PSTN). Пользователям Интернета приходится тратить много времени даже на загрузку простых текстовых Веб-страниц, особенно с 8:00 до 18:00 часов в рабочие дни, когда количество вызовов и трафик максимальны. Проблема существенно усугубляется при просмотре сложных графических сайтов, загрузке новых видеоклипов и музыкальных файлов или использовании другими типами мультимедиа-услуг, доступных через Интернет.

Традиционные аналоговые модемы и технология коммутации потоков по телефонным линиям уже не удовлетворяют сегодняшним требованиям. Если предположить, что в сети практически отсутствуют задержки, то загрузка 10-мегабайтного четырехминутного аудио/видеофайла занимает приблизительно 95 минут при использовании аналогового модема со скоростью связи 14,4 Кбит/с, 45 минут при использовании 28,8 Кбит/с модема и 25 минут при использовании 56 Кбит/с модема. Длительные сеансы обмена данными связывают телефонные системы, первоначально разработанные для коротких (трехминутных) голосовых сообщений, и коммутаторы, рассчитанные на девятиминутное соединение линий в часы пик. Часто ли Вам приходится пользоваться Интернетом в течение 10 минут или меньше? Одним из выходов из сложившейся ситуации является использование технологии ADSL (асимметричная цифровая абонентская линия).

ADSL представляет собой новую технологию высокоскоростной цифровой коммутации и маршрутизации и обработки сигналов. Внедрение этой технологии обещает привести к устранению узких мест обычных сетей и к обеспечению достаточной пропускной способности линии. Впервые разработанная еще в 1994 году, технология ADSL предоставляет огромную пропускную способность, необходимую для интерактивных игр, мультимедиа-сервиса и услуг video-on-demand. Эти области применения, наряду с видеоконференциями, системами дистанционного обучения и интерактивными магазинами, являются одними из самых быстроразвивающихся. Поскольку люди во всем мире все больше и больше привлекают для электронной коммерции средства Интернета, потребность в высокоскоростном доступе к ресурсам сети становится все более насущной проблемой.

ADSL может передавать данные по обычным телефонным линиям почти 200 раз быстрее, чем самые современные модемы, и в 90 раз быстрее, чем системы ISDN. Проведенные ранее по всему миру испытания и тесты дали многообещающие результаты. В то время как GTE и другие крупные телефонные компании начинают развертывать ADSL-системы в некоторых регионах США и за границей, другие стремятся сразу использовать оборудование на базе ADSL как системный стандарт и в 1999 году и начинают массовое производство модемов.

Учитывая техническую сложность систем ADSL, фирм-производителей микросхем для подобных систем можно пересчитать по пальцам. Analog Devices — одна из таких компаний, к тому же являющаяся пионером в этой области, изготовившим первый полнофункциональный комплект ADSL еще в 1997 году. Сторонники стандарта ADSL по достоинству оценили высокую скорость микросхемы AD20msp910 и ее возможности.

а

Вскоре усовершенствованная технология обработки многотоновых дискретных сигналов (DMT), использованная в AD20msp910, была одобрена наиболее влиятельными международными комитетами промышленных стандартов (ANSI, ETSI и ITU). Сегодня Analog Devices гордится наличием первого промышленного решения на основе этого стандарта, самой большой клиентской базой и самым большим на сегодняшний день количеством внедрений компонентов в аппаратуру по сравнению с другими производителями электронных компонентов.

ADSL привлекательна по следующим причинам:

- Высокая скорость ADSL. Видеокалип размера 10 МБ, для загрузки которого необходимо 90 минут при использовании обычного модема, с помощью модема ADSL будет загружен за 10 секунд. Сверхскоростные ADSL-модемы могут передать данные со скоростью 8 мегабит в секунду.
- Легкость установки ADSL. Используются существующие телефонные линии на основе медной витой пары от центральной коммутационной станции до дома или офиса абонента. Практически не требуется никакой модернизации каналов связи.
- Рентабельность ADSL. Переход на новый стандарт не требует существенной перестройки существующей инфраструктуры телефонной сети.
- Жизнеспособность ADSL. Отсутствуют трудности, которые привели бы к остановке внедрения быстродействующих волоконных сетей в домашний обиход (такие как высокая стоимость и сложность прокладки). ADSL работает с существующими телефонными сетями общего пользования (POTS). Высокоскоростной обмен данными может происходить одновременно с телефонными вызовами и передачей факсимильных сообщений.

В отличие от других технологий высокоскоростной передачи данных, ADSL не требует замены проводов на участке сети между абонентом и коммутационной станцией. Хотя длина этого участка обычно не превышает 3,5 - 5,5 км, тем не менее возможность работы с традиционной медной витой парой является весьма выгодной. Но организация ADSL требует установки нового оборудования на центральные коммутационные станции. Однако технология, используемая для переоборудования коммутационных станций, широко распространена в модемах персональных компьютеров и в домашних блокираторах, что обеспечивает "взаимопонимание" используемого оборудования. Упрощенная блок-схема ADSL-системы показана на рис. 9.10.

а

СТРУКТУРА И ХАРАКТЕРИСТИКИ СИСТЕМЫ СВЯЗИ ADSL

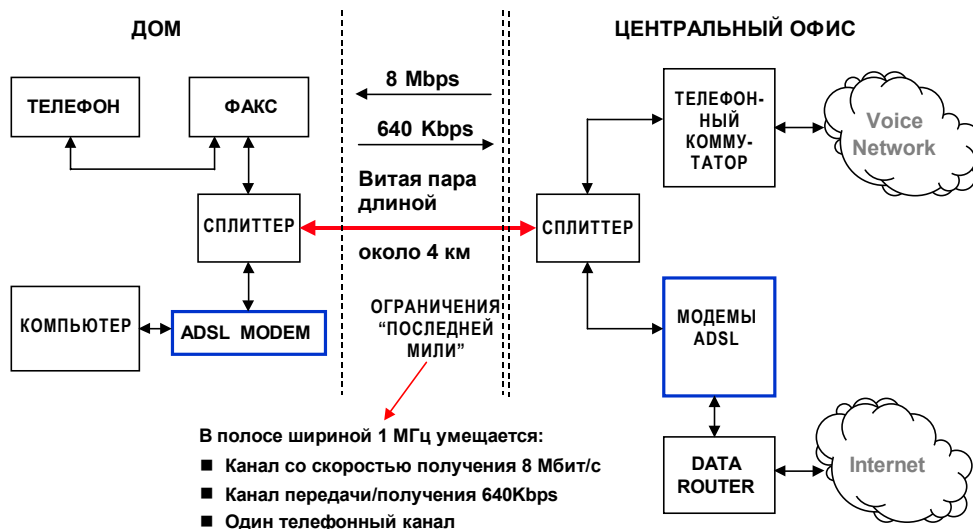


Рис. 9.10

Использование сложных методов обработки цифрового сигнала позволяет ADSL-модемам передавать поток данных с максимально возможной для медных проводников скоростью, полностью используя доступный частотный диапазон канала связи. Как уже отмечалось выше, канал телефонной сети имеет полосу частот 4 кГц, но полоса в 4 кГц предназначена только для аналоговой голосовой передачи. При использовании ADSL физическая связь между домом и местной коммутационной станцией (LEC) осуществляется по обычному медному проводу на несущей 1 МГц.

ADSL использует часть диапазона, не применяемого для голосовой связи. По существу, это позволяет разделить полосу 1 МГц на три информационных канала: один быстродействующий входящий канал, один дуплексный (upstream/downstream) канал со средней скоростью передачи, и один обычный голосовой канал. (Нисходящий (downstream) поток данных направлен от телефонной станции к клиенту, а исходящий (upstream) — от клиента к станции).

В дополнение к обеспечению высокой пропускной способности, ADSL сохраняет возможность использования жизненно важных при чрезвычайных ситуациях голосовых каналов. Наличие трех независимых каналов позволяет абонентам посылать электронную почту, загружать видеофайл и говорить по телефону в одно и то же время. С помощью такого телекоммуникационного оборудования можно организовать доступ к локальной корпоративной сети и одновременно проводить видеоконференцию с клиентом. Фактически, ADSL обеспечивает достаточную пропускную способность для обработки четырех независимых каналов сжатого по стандарту MPEG видео без нарушений работы телефона.

Большинство Интернет-приложений требует разной пропускной способности по входящим и исходящим потокам. Другими словами, пользователи гораздо чаще принимают потоки информации, чем отправляют их. Это характерная особенность связи через Интернет, при которой читается больше электронной почты, чем посылается, загружается большее количество видеoinформации, чем создается. Исходящий поток данных пользователя, как правило, ограничивается посылкой команд или передачей маленьких файлов данных на сервер. Намного больший поток информации направлен от

а

серверов к пользователю. ADSL был разработан специально для использования этого различия в пропускной способности. Он обеспечивает скорость передачи данных от сети к абоненту более 8 Мбит/с (downstream) и до 640 Кбит/с при передаче данных от абонента к сети (upstream).

Для телефонных компаний развитие ADSL может стать средством снижения перегрузки сетей, вызванной стремительным развитием Интернета. Если телефонная компания надеется закрепиться на рынке Интернет-услуг, она не может довольствоваться оборудованием для коротких голосовых вызовов. Средний голосовой вызов длится приблизительно три минуты. Согласно проведенному в 1997 году исследованию Bellcore (научно-исследовательская лаборатория, финансируемая местными телефонными компаниями США, одна из пяти находящихся в подчинении Федеральной Комиссии по Коммуникациям), средний Интернет-запрос длится более 20 минут. Журнал Telephony уже в 1994 году констатировал, что почти 20 процентов всех онлайн-связей продолжаются больше часа. Компании, продающие услуги проводной связи, такие как Media One (северо-восток США), запрашивают стабильную цену для интернет-пользователей. Такие "широкополосные" клиенты могут пользоваться всеми услугами Интернет 24 часа в сутки всего за \$40 в месяц.

Использование других технологий передачи данных по телефонным сетям PSTN требует значительных материальных и временных затрат. Например, замена медной сети оптоволоконном является весьма дорогостоящим решением. Промышленные экспертные группы считают, что стоимость создания волоконно-оптической сети обойдется каждому абоненту приблизительно в \$1500. Замена существующих медных линий 560 миллионам абонентов во всем мире обойдется по самым скромным прогнозам в 750 миллиардов долларов.

ADSL-оборудование, напротив, очень просто в установке. Для организации ADSL-канала необходимы только два модема, по одному на каждый конец витой пары телефонной линии. Один модем располагается дома у абонента. Другой модем (обычно модемная стойка с сетевыми картами) расположен в центральном офисе местной телефонной компании. Упрощенная структура коммутаций показана на рис. 9.10.

На стороне клиента ADSL-модем может либо находиться внутри компьютера, либо соединяться с сервером локальной сети, а также с телефоном и/или факсом. Телефонная линия на медной витой паре связывается со специальным разделителем на центральной телефонной станции. На центральной станции, где расположены коммутаторы и модемные стойки, разделитель позволяет выделить из сигналов телефонной линии голосовые сигналы и сигналы данных. Голосовые вызовы направляются коммутаторами центральной станции по общей телефонной сети. Поток данных пересылается через переключатель Ethernet и маршрутизатор по быстрому каналу связи (например, 155 Мбит/с OC-3) к Интернет-провайдеру.

Ключом к повышению скорости передачи данных по стандарту ADSL является использование усовершенствованной цифровой обработки сигналов. Применение удачных аналоговых решений и сложных алгоритмов цифровой сигнальной обработки позволило Analog Devices воплотить в жизнь первое поколение комплектов ИМС для модемов стандарта ADSL — AD20msp910 (см. рис. 9.11). Комплект AD20msp910 имеет три отличительные особенности, которые особенно важны при разработке модемов на их базе:

- Функционально наиболее законченное решение на рынке.
- Полная совместимость с промышленными стандартами ANSI, ETSI и ITU.
- Совместимость почти со всеми DLC-системами и изготовителями модемов.

а

СТРУКТУРНАЯ СХЕМА МОДЕМА ADSL

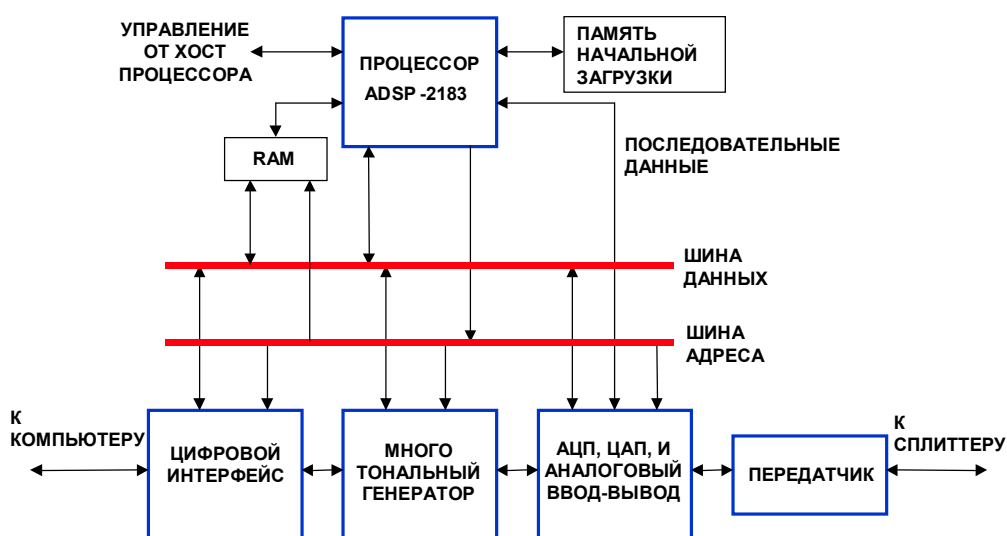


Рис. 9.11

Решение на базе AD20msp910 включает в себя как аппаратные средства, так и программное обеспечение. Оно интегрирует интерфейс DSP с host-процессором, драйвер линии, управляющее программное обеспечение и технологию DMT. Микросхемы других производителей реализуют функции только отдельных узлов модема. Использование комплекта AD20msp910, выпуск которого начат в 1997 году, ускоряет и упрощает развитие ADSL-модемов для высокоскоростного доступа в Интернет и мультимедиа-услуг. Второе поколение комплектов AD20msp918, кроме того, включает в себя поддержку функциональных возможностей ATM, имеет повышенную производительность и обеспечивает передачу ADSL по ISDN-сетям для Европейского рынка. Оба комплекта ИМС полностью совместимы со всеми стандартами (ANSI T1.413 Issue 2, ETSI TR328, ITU G.dmt and ITU G.lite for splitterless) и при этом являются законченными изделиями, т.е. включают в себя микроконтроллеры и библиотеки функций.

Теперь на очереди стоит третье поколение комплектов ИМС Analog Devices для модемов ADSL — AD20msp930, — позволяющее изготовителям модемов снизить затраты времени и ресурсов на разработку. Для ускорения и упрощения процесса разработки Analog Devices предоставляет всю необходимую информацию о сопряжении интегральной микросхемы с персональным компьютером, о схемотехнических решениях и типовых схемах включения. В результате изготовители модемов могут сосредоточить усилия на развитии многофункциональности своей продукции, дополняя стандартные возможности технологии ADSL-модемов.

ЦИФРОВЫЕ СОТОВЫЕ ТЕЛЕФОНЫ

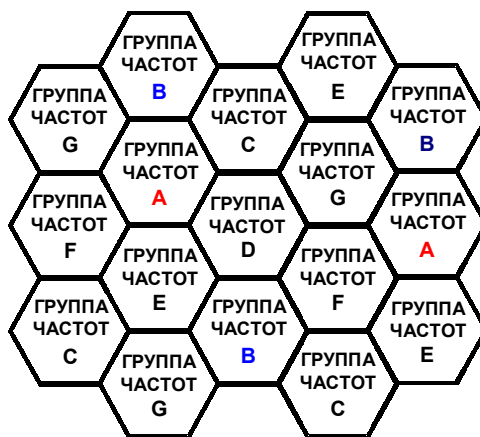
В начале 90-х годов группой GSM (Global System for Mobile Communications) был представлен в Европейских странах стандарт цифровой сотовой телефонии. Необходимость перехода на цифровые стандарты, обусловленная перегруженностью аналоговых сотовых сетей, таких как AMPS (Advanced Mobile Phone Service), привела к тому, что другие страны, в том числе США, приняли различные цифровые стандарты.

а

Ограничения, присущие аналоговым сотовым системам, хорошо известны. Примерами могут служить блокирование вызовов в часы-пик, неверные соединения и отбои при быстро следующих вызовах, недостаточная защищенность от прослушивания, ограниченная скорость передачи данных.

Базовая конфигурация сотовой системы показана на рис. 9.12. Область разбита на ячейки, каждая из которых имеет собственную базовую станцию и собственную группу выделенных частот. Благодаря небольшому радиусу каждой ячейки (примерно 16 км), могут использоваться приемники и передатчики низкой мощности.

РАСПРЕДЕЛЕНИЕ ЧАСТОТНЫХ ГРУПП СОТОВОЙ ТЕЛЕФОННОЙ СЕТИ



- Каждая "ячейка" покрывает участок радиусом 5-10 миль
- Каждая "ячейка" требует наличия собственной базовой станции для приема и ретрансляции
- Каждая "ячейка" должна работать со многими пользователями одновременно
- Пользователи могут быть переключены с одной "ячейки" на другую

Рис. 9.12

Сотовая система позволяет повторно использовать частоты, выделенные для одних ячеек, для связи внутри других, достаточно удаленных ячеек без паразитной интерференции. Базовые станции должны быть связаны воедино, а также с центральной управляющей сетью таким образом, чтобы вызов может быть переадресован другой ячейке, если уровень сигнала от мобильного объекта становится слишком низким для вызова текущей ячейки.

Частотный спектр, выделенный для аналоговой сотовой связи (AMPS), в Соединенных Штатах занимает две полосы: приблизительно от 825 до 850 МГц и от 870 до 895 МГц. Обычная архитектура (и аналоговых, и цифровых систем) предусматривает поканальное разделение. Полный спектр разделен на большое количество относительно узких каналов, определяемых частотой несущей. Несущая частота модулируется голосовым сигналом с использованием аналоговых методов. Каждый дуплексный канал связи требует наличия двух частотных каналов с шириной диапазона приблизительно 30 кГц. Пользователю

а

назначаются обе частоты на время вызова. Прямой и обратный каналы разделены по времени, что позволяет эффективно разделять функции приема/передачи. Ширина диапазона для несущих "А" или "В", обслуживающих отдельный район составляет 12,5 МГц (416 каналов, каждый шириной 30 кГц). Поддерживается только один вызов в каждый момент времени по каждому каналу.

Организация многоканального доступа с временным разделением (TDMA) позволяет выделить полосу частот на основании информации о свободном в данный момент канале. В Соединенных Штатах система TDMA выделяет полный канал 30 кГц для индивидуальной передачи только на короткий период времени. Схема мультиплексирования 3:1 позволяет в рамках той же полосы частот, что используется для аналоговой сотовой связи, разместить три канала связи с использованием технологии TDMA. Каждая передаваемая / принимаемая последовательность укладывается в короткие интервалы времени по 6,7 мс. TDMA-система основана на широком использовании DSP-технологий для уменьшения битрейта голосовых данных и подготовки цифровых данных к передаче по аналоговым каналам связи. Используемый в системах TDMA подход также был выбран для GSM-систем и будет рассмотрен ниже более подробно.

Второй цифровой стандарт, используемый в Соединенных Штатах, называется множественным доступом с разделением кодов (CDMA). Эта техника использовалась в защищенных военных коммуникациях на протяжении долгого времени под названием расширенного спектра (*spread spectrum*). В ней передатчик передает частотно-модулированную псевдослучайную последовательность в относительно широком частотном диапазоне. Приемник имеет доступ к той же самой случайной последовательности и может декодировать данные. В результате подключения дополнительных пользователей к системе уменьшается суммарное отношение сигнал-шум для всех пользователей. При использовании этого стандарта превышение количества запросов над допустимым уровнем должно повысить число ошибочных битов у всех пользователей. Дальнейшее увеличение количества вызовов приводит к постепенному росту взаимного влияния каналов до тех пор, пока процесс в некоторой области не станет саморегулирующимся, т.е. качество голосовой связи станет настолько плохим, что пользователи будут вынуждены сократить время вызова или отказаться от дополнительных звонков. Никто никогда не блокируется в обычном смысле, как это происходит в FDMA или TDMA-системах, когда все каналы или временные интервалы перегружены.

В обеих цифровых системах — TDMA и CDMA — широко применяются алгоритмы цифровой обработки сигналов для сжатия и подготовки речевых сигналов к передаче. В приемнике методы ЦОС используются для демодуляции и декодирования сигналов речи.

В настоящее время в США используются и аналоговые и цифровые системы. Во многих случаях аналоговые и цифровые системы должны сосуществовать в пределах одной области и зоны обслуживания. Такой подход вызывает необходимость поддержания сотовой базовой станцией и аналоговых, и цифровых форматов, подразумевая широкое использование цифровых методов при построении базовых станций, что существенно упрощает оборудование.

Заключительная часть этой главы посвящена обработке речи и каналному кодированию, связанному со стандартом GSM. Эти приложения иллюстрируют фундаментальные принципы, которые применимы ко всем мобильным цифровым системам.

а

СТАНДАРТЫ ЦИФРОВОЙ МОБИЛЬНОЙ РАДИОСВЯЗИ

- Многоканальный доступ с частотным разделением (FDMA) – пользователи системы получают отдельные участки спектра
- Многоканальный доступ с временным разделением (TDMA) – сигналы для различных пользователей передаются в разные моменты времени (емкость канала приблизительно в три раза выше, чем при FDMA) – стандарт GSM является примером TDMA
- Многоканальный доступ с кодовым разделением (CDMA) – основан на технологии распределенного спектра – увеличение числа пользователей приводит к незначительному увеличению числа ошибок за единицу времени
- В технологиях TDMA и CDMA широко используются цифровые сигнальные процессоры для кодирования речи и канальном кодировании при приеме и передаче

Рис. 9.13

Система GSM

На рис. 9.14 приведена упрощенная блок-схема цифровой сотовой телефонной системы GSM. Голосовой кодер/декодер и дискретная передаточная функция будут описаны более подробно. Передающая и приемная части системы включают в себя цифровой модем, подобный описанным выше. Отличия только в том, что схожие функции, например, эквалаизация, сверточное кодирование, Viterbi-декодирование, модуляция и демодуляция, реализуются в цифровой форме.

Стандарт кодирования голоса был впервые использован в цифровой передающей системе T-Carrier. В этой системе речь подвергается 8-разрядному логарифмическому кодированию с частотой выборки 8 kSPS. 8-разрядное логарифмическое кодирование и декодирование эквивалентны линейному кодированию и декодированию с 13-разрядным разрешением. Результирующий битрейт равен 104 Кбайт/с. Используемые в большинстве телефонов 16-разрядные сигма-дельта АЦП обеспечивают эффективный битрейт 128 Кбайт/с. Речевой кодер, входящий в состав GSM-систем, сжимает сигнал речи до битрейта 13 Кбайт/с, а на приемной стороне декодер восстанавливает исходный сигнал. Речевой кодер основан на усовершенствованном алгоритме линейного прогнозирующего кодирования (LPC). LPC-алгоритм использует модель человеческого голосового тракта, которая представляет гортань в виде ряда концентрических полостей-цилиндров различного диаметра и с различной резонансной частотой. Эта модель может быть математически представлена в виде систем уравнений, описывающих свойства каждой полости-цилиндра.

а

СТРУКТУРНАЯ СХЕМА СОТОВОГО ТЕЛЕФОНА СТАНДАРТА GSM

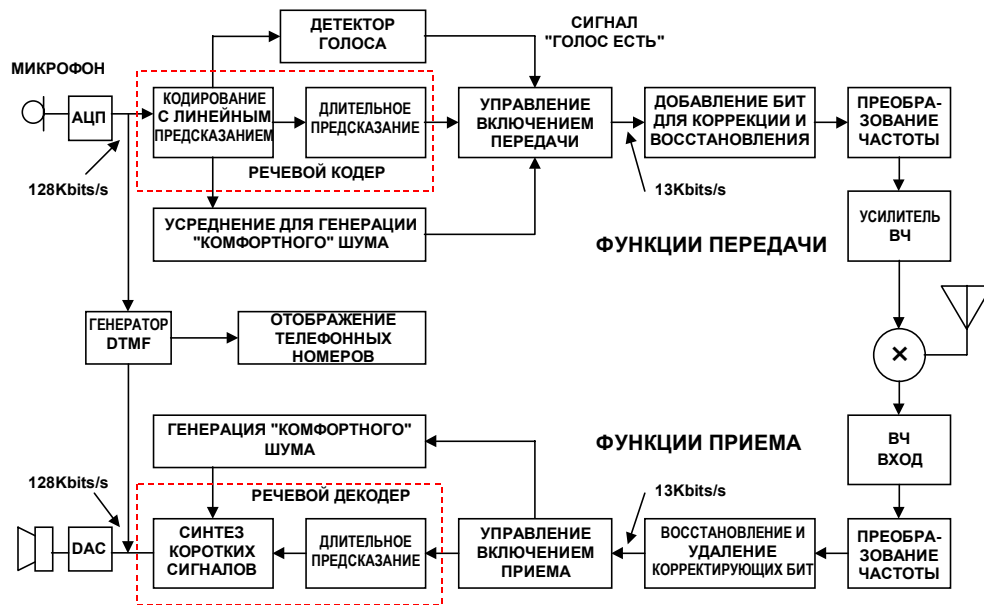


Рис. 9.14

Сигнал возбуждения пропускают через полости-цилиндры, генерируя выходной сигнал. В человеческом организме сигнал возбуждения генерируется с помощью воздушных колебаний голосовых связок или сокращений голосового тракта. В цифровой системе сигнал возбуждения представляет собой ряд импульсов, моделирующих колебания связок, и шум, моделирующий сокращения. Этот сигнал поступает на решетчатый цифровой фильтр. Каждый коэффициент фильтра отображает размер цилиндра.

LPC-система характеризуется числом цилиндров, которые использованы в модели. В системе GSM используются восемь цилиндров и, соответственно, должны генерироваться восемь моделирующих коэффициентов.

Использовавшиеся ранее LPC-системы обеспечивали качество, достаточное лишь для того, чтобы разобрать кодируемую речь без распознавания голоса говорящего. Качество зачастую было слишком низким. В LPC-системе стандарта GSM используются два усовершенствованных метода, которые улучшают качество кодируемой речи. Это методы регулярного импульсного возбуждения (RPE) и долговременного предсказания (LTP). Их применение позволяет получить результирующее качество кодируемой речи, почти эквивалентное результатам логарифмической импульсно-кодовой модуляции (сжатая ИКМ, как в системе T-Carrier).

На вход речевого кодера поступает серия 16-разрядных отсчетов голосовых данных в виде равномерной ИКМ с тактовой частотой 8 кГц. Речевой кодер оперирует с блоками по 20 мс (160 отсчетов) и трансформирует их в 76 коэффициентов (в сумме 260 бит), за счет чего битрейт уменьшается до 13 Кбайт/с.

Режим прерывистой передачи (DTX) позволяет отключать передачу во время пауз между словами. Такой подход позволяет уменьшить мощность, потребляемую передатчиком, и увеличить полную емкость GSM-системы.

Низкая потребляемая мощность продлевает жизнь батарей в телефоне и является важной особенностью для переносных портативных телефонов. Она способствует увеличению максимально возможного количества вызовов за счет снижения межканальной

а

интерференции, позволяя более эффективно использовать выделенный частотный спектр. В обычном разговоре каждый абонент говорит менее 40% времени, и приблизительные оценки показали, что использование DTX может удвоить максимальное количество вызовов системы мобильной связи.

В передатчике размещается голосовой датчик (VAD). Его задача состоит в выделении речи из шумового фона и в игнорировании шума без речи. Входным массивом для голосового датчика является набор параметров, вычисленных речевым кодером. VAD использует эту информацию для принятия решения: содержит или не содержит речь каждый блок по 20 мс, поступающий на кодер.

Генератор "комфортного" шума (CNI) встраивается в приемник. "Комфортный" шум вырабатывается во время строба паузы, когда алгоритм DTX выключает передатчик; этот шум подобен по амплитуде и спектру фоновому шуму в передатчике. Цель генерации CNI состоит в подавлении неприятного эффекта переключения между речью на фоне шума и тишиной. Если сигнал принимается без системы CNI, то слышно быстрое чередование речи на фоне интенсивного шума (например, автомобиля) и тишины. Влияние подобного эффекта значительно уменьшает разборчивость речи.

Когда задействован шумовой генератор DTX, каждый передаваемый голосовой пакет перед отключением передатчика сопровождается блоком данных, описывающих параметры шумового фона (SID). Этот блок данных служит маркером окончания передачи речи для приемной стороны. Он содержит характерные параметры фонового шума в передатчике, например, информацию о спектре, полученную с помощью линейного прогнозирующего кодирования.

Блок данных SID используется генератором "комфортного" шума приемника для синтеза цифрового фильтра, который, при возбуждении его псевдослучайным шумом, генерирует отклик, подобный фоновому шуму в передатчике. Этот "комфортный" шум вставляется в паузы между получаемыми голосовыми пакетами. Параметры шума обновляются через равные промежутки времени с помощью передаваемых во время речевых пауз SID-пакетов.

Для обнаружения и коррекции ошибок в приемнике, процессор добавляет в поток данных служебные биты, за счет чего выходной битрейт кодера увеличивается до 22,8 Кбит/с. Биты в пределах одного блока равномерно перемешиваются со служебными битами псевдослучайным образом, повышая тем самым помехоустойчивость системы.

ТЕЛЕФОНЫ СТАНДАРТА GSM, ИСПОЛЬЗУЮЩИЕ ПРОЦЕССОР ОБРАБОТКИ SOFTPHONE™ И КОМПЛЕКТ МИКРОСХЕМ РАДИОКАНАЛА OTHELLO™

Компания Analog Devices недавно анонсировала два новых комплекта микросхем, которые имеются в большинстве телефонов стандарта GSM. Комплект SoftPhone™ выполняет функции предварительной цифровой обработки, в то время как набор микросхем радиоканала Othello™ оперирует с радиочастотными сигналами.

Первоначально под GSM были выделены частотные диапазоны от 890 МГц до 915 МГц для мобильных передатчиков и от 935 МГц до 960 МГц для мобильных приемников. Другие частотные диапазоны были выделены для расширения емкости GSM систем за счет диапазона цифровой коммуникационной службы (DCS) от 1710 МГц до 1785 МГц и от 1805 МГц до 1880 МГц. Все страны, использующие стандарт GSM, применяют одну из этих двух пар частот. В Соединенных Штатах эти диапазоны были выделены FCC. В

а

середине 90-х годов в Соединенных Штатах под GSM был выделен еще один пакет частот: от 1850 МГц до 1910 МГц и от 1930 МГц до 1990 МГц.

Благодаря распределению частот в GSM-системах других стран (за пределами США), большинство телефонов GSM должно поддерживать обработку обоих частотных диапазонов: и GSM, и DCS. Комплекты SoftFone и Othello включают в себя все главные функции, необходимые для реализации двух- или трехдиапазонных сотовых телефонов GSM. Комплект ИМС AD20msp430 SoftFone™ интегрирует всю низкочастотную часть GSM-телефона. Этот комплект низкочастотной обработки использует комбинацию спецификаций GSM-систем и усовершенствованной технологии аналоговой и цифровой обработки сигналов, что устанавливает новый стандарт качества GSM/GPRS-терминалов.

Архитектура SoftFone полностью основана на использовании быстродействующей оперативной памяти. Программное обеспечение загружается из FLASH-памяти и из ОЗУ на кристалле и направляется на выполнение. Такое решение способствует оперативному развитию системы, поскольку не требует замены жесткой логики. Кроме того, программное обеспечение телефона легко обновляется, что позволяет расширять его функциональные возможности. При использовании в комбинации с комплектом "Othello" от Analog Devices схема полнофункционального многодиапазонного телефона содержит менее 200 компонентов. Она умещается на односторонней PCB-плате площадью 20 см² и имеет общую материалоемкость на 20-30 % ниже, чем предыдущие разработки. Упрощенная блок-схема телефона показана на рис. 9.15.

Микросхема AD20msp430 выполняет функции двух микросхем: AD6522 – процессора предварительной обработки на базе DSP и AD6521 – голосового кодека. Применение модуля AD20msp430 вместе с микросхемой радиоканала "Othello" позволяет существенно сократить число компонентов и материалоемкость (BOM) телефонов и терминалов данного стандарта GSM. Программное обеспечение и аппаратные средства AD20msp430 уже достаточно давно успешно интегрируются в телефоны GSM.

СОТОВЫЙ ТЕЛЕФОН GSM/DCS НА ЧИПСЕТАХ OTHELLO™ И SOFTPHONE™

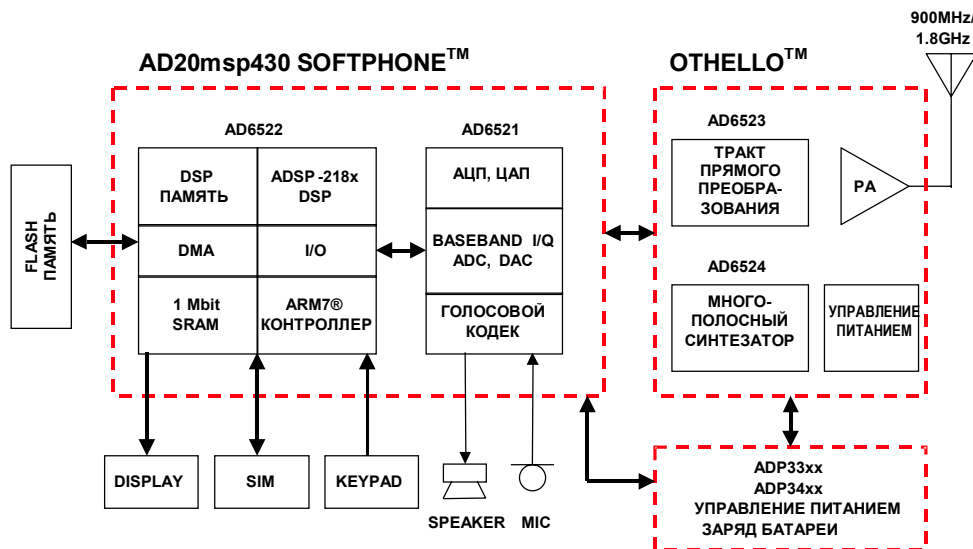


Рис. 9.15

Это уже четвертое поколение комплектов стандарта GSM, разработанных Analog Devices, каждое из которых было по достоинству оценено многочисленными сетевыми операторами и разработчиками телефонов. Каждое новое поколение обладало новыми

а

функциональными возможностями, в то время как стоимость и энергопотребление комплектов неуклонно снижались. Новый комплект AD20msp430 имеет большое число дополнительных энергосберегающих функций, способствующих значительному снижению суммарной потребляемой мощности. Такое решение позволяет снизить ток потребления в режиме stand-by до 1 мА. Это дает возможность использовать телефон в таком режиме с одной зарядкой аккумуляторов более 1000 часов. В реализованной в AD20msp430 архитектуре SoftFone™ все программное обеспечение находится в FLASH-памяти или ОЗУ. Поскольку ПЗУ не используется, процесс обновления функций значительно сокращается во времени. Базовый двухдиапазонный GSM-терминал, как правило, требует наличия только одного корпуса FLASH-памяти емкостью 8 Мб.

Комплект AD20msp430 включает в себя два процессора. Процессор цифровой сигнальной обработки выполнен на базе ядра ADSP-218X, использовавшегося в предыдущих поколениях GSM-комплектов и имеющего производительность 65 MIPS. Этот DSP выполняет функции речевого и канального кодирования, которые были рассмотрены выше. Кодек AD6521 содержит в себе все цепи аналоговой и смешанной обработки. Он содержит канал записи/чтения АЦП и ЦАП, высокоэффективный многоканальный речевой кодек и несколько дополнительных АЦП и ЦАП для систем АРУ (AGC), АПЧ (AFC) и управления мощностью передатчика. Микроконтроллер ARM7 стандарта TDMI имеет тактовую частоту 39 МГц. МК ARM7 отвечает за формирование пакетов протокола передачи данных и функции человеко-машинного интерфейса. Оба процессора успешно используются в области цифровых беспроводных приложений.

Комплект AD20msp430 полностью поддерживается набором средств разработки и программным обеспечением. Средства разработки позволяют легко сконфигурировать программы DSP и/или микроконтроллера ARM, что дает возможность производителям телефонов и терминалов стандарта GSM оптимизировать функциональные возможности и пользовательский интерфейс под конкретное оборудование. Программное обеспечение, разрабатываемое партнером Analog Devices — компанией TTPCom, — включает в себя библиотеки для обработки как данных, так и голоса, и постоянно обновляется, расширяя функциональные возможности. Система организации прямого доступа в память и контроллеров прерываний разработана с учетом возможности легкой модернизации при переходе к последующим поколениям сигнальных процессоров и микроконтроллеров. Интерфейс дисплея может оснащаться как параллельным, так и последовательным интерфейсом. Время разработки системы на базе AD20msp430 можно значительно сократить с помощью отладчика, входящего в комплект поставки. Наиболее критичные сигналы могут быть разбиты с помощью управляющего программного обеспечения [2]. Это позволяет проводить отладку системы на заключительном этапе ее создания. Кроме того, архитектура включает в себя высокоскоростное регистрирующее устройство и функции отслеживания адреса в DSP, а также однопроводную трассировку/отладку в ARM-контроллере.

Компания Analog Devices недавно анонсировала новый комплект микросхем радиоканала прямого преобразования Othello™ для мобильных приложений. Благодаря отсутствию каскадов промежуточной частоты (IF), этот комплект интегральных микросхем позволяет производителям мобильной электроники снизить размеры и стоимость модулей радиоканала и повысить гибкость за счет мультистандартности и многорежимности. Комплект микросхем радиоканала состоит из двух интегральных схем: трансивера прямого преобразования AD6523 и многодиапазонного синтезатора частот AD6524.

AD6523 реализует все основные функции приемника прямого преобразования и прямого VCO-передатчика, называемого Virtual-IF-передатчиком. Микросхема также содержит блок генерации с внутренним осциллятором и полнофункциональным внутрикристалльным регулятором, который подает питание на все активные цепи

а

радиоканала. AD6524 представляет собой N-fractional синтезатор с чрезвычайно малым временем переключения, необходимым для передачи данных с помощью сотовых телефонов, в частности — для высокоскоростной коммутации данных (HSCSD) и службы передачи радиопакетов (GPRS).

Современные цифровые сотовые телефоны имеют, по крайней мере, один каскад преобразования частоты в сигнальной цепи. Это преобразование частоты позволяет перевести принимаемый сигнал из выделенного стандартного радиочастотного диапазона (скажем, 900 МГц) на более низкую промежуточную частоту (IF), где селектор канала выполняется на базе узкополосного полосового фильтра выбора канала (как правило, на поверхностно-акустических волнах (SAW) или керамике). Далее отфильтрованный сигнал подвергается дальнейшему преобразованию либо во вторую промежуточную частоту, либо сразу детектируется, затем оцифровывается и демодулируется в цифровом сигнальном процессоре. На рис. 9.16 показано сравнение этой супергетеродинной архитектурой с супергомодинной TM архитектурой приемника Othello.

Идея использования непосредственного преобразования частоты в приемниках достаточно долго пользовалась вниманием разработчиков радиочастотных трактов. Причина очевидна: каскады преобразования увеличивают стоимость, размеры и вес пользовательского оборудования. Каждый каскад требует наличия локального генератора (часто включающего частотный синтезатор для точной настройки на заданную частоту), смесителя, фильтра и, возможно, усилителя. Учитывая все это, привлекательность приемников прямого преобразования не удивляет. Отсутствие промежуточных каскадов позволяет сократить стоимость, габариты и вес приемника.

АРХИТЕКТУРА ПРЯМОГО ПРЕОБРАЗОВАНИЯ ПОЗВОЛЯЕТ УМЕНЬШИТЬ ЧИСЛО КОМПОНЕНТОВ В ПРИЕМНИКЕ

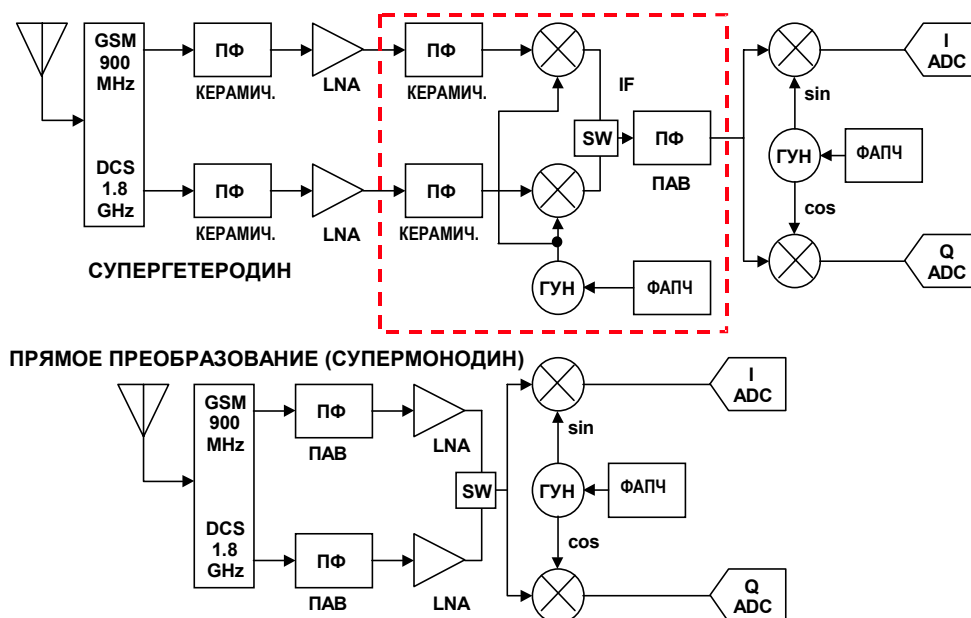


Рис. 9.16

Комплект микросхем OthelloTM также позволяет дополнительно сократить число внешних компонентов за счет интеграции внешнего интерфейса GSM с малошумящим усилителем (LNA). Такое решение дает возможность обойтись без радиочастотного фильтра зеркальной частоты ("зеркального" фильтра), который необходим для подавления

а

паразитной зеркальной частоты или продуктов интерференции сигналов смесителя и малошумящего усилителя. Этот каскад обычно выполняется на ключевом транзисторе с цепью смещения и соответствующей обвязкой, что в сумме выражается приблизительно в 12 компонентах. Включение LNA в интерфейсный блок сокращает количество внешних компонентов в среднем приблизительно на 15-17 единиц в зависимости от степени соответствия описанному фильтру.

Функциональная блок-схема архитектуры двухдиапазонного GSM-модуля радиоканала Othello™ показана на рис. 9.17. Приемная часть расположена в верхней части рисунка. От антенного разъема принимаемый сигнал поступает на переключатель режима «прием/передача» и направляется, в зависимости от диапазона, на один из двух фильтров: 925-960 МГц для GSM-диапазона или 1805-1880 МГц для DCS-диапазона. Сигнал проходит через полосовой радиочастотный фильтр (так называемый roofing-фильтр) который служит для выделения необходимой полосы частот и подавления составляющих других частот (включая частоты в диапазоне передачи), чтобы предотвратить перегрузку активных компонентов в приемной части. После roofing-фильтра расположен малошумящий усилитель (LNA). Это первый усилительный элемент в системе, позволяющий значительно сократить вклад всех последующих каскадов в уровень суммарного шума системы. После малошумящего усилителя смеситель с прямым преобразованием частоты переводит полезный сигнал с радиочастоты непосредственно на основную частоту с помощью умножения радиосигнала на выходной сигнал локального генератора такой же частоты.

ДВУХПОЛОСНЫЙ ПРИЕМОПЕРЕДАТЧИК ПРЯМОГО ПРЕОБРАЗОВАНИЯ SUPERHODYNE™ НА ЧИПСЕТЕ AD6523/AD6524

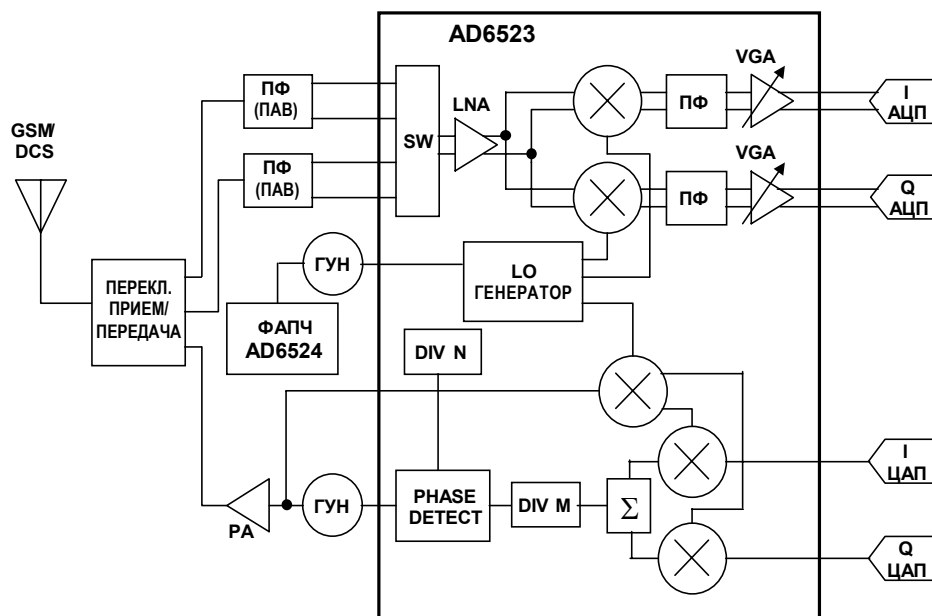


Рис. 9.17

Выходной сигнал смесительного каскада затем направляется через квадратурный модулятор (каналы I и Q) на усилительный каскад основной частоты с переменным коэффициентом усиления. Регулируемый усилитель также обеспечивает некоторую фильтрацию смежных каналов и подавление паразитных частот. Этим блокируются сигналы других GSM-каналов, разнесенных на некоторое расстояние от принимаемого

а

канала, как правило, 3 и более мегагерц. Фильтр усилителя основной частоты ослабляет эти сигналы до уровня, гарантирующего отсутствие перегрузки АЦП приемника. После усилительного каскада принимаемый сигнал оцифровывается в приемном АЦП.

Передающая часть, показанная в нижней части рисунка, начинается с мультиплексированных входных/выходных каналов I и Q. Поскольку система GSM является дуплексной с разделением по времени, передатчик и приемник никогда не работают одновременно. За счет этого, комплект Othello™ позволяет сэкономить четыре вывода на корпусе ИМС приемопередатчика. С квадратурного модулятора сигналы поступают через мультиплексированные каналы I/Q на передатчик. Затем сигналы подвергаются модуляции с промежуточной частотой более 100 МГц.

Выходной сигнал модулятора далее поступает на фазочастотный детектор (PFD), где он сравнивается с опорной частотой генератора, управляемого внешним синтезатором. Сигнал с PFD с частотой более 100 МГц проходит через фильтр с достаточно широкой полосой пропускания (1 МГц). Выходной сигнал фильтра направляется на управляющий вход генератора, управляемого напряжением (VCO), с частотными диапазонами, перекрывающими полосы передачи стандартов GSM и DCS.

Далее сигнал с ГУН распределяется на два блока. Основной — на усилитель мощности передатчика (PA), который повышает относительный уровень передаваемого сигнала от +3 дБм до +35 дБм, после чего сигнал направляется на коммутатор приема/передачи и НЧ-фильтр (подавляющий гармоники усилителя мощности). Усилители мощности имеют две полосы частот с простым переключением по напряжению с помощью сигналов КМОП-уровня. Выходной сигнал ГУН также поступает на смеситель цепи обратной связи через ответвитель, который может быть выполнен как в виде печатной платы, построенной на базе дискретных катушек и конденсаторов, так и в виде монолитного (обычно) керамического устройства связи. Смеситель обратной связи переносит передаваемый сигнал снова на промежуточную частоту и использует этот сигнал в качестве сигнала локального генератора для модулятора передатчика.

Этот тип модулятора имеет несколько названий, но вероятно наиболее наглядное из них "транслирующая петля". Транслирующая петля модулятора использует преимущества одного ключевого аспекта стандарта GSM: схема модуляции выполняется с использованием гауссовой частотной модуляции с минимальным частотным сдвигом (GMSK). Этот тип модуляции не затрагивает амплитуду сигнала, что означает, что усилитель мощности может входить в режим насыщения без искажения GMSK-сигнала.

Модуляция GMSK может быть выполнена несколькими различными способами. В других европейских стандартах (для беспроводных телефонов) модуляция GMSK может производиться посредством непосредственной модуляции потока данных управляемым ГУН с гауссовой фильтрацией. В стандарте GSM был выбран метод квадратурной модуляции. Квадратурная модуляция позволяет получить точную фазовую GMSK. Но недостатки в схеме модулятора (или каскада преобразования с повышением частоты) могут привести к флуктуациям огибающей, которые могут, в свою очередь, привести к фазовым искажениям при перегрузке выходного усилителя мощности. Чтобы избежать подобных искажений, производители телефонов стандарта GSM были вынуждены использовать усилители с более высокой линейностью за счет уменьшения эффективности и сокращения времени разговора за один цикл зарядки аккумуляторов.

Модулятор с транслирующей петлей объединяет преимущества модуляции непосредственно с помощью ГУН и более точной квадратурной модуляции. В результате в схеме создана петля фазовой автоподстройки частоты (PLL), в которую включены сигнал модулятора, сигнал генератора и выходной сигнал ГУН, а также сигнал смесителя цепи обратной связи. В конечном итоге получается непосредственно модулированный

а

сигнал на выходе ГУН с абсолютно постоянной огибающей и прекрасными фазовыми характеристиками. Неравномерность фазовой характеристики не превышает 1,5 градуса при нестационарности микросхемы приемопередатчика AD6523, использующей сигнал генератора в качестве локального осциллятора для обеспечения стабильности петли ОС.

Компактность комплекта Othello™ позволяет использовать GSM-технологии для создания многих изделий, в которых ранее это было невозможно, например, в очень компактных телефонах или PCMCIA картах. Однако основные преимущества прямого преобразования станут очевидными при разработке универсальных мультистандартных телефонов третьего поколения. С использованием прямого преобразования отпадает необходимость в аппаратном фильтре выбора канала, поскольку эта операция выполняется в блоке цифровой сигнальной обработки, который может быть перепрограммирован для работы с множеством стандартов. Сравните этот подход с супергетеродинной архитектурой, где требуется несколько цепей радиоканала для работы с различными стандартами (поскольку каждый из них требует различные фильтры выбора канала) и все схемы должны иметь минимальные размеры. При использовании прямого преобразования один и тот же радиоканал может использоваться в принципе для нескольких различных стандартов, частотных полос и типов модуляции. Таким образом, Интернет-навигация и голосовая связь могут быть в принципе реализованы на базе одного и того же телефона стандарта GSM.

АНАЛОГОВЫЕ БАЗОВЫЕ СТАНЦИИ СОТОВОЙ ТЕЛЕФОНИИ

Рассмотрим аналоговый супергетеродинный приемник, изобретенный в 1917 году Эдвином Армстронгом (см. рис. 9.18). Эта архитектура представляла собой существенный шаг вперед по сравнению с однокаскадными аналоговыми приемниками прямого преобразования (гомодинными), которые строились с использованием перестраиваемых усилителей промежуточной частоты, одного детектора и каскада усиления сигнала звуковой частоты. (Необходимо обратить внимание, что гомодинная техника теперь получила широкое распространение в приемниках с цифровой обработкой, как показано выше). Основное преимущество супергетеродинного аналогового приемника состоит в том, что он имеет существенно меньшие массогабариты и более экономичен при обеспечении заданного усиления и селективности приемника на фиксированных промежуточных частотах (IF) по сравнению с усилением и частотной избирательностью схем с перестройкой по частотному диапазону.

а

СУПЕРГЕТЕРОДИННЫЙ АНАЛОГОВЫЙ ПРИЕМНИК БАЗОВОЙ СТАНЦИИ СИСТЕМЫ AMPS (U.S. ADVANCED MOBILE PHONE SERVICE)

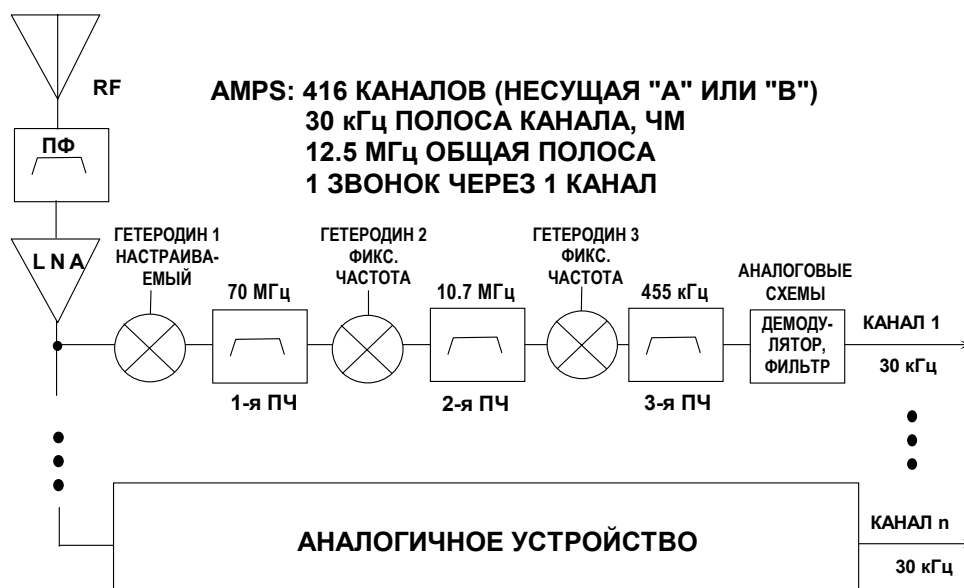


Рис. 9.18

Частоты, показанные на рис. 9.18, выделены для AMPS (Служба усовершенствованной мобильной телефонии) — аналоговой системы сотовой телефонии, используемой в настоящее время в США. Приемник предназначен для приема AMPS-радиосигналов частотой 900 МГц. Полоса частот для несущих "А" или "В", обслуживающих локальную географическую область, составляет— 12,5 МГц (416 каналов, каждый шириной 30 кГц). В приемнике, как показано на рисунке, используется трехкратное преобразование частоты, с первой промежуточной частотой 70 МГц, второй частотой 10,7 МГц и третьей частотой 455 кГц. Зеркальная частота на входе приемника отделяется от несущей подстройкой первой промежуточной частоты (при использовании относительно высокой первой промежуточной частоты разработка зеркального фильтра упрощается).

Выходной сигнал третьего каскада промежуточной частоты демодулируется с использованием аналоговых методов (дискриминаторов, детекторов огибающей, синхронных детекторов и т.д.) В случае AMPS используется частотная модуляция. Важным свойством упомянутой схемы является то, что на каждый канал требуется один приемник, а антенна, каскад предварительной фильтрации и малошумящий усилитель могут быть общими.

Необходимо отметить, что для упрощения схемы на рисунке не показаны межкаскадные усилители. Они, однако, являются важной частью приемника и при дальнейшей разработке необходимо это учитывать.

Разработка аналогового приемника является сложным процессом, и имеется много дополнительных функциональных узлов, которые могут быть использованы на промежуточной частоте между первым и вторым или третьим преобразованием частоты: фильтры, удорожающие и усложняющие каждый каскад приемника, схемы демодуляции и т.д. Имеется много превосходных рекомендаций по построению аналогового приемника, и цель этого обсуждения состоит лишь в том, чтобы сформировать систему отсчета для последующего обсуждения использования цифровых методов при разработке

а

усовершенствованных телекоммуникационных приемников и приемников базовых станций сотовой телефонии.

ЦИФРОВЫЕ СОТОВЫЕ БАЗОВЫЕ СТАНЦИИ

Сотовые телефонные базовые станции формируют основу современной беспроводной сотовой инфраструктуры. Они должны обеспечивать получение многочисленных запросов, обработку запросов и их ретрансляцию. Соединение с базовой станцией в смежных ячейках должно выполняться без потери сигнала при движении абонента. Кроме того, базовые станции зачастую должны удовлетворять нескольким стандартам одновременно. В некоторых областях США в достаточно большом числе частотных полос используются различные технологии в пределах одной и той же географической области, например AMPS и CDMA.

Гибкость, высокая производительность и низкая стоимость канала являются основными требованиями к современным базовым станциям. Максимальное использование DSP в приемопередатчиках позволяет обрабатывать несколько стандартов без необходимости замены аппаратных средств. Это привело к широкому распространению программного обеспечения для обработки радиосигналов (software radios), которое доминирует в текущий момент на рынке базовых станций.

Как и в случае сотовых телефонов, техника прямого преобразования широко используется и в базовых станциях. Сигнал оцифровывается высокоэффективным широкополосным АЦП, после чего следует только один каскад переноса частоты. На рис. 9.19 показаны два основных подхода к построению цифрового приемника: узкополосный и широкополосный фильтры.

При узкополосном подходе подразумевается, что была выполнена достаточная предварительная фильтрация сигнала, в результате чего подавлены все паразитные сигналы и на входе АЦП присутствует только полезный сигнал. Широкополосный подход подразумевает наличие на входе АЦП множества каналов и дальнейшая фильтрация, настройка и обработка выполняется в цифровой форме. Обычно, широкополосный приемник предназначен для приема сплошной полосы сигналов, например для сотовой телефонии, или других систем беспроводной связи (PCS или CDMA). Фактически, один широкополосный цифровой приемник может использоваться для одновременного приема всех возможных каналов в пределах выделенного частотного диапазона, что позволяет использовать практически только аналоговые средства (включая АЦП) для выделения нужного канала.

а

УЗКОПОЛОСНЫЙ И ШИРОКОПОЛОСНЫЙ ЦИФРОВЫЕ ПРИЕМНИКИ ДЛЯ СОТОВЫХ БАЗОВЫХ СТАНЦИЙ

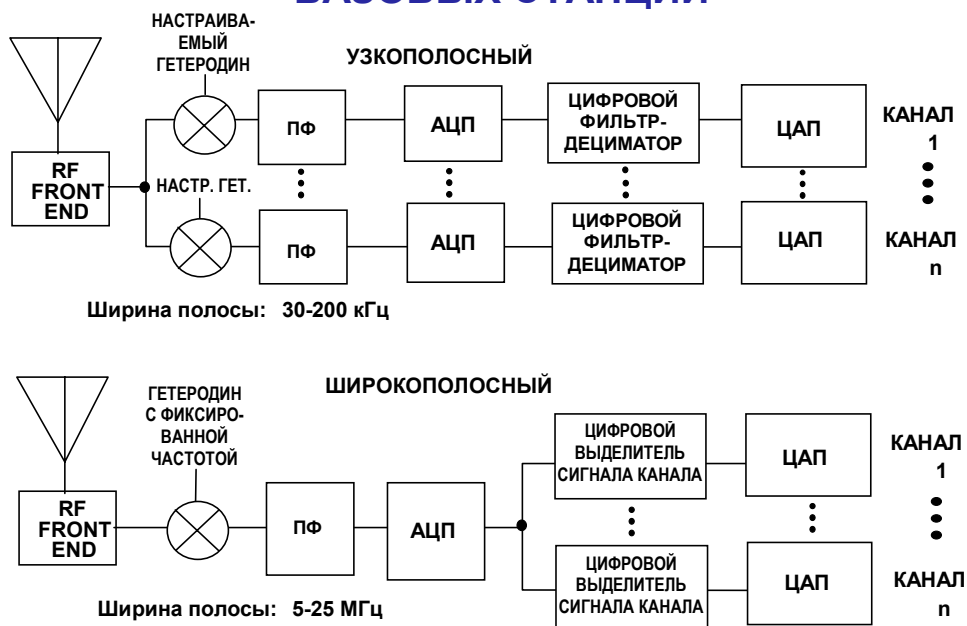


Рис. 9.19

Широкополосный подход накладывает серьезные ограничения на параметры используемого АЦП и требует широкого динамического диапазона (SFDR) и высокого отношения сигнал/шум (SNR), особенно в сотовых системах, где уровень сигналов соседних каналов может отличаться более чем на 100 дБ. Это требует применения АЦП с полосой пропускания более 100 МГц и частотой дискретизации более чем 50 МГц (например, для работы с мультиплексной с полосой частот 25 МГц). С другой стороны, узкополосный подход обеспечивает более тщательную обработку, поскольку каждый канал может быть оцифрован с более высокой частотой дискретизации, но этот подход также требует большего количества АЦП для обработки того же самого числа каналов.

Комплект ИМС от Analog Devices - SoftCell™ адресован в первую очередь операторам беспроводных систем связи, позволяя снизить стоимость обслуживания и размеры оборудования, повысить гибкость и качество обслуживания. Базовые станции, содержащие комплект ИМС SoftCell, легко позволяют производить модификацию: организацию новых услуг, дополнительных каналов, и замену стандартов беспроводной передачи данных. В действительности, операторы будут иметь возможность использовать любой стандартный радиочастотный интерфейс (например, GSM, PHS, D-AMPS), увеличить число каналов, более эффективно использовать выделенные частотные полосы. Новая архитектура также позволяет обойтись без избыточных радиоканалов и для передатчиков и для приемников.

Комплект SoftCell оптимизирован для четырех радиоканалов и может быть легко расширен. Это решение позволяет изготовителям оборудования использовать масштабируемую мультиплексную, многомодовые базовые станции на основе узлов традиционных многоканальных базовых станций, использующих аналоговые методы. Блок-схема системы, использующей комплект SoftCell, показана на рис. 9.20.

а

СТРУКТУРНАЯ СХЕМА БАЗОВОЙ СТАНЦИИ ДЛЯ РАБОТЫ СО МНОГИМИ НЕСУЩИМИ НА ЧИПСЕТЕ SoftCell™

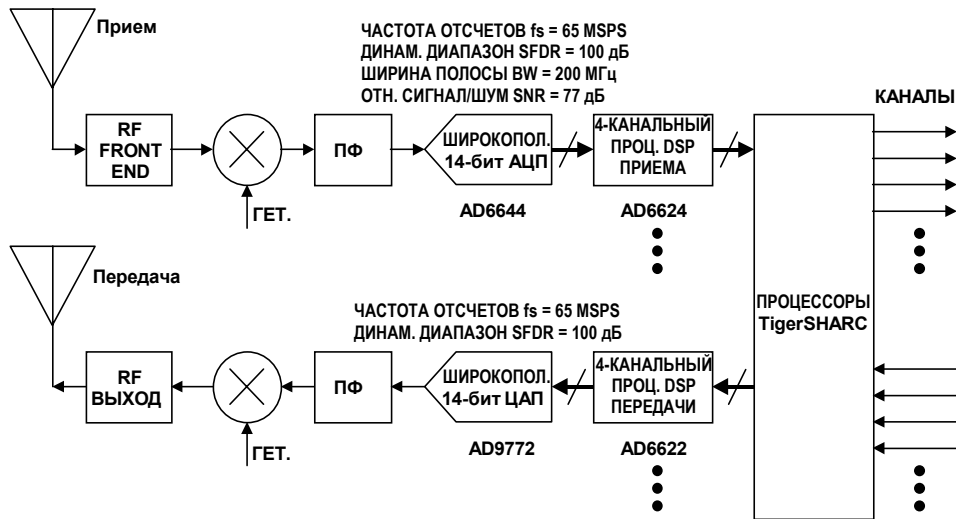


Рис. 9.20

Уменьшение размеров при сохранении стоимости за счет использования SoftCell позволяет разместить более плотно на ограниченной площади большее число базовых станций. В результате обеспечивается лучший охват, более высокое качество связи и меньшая вероятность отказов обслуживания пользователей. Мобильность и компактность систем на базе SoftCell делает их идеальным вариантом для организации офисных беспроводных систем связи. Кроме того, технология программного обеспечения радиоканала, реализованная в данном комплекте, позволяет использовать новые возможности, например смарт-антенны или фазированные антенные решетки, которые дают возможность более эффективно потреблять мощность передатчика без увеличения стоимости системы, а также организовать маленькие микросотовые установки для увеличения охвата внутриофисных беспроводных систем.

Комплект ИМС SoftCell состоит из 14-разрядного АЦП AD6644, четырехканального процессора обработки принимаемого сигнала (RSP) AD6624, 14-разрядного ЦАП AD9772 и четырехканального процессора обработки передаваемого сигнала (TSP) AD6622. Использование сигнальных процессоров позволяет улучшить разделение каналов, коррекцию АЧХ, коррекцию ошибок и повысить гибкость и эффективность декодирования. Этот новый комплект интегральных микросхем оптимизирован для работы с многопроцессорными системами на базе архитектуры TigerSHARC™.

Цифровой сигнальный процессор с архитектурой TigerSHARC оптимизирован для телекоммуникационных приложений и способен выполнять 1 млрд. операций умножения с накоплением в секунду над 16-разрядными данными при тактовой частоте 150 МГц. Еще одной уникальной особенностью архитектуры TigerSHARC является способность поддерживать 8-, 16-, и 32-разрядный формат данных на одном кристалле. Модуляция / демодуляция, канальное кодирование/декодирование и другие функции обработки радиоканала могут быть мультиплексированы, что позволяет поддерживать обработку нескольких несущих на одном процессоре.

В дополнение к комплекту SoftCell, ADI недавно представила универсальный приемный АЦП AD6600. AD6600 предназначен для узкополосных приложений, в которых

а

невозможно реализовать архитектуру с множеством несущих, но возможна организация непосредственной оцифровки сигналов промежуточной частоты до 250 МГц. В комбинации с соответствующим цифровым процессором обработки принимаемого сигнала, AD6600 может обрабатывать разнообразные стандартные беспроводные интерфейсные сигналы, включая GSM Macrocell.

Классическая архитектура базовой станции требует полноценного приемопередатчика для обработки каждой радиочастотной несущей (от 4 до 80 каналов для цифровых и аналоговых систем соответственно). Эти радиоканалы должны дублироваться с учетом свойств антенн. Отсюда очевидно, почему электроника базовых станций занимает так много места, потребляет огромную мощность и дорого стоит. Преимущества программной обработки мультинесущей проявляется в устранении избыточных радиоканалов в пользу единственного быстродействующего радиоканала, где каждая несущая обрабатывается в цифровой форме. Распространение такой программной обработки радиосигналов ограничивается свойствами аналого-цифровых преобразователей, которые должны оцифровывать огромный динамический диапазон, необходимый для обработки спектра нескольких несущих и подавления интерференции соседних каналов.

Передачики с несколькими несущими имеют подобные требования к аппаратной части для организации новых беспроводных интерфейсов. Цифро-аналоговые преобразователи (ЦАП) и усилители мощности мультинесущих (MCPAS) должны передавать спектр нескольких генерированных в цифровой форме несущих без искажений или смешивания сигналов в смежных каналах. AD9772 представляет собой 14-разрядный интерполирующий ЦАП, оптимизированный для точного преобразования нескольких несущих в единственную промежуточную частоту. AD9772 является самым последним представителем семейства быстродействующих преобразователей TxDAC® ADI.

Сердцем комплекта ИМС SoftCell является AD6644 — 14-разрядный АЦП с тактовой частотой 65 МГц, который обеспечивает динамический диапазон (SFDR) до 100 дБ и отношение сигнал/шум (SNR) 77 дБ. Такие параметры приемной части необходимы для оцифровки радиосигнала с несколькими несущими, используемыми во многих приложениях. При изменении настройки канала фильтрация и демодуляция в цифровой форме позволяют гибко поддерживать различные беспроводные стандарты, число каналов и частотных планов при наличии единственного модуля радиоканала.

Следующий после АЦП цифровой процессор обработки принимаемого сигнала (RSP) выполняет функции канальной настройки, фильтрации и прореживания, необходимые для выделения базовой частоты и обработки ее в цифровом сигнальном процессоре (DSP). Функции DSP выполняет AD6624 — четырехканальный процессор с производительностью 65 MSPS, поддерживающий стандарты GSM, IS136 и другие узкополосные стандарты. AD6624 имеет четыре независимо программируемых канала, что позволяет легко изменять характеристики беспроводного интерфейса по мере необходимости. Такой подход также дает возможность параллельного включения AD6624S для увеличения количества каналов. AD6624 может быть также сконфигурирован для поддержки EDGE-расширений стандартов GSM и IS136.

Четырехканальный цифровой процессор обработки передаваемого сигнала AD6622 обрабатывает сигнал основной частоты, поступающий с DSP. Он выполняет всю необходимую сигнальную обработку для вывода данных на ЦАП AD9772. Каждый канал может быть независимо запрограммирован таким образом, чтобы обеспечить необходимую фильтрацию канала для большинства беспроводных стандартных интерфейсов. AD6622 поддерживает IS95 и WCDMA стандарты и может быть

а

использован [3] для объединения произвольного числа каналов на одном 18-разрядном цифровом выходе.

УПРАВЛЕНИЕ ЭЛЕКТРОДВИГАТЕЛЯМИ

Асинхронный двигатель известен достаточно давно, благодаря простоте конструкции, дешевизне, высокой эффективности и надежности, однако область его применения была ограничена из-за невозможности управления его динамическими характеристиками, например, скоростью вращения, вращающим моментом и реакцией на изменяющуюся нагрузку. Однако достижения в области цифровой обработки сигналов и технологии создания смешанных цифроаналоговых интегральных схем открывают новые горизонты в использовании асинхронных двигателей переменного тока. Изготовители, беспокоящиеся об эффективности использования электроэнергии и ее экономии, могут уменьшить затраты и время выхода на рынок широкого диапазона изделий — от промышленных двигателей до электромоторов для электромобилей и локомотивов, — с помощью стандартной системы так называемого векторного управления, состоящей из комплекта интегральных микросхем и среды разработки.

Вряд ли Никола Тесла (1856-1943), изобретатель асинхронного двигателя, мог предвидеть, что эта «рабочая лошадка промышленности» получит второе рождение в виде двигателя нового класса, который окажется вполне конкурентоспособным в большинстве промышленных приложений.

Перед обсуждением преимуществ векторного управления необходимо дать основные положения принципа функционирования различных типов электрических двигателей в обычном использовании.

До недавнего времени области применения электромоторов, связанные с сервоуправлением, например, — с переменной реакцией на динамические нагрузки, постоянством вращающего момента или регулированием частоты вращения в широком диапазоне — были исключительно прерогативой коллекторных двигателей постоянного тока и синхронных двигателей с постоянными магнитами. Основная причина такого предпочтения заключалась в наличии понятных и отработанных схем управления. В то же время, несмотря на легкость управления, коллекторные двигатели постоянного тока имеют несколько недостатков: их щетки изнашиваются и должны регулярно заменяться, коллекторы также изнашиваются и могут быть повреждены в случае неправильной установки щеток, механический контакт «щетки-коллектор» является источником загрязнений и искрения, что повышает риск пожара при наличии горючих материалов.

Появление мощных инверторов, способных управлять столь же мощными двигателями, привело к практическому использованию синхронных двигателей постоянного тока с постоянными магнитами (PMSM) в приложениях, требующих сервоуправления. Но, наряду с устранением многих проблем механического характера, присущих коллекторным двигателям постоянного тока, эти двигатели потребовали более сложных схем управления и выявили ряд собственных недостатков. Обладая высокой стоимостью, PMSM-двигатели в большинстве своем отличаются высоким моментом инерции ротора, что ограничивает их применение в приложениях, где требуется высокая скорость вращения, из-за механических ограничений конструкции ротора [4].

В 60-х годах развитие теории управления привело к созданию теории косвенного полеориентированного управления, ставшей основой динамического управления асинхронными двигателями переменного тока. Косвенное полеориентированное управление использует теорию эталонных фреймов, описывающую преобразование изменяющегося фазового положения обмоток электродвигателя из одного фрейма в другой эталонный фрейм. Продуманный выбор математической модели позволяет значительно уменьшить сложность математической модели механизма. Хотя эти методы

а

первоначально создавались для анализа и моделирования двигателей переменного тока, к настоящему времени они стали неотъемлемой частью инструментария цифрового управления такими механизмами. Более того, цифровые методы управления расширены до управления токами в обмотках и вращающим моментом электромеханизмов, что само по себе невозможно без компактных, корректных моделей электродвигателей.

Описываемая теория математических моделей равно применима и к синхронным машинам типа синхронных двигателей с постоянными магнитами (PMSM). Этот двигатель иногда называют синусоидальным вентильным двигателем, или вентильной машиной переменного тока, и он очень широко используется в высокоэффективном сервоприводе.

Вследствие интенсивных математических вычислений, необходимых для косвенного полеориентированного управления, теперь обычно называемого векторным управлением или теорией эталонных фреймов, практическое использование этой теории было невозможно на протяжении долгих лет. Доступные аппаратные вычислительные средства не могли осуществлять высокоскоростное позиционирование положения ротора и выполнять вычисления в режиме реального времени динамического потока векторов. Доступность современных точных оптических кодеров, биполярных транзисторов с изолированным затвором (IGBT), высокоскоростных резольверов и быстродействующих цифровых сигнальных процессоров (DSP) выдвинула векторное управление на передний край работ по использованию преимуществ, свойственных асинхронному двигателю переменного тока.

Упрощенная блок-схема системы управления асинхронного двигателя переменного тока показана на рис. 9.21. Входными данными для контроллера являются токи обмоток двигателя (обычно трехфазные) и положение и скорость ротора. Датчики на основе эффекта Холла очень широко используются для контроля токов и с помощью пространственно-цифрового преобразователя (RDC) позволяют контролировать положение ротора в пространстве, а также его скорость. Цифровой сигнальный процессор используется для вычисления в режиме реального времени величин векторов, которые необходимы для генерации выходного сигнала управления инвертором преобразователя мощности. Преобразования, необходимые для преобразования эталонного фрейма и для векторного управления, также выполняются с помощью DSP.

а

СТРУКТУРНАЯ СХЕМА СИСТЕМЫ УПРАВЛЕНИЯ ДВИГАТЕЛЕМ

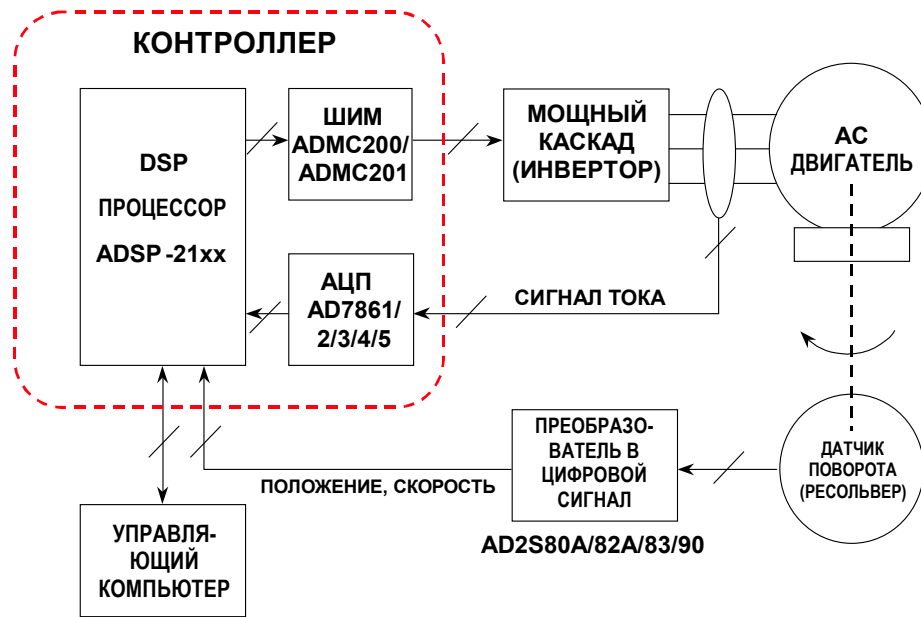


Рис. 9.21

Функции блока управления интегрированы в одном кристалле в контроллерах электродвигателей Analog Devices — ADCM300, ADCM331, ADCM401, и ADCM326 (на базе ПЗУ) и ADCM328 (на базе DSP). Эти устройства включают в себя периферию: АЦП, источники опорного напряжения, PWM-контроллеры, таймеры и т.д., необходимую для реализации всех функций, показанных на рис. 9.21.

Самые последние члены семейства контроллеров электродвигателей — ADMCF326 и ADMCF328, называемые DashDSP™, — характеризуются наличием цифровой части, аналоговой части и FLASH-памяти (см. рис. 9.22). Использование FLASH-памяти позволяет перепрограммировать устройство, обеспечивая таким образом большую гибкость и сокращение времени новых разработок. Эти контроллеры включают 16-разрядное процессорное ядро с фиксированной точкой и производительностью 20 MIPS, основанное на архитектуре семейства ADSP-217X. Память состоит из 512x 24 бит ОЗУ памяти программ, 512x16 бит ОЗУ памяти данных, 4Kx24 бит ПЗУ памяти программ и 4K x 24 бит программируемой FLASH-памяти. Интегрированная посредством использования АЦП аналоговая подсистема позволяет полностью контролировать трехфазные токи в обмотках двигателя. 16-разрядный 3-фазный PWM генерирует управляющие сигналы для внешнего мощного инвертирующего каскада. Контроллеры выпускаются в 28-выводном SOIC или PDIP корпусе. Блок-схема контроллера ADMCF328 показана на рис. 9.23.

а

ПОЛНОСТЬЮ ИНТЕГРИРОВАННАЯ СИСТЕМА УПРАВЛЕНИЯ ДВИГАТЕЛЕМ НА ПРОЦЕССОРЕ DashDSP™

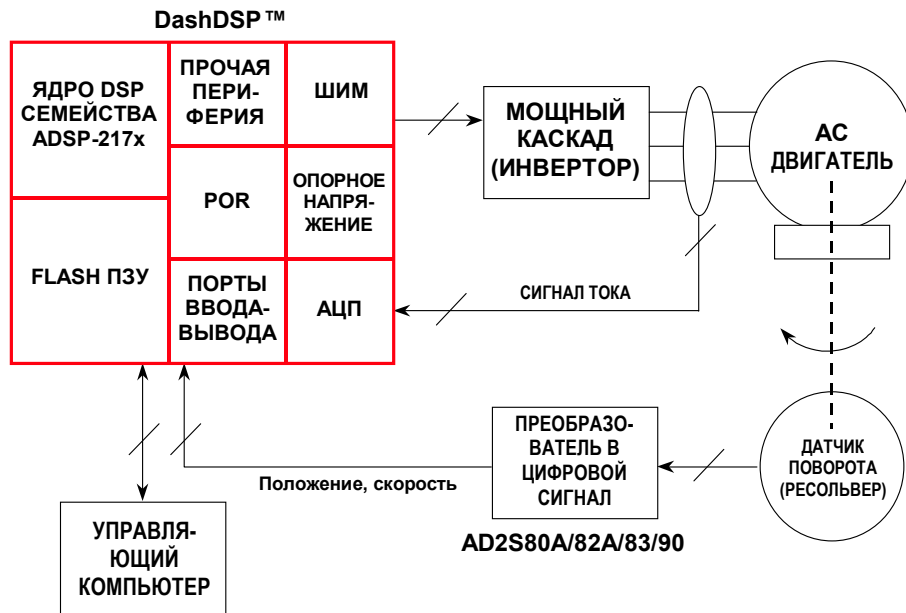
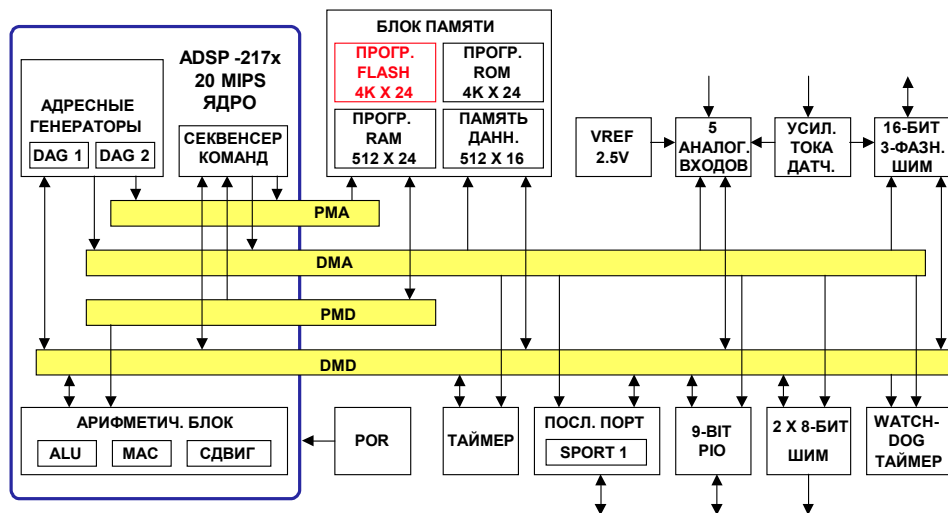


Рис. 9.22

DSP СО ВСТРОЕННОЙ FLASH ПАМЯТЬЮ ДЛЯ УПРАВЛЕНИЯ ДВИГАТЕЛЯМИ ADMCF328



- Новые процессоры семейства ADMCF5xx основаны на ядре ADSP-219x с производительностью 150 MIPS и содержат 128К памяти flash

Рис. 9.23

а

Доступность программного обеспечения контроллеров на базе DSP, состоящего из трех частей, руководства разработчика, и систем отладки, облегчает разработку систем управления электродвигателями с использованием этих контроллеров.

Компания Analog Devices недавно анонсировала нового представителя семейства DashDSP — ADMCF5XX на базе 16-разрядного ядра с фиксированной точкой ADSP-219X с производительностью 150 MIPS. При токе потребления 0,4 мА/MIP новый контроллер позволяет разработчикам строить системы с низкой потребляемой мощностью и с широкими пределами регулирования скорости. Интеграция до 128 Кбайт внутрикристалльной FLASH-памяти значительно облегчает разработку системы и позволяет гибко модифицировать программное обеспечение системы. Такое решение также позволяет пользователю загружать программное обеспечение непосредственно из FLASH-памяти в оперативную память. Пользователь может выбрать, исходя из требований к параметрам и стоимости разрабатываемой системы, один из 10-, 12-, или 14-разрядных АЦП. Семейство DashDSP поддерживается средствами разработки VisualDSP ADI, которые включают первый промышленный C++ компилятор. Семейство ADMCF5XX дополнено широким диапазоном высокопроизводительной периферии, например, 3- — 6-фазными 16-разрядными PWM с одиночным или двойным интерфейсами кодера для управления многокоординатными двигателями. Оцифровка токов в обмотках двигателя может быть реализована с помощью средств гальванической развязки или методом инвертирующего шунта, с программируемым пользователем временем преобразования АЦП. Источник опорного напряжения, схема сброса процессорного ядра при включении питания и вспомогательные PWM, позволяющие корректировать коэффициент мощности, также интегрированы на кристалле. Дополнительно в рамках семейства реализована различная интерфейсная периферия, например, полноценная CAN-шина, UART, сериальные порты, и JTAG-интерфейс.

КОДЕКИ И ПРОЦЕССОРЫ ОБРАБОТКИ СИГНАЛОВ В ГОЛОСОВЫХ ПРИЛОЖЕНИЯХ И АУДИОСИСТЕМАХ

В каналах голосовой связи и аудиосистемах типа автомобильных телефонных комплектов и модемов на сигнальных процессорах строятся превосходные конструктивные блоки систем.

Компания Analog Devices недавно анонсировала выпуск серии ADSP-21ESP202, специально разработанной для встроенных систем обработки речи в автомобильных голосовых телефонных системах. Эта микросхема включает в себя два кодека AD73322 и 16-разрядное вычислительное ядро с фиксированной точкой ADSP-218X. Из 40 Кбайт ОЗУ на кристалле 8 Кб × 24 бит отдано под память программ и 8 Кб × 24бит — под память данных. Внутрикристалльное ППЗУ объемом 24 Кбайт конфигурировано под 8 Кб × 24бит память программ.

На рис. 9.24 приведен пример реализации на базе ADSP-21ESP202 дуплексного телефонного комплекта с голосовой связью. Эта серия является крупным достижением как в уровне, так и в гибкости функциональной интеграции.

а

СТРУКТУРНАЯ СХЕМА УСТРОЙСТВА ОБРАБОТКИ РЕЧИ НА ПРОЦЕССОРЕ ADSP21ESP202 ДЛЯ АВТОМОБИЛЬНОЙ ТЕЛЕФОННОЙ СИСТЕМЫ

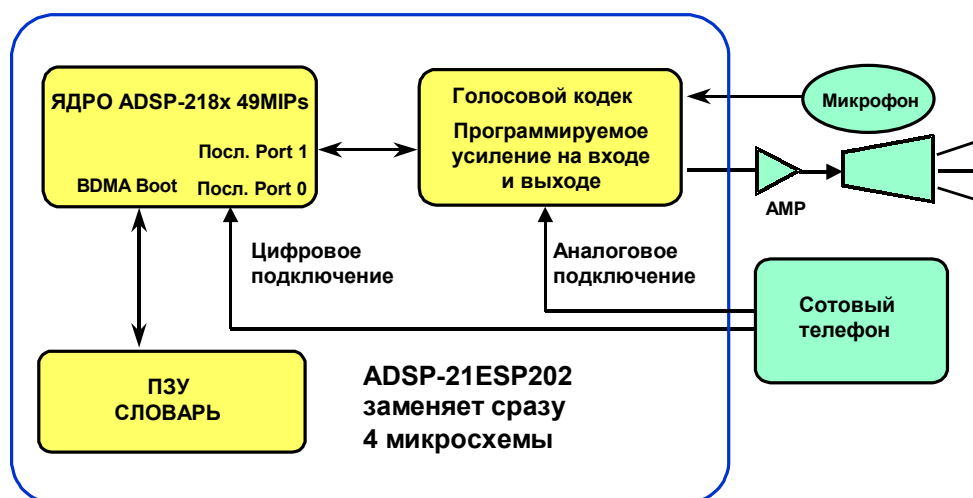
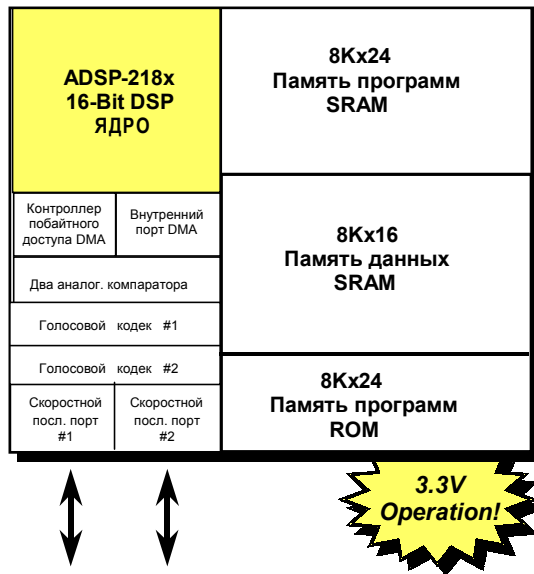


Рис. 9.24

Семейство ADSP-21ESP202 является первым продуктом, основанным на использовании вычислительного ядра ADSP-218X, включающего аналоговые функциональные возможности (см. рис. 9.25). Все представители семейства содержат два сигма-дельта кодека, которые позволяют программно управлять частотой выборки (до 64 кГц), коэффициентом усиления входных и выходных каскадов. Имеются также два аналоговых компаратора, которые могут использоваться для обнаружения голоса и отслеживания процессов подключения/отключения кабеля, а также для генерации процессорных прерываний. Два переключаемых источника тока позволяют реализовать функциональные возможности PWM с помощью универсального таймера. Оба источника реализуют выбор быстрого или стандартного режима заряда. Возможность переключения может быть использована для автоматического регулирования усиления (AGC), а также для подстройки частоты и фазы входного задающего генератора.

а

СТРУКТУРНАЯ СХЕМА ИС ADSP21ESP202 С ЯДРОМ DSP ADSP-218x



- Интегрированы аналоговые схемы
 - ◆ Двойной программируемый голосовой кодек на 64 kSPS, сигнал/шум 75 дБ
 - ◆ Два аналоговых компаратора
 - ◆ Два источника тока
- Интегрировано заказное ПЗУ
 - ◆ По спецификации заказчика или
 - ◆ Со стандартными функциями
- Дополнительные возможности
 - ◆ Работа на частоте 49 МГц при напряжении питания 3.3 В
 - ◆ 8 К ОЗУ программ, 8 К ОЗУ данных
 - ◆ 8 К ПЗУ программ
 - ◆ Расширенные прерывания и флаги
 - ◆ Расширенные возможности таймера
- Корпус LQFP со 128 выводами

Рис. 9.25

ADSP-21ESP202 также содержит ППЗУ памяти программ с блоками памяти по 8 Кслов. Analog Devices поставляет микросхемы с несколькими версиями прикладных алгоритмов, заранее записанных в ПЗУ. Продукция Analog Devices также позволяет записывать в ПЗУ программы, разработанные самим пользователем.

Система, показанная на рис. 9.24, имеет в своем составе средства цифровой обработки сигналов с подавлением шума/эхо-сигнала и опознавания речи, кодеки для непосредственного подключения громкоговорителя / микрофона и сотового терминала, энергонезависимую память для хранения программ и баз данных опознавания речи. Семейство ADSP-21ESP202 интегрирует все эти компоненты в одном корпусе, что позволяет создать на одной интегральной схеме дуплексный автомобильный телефонный комплект с голосовой связью. Такой подход предусматривает сокращение на 75 % числа необходимых интегральных схем по сравнению с решениями предыдущего поколения.

Обработка аудиосигналов на персональном компьютере и современные модемы также требуют применения высокопроизводительных кодеков. На рис. 9.26 приведен пример реализации аудиотракта или приемника-передатчика модема на базе кодака AD1819B SoundPort®.

Этот кодек полностью совместим со спецификациями интерфейса AC '97 (Audio Codec '97, Component Specification, Revision 1.03, © 1996, Intel Corporation). Кроме того, AD1819 поддерживает несколько конфигураций кодака (до трех на каждый канал интерфейса AC), последовательный интерфейс с DSP, изменение тактовой частоты, кодирование сигнала и его фильтрацию для модемов, и имеет встроенный преобразователь для трехмерных стереоэффектов Phat™.

а

СТРУКТУРНАЯ СХЕМА ЗВУКОВОЙ СИСТЕМЫ ПЕРСОНАЛЬНОГО КОМПЬЮТЕРА И МОДЕМА

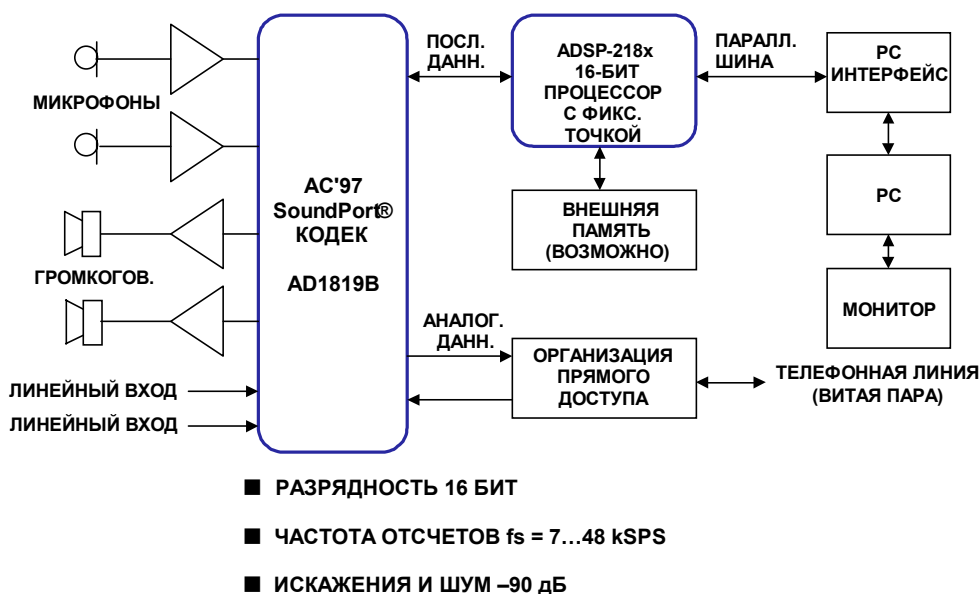


Рис. 9.26

Кодек AD1819B предназначен главным образом для высокоскоростного ввода аудиоданных в компьютеры и модемы или для использования в системах цифровой обработки. Главные архитектурные особенности AD1819B — высококачественная входная аналоговая часть, двухканальный 16-разрядный сигма-дельта АЦП, двухканальный 16-разрядный сигма-дельта ЦАП и последовательный порт. Уровень шумов и гармонических искажений не превышает -90 дБ, тактовая частота может варьироваться в пределах от 7 до 48 кГц.

32-разрядный процессор SHARC от Analog Devices с плавающей точкой демонстрирует высочайшее качество декодирования сигнала Dolby Digital AC-3. Образцовая архитектура цифровой сигнальной обработки, показанная на рис. 9.27, использует сигнальный процессор ADSP-21065L SHARC и интегральную микросхему смешанной обработки AD1836, что обеспечивает низкую цену и высокое качество тракта многоканальной аудиообработки. Основная область применения включает в себя A/V-ресиверы для домашнего театра и автомобильные аудиосистемы класса high-end. AD1836 выполняет всю смешанную обработку сигнала с использованием четырех входных каналов АЦП и шести выходных каналов ЦАП. Кодек AD1836 обеспечивает суммарный уровень шумов и гармонических искажений -97 дБ и отношение сигнал/шум 105 дБ, что необходимо для высококачественного аудио. В подобных системах могут использоваться и фиксированные алгоритмы цифровой обработки, однако применение программируемых сигнальных процессоров обеспечивает большую гибкость. Сигнальный процессор может быть запрограммирован для декодирования аудиоформатов MP3, Dolby Digital AC-3, THX, или DTS. С помощью дополнительного программного обеспечения могут быть легко реализованы и другие алгоритмы обработки аудиосигналов.

а

СТРУКТУРА АВТОМОБИЛЬНОЙ АУДИОСИСТЕМЫ И АУДИОСИСТЕМЫ ДОМАШНЕГО ТЕАТРА НА БАЗЕ 32-РАЗРЯДНОГО ПРОЦЕССОРА SHARC

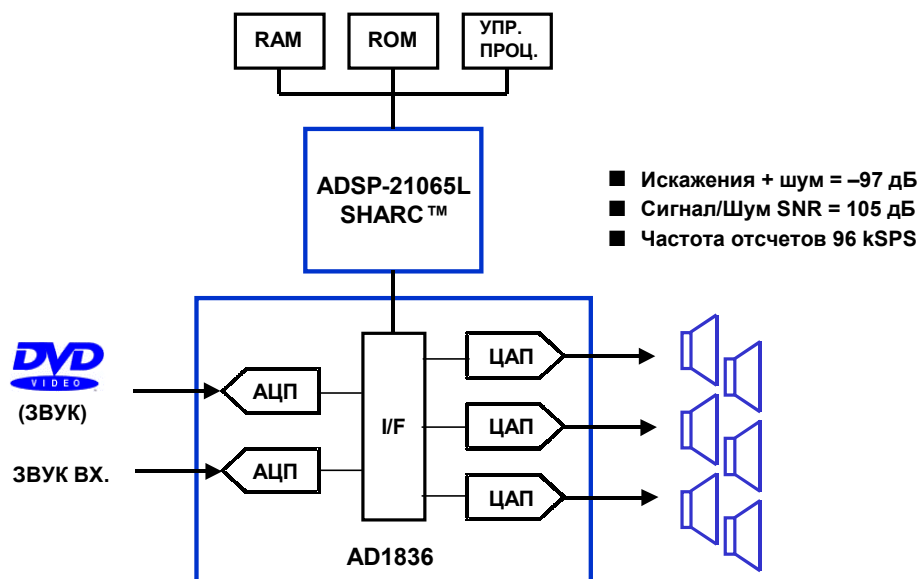


Рис. 9.27

В сложных цифровых аудиосистемах часто возникает необходимость в распределении сигнала между несколькими процессорами обработки. На рис. 9.28 показан 16-канальный микшер, в котором использовано два ADSP-21160S. Поток данных от шестнадцати 24-разрядных АЦП поступает на конвертер FPGA. Он преобразует последовательный поток данных от АЦП в параллельный и направляет его на два внешних порта ADSP-21160. Внешний порт на каждом DSP имеет аппаратную поддержку одновременной передачи данных на оба DSP сразу. Контроллеры прямого доступа к памяти DSP получают эти данные и перемещают их по мере необходимости во внутреннюю память. Аппаратная поддержка и контроллеры прямого доступа к памяти снижают сложность архитектуры конвертера FPGA, потому что в этом случае от FPGA требуется только передача данных на шину. То есть отпадает необходимость в арбитраже шины и генерации адресов.

Сигнальные процессоры выполняют самые различные алгоритмы обработки, например микширование, панорамное звучание, регулировку АЧХ и дополнительную обработку типа реверберации или компрессии/экспандирования динамического диапазона. Выходной поток аудиоданных после такой обработки поступает на 24-разрядный стереоЦАП. Эти задачи могут выполняться одновременно, например, один из DSP отвечает за микширование и эффекты, в то время как другой реализует функции эквалайзера. В другом случае на каждый DSP возлагается задача обработки половины каналов. Выбор оптимального алгоритма определяется сложностью необходимой обработки.

Для этого примера видно, что два процессора ADSP-21160S обладают достаточной вычислительной способностью для выполнения различных алгоритмов по 16 каналам с тактовой частотой 48 кГц одновременно. За 20 нс процессорное ядро каждого DSP способно выполнить 2000 инструкций. Если каждый DSP отвечает за половину каналов (8 каналов), то за это время DSP может выполнить 250 инструкций по каждому каналу.

а

У процессора ADSP-21160 имеются достаточно примитивные инструкции для реализации трехполосного эквалайзера (низкие, средние и высокие частоты), микшера, эффектов задержки, и компрессии по каждому каналу. Перемещение данных в память не требует затрат вычислительных ресурсов, ввиду отсутствия мультизадачности.

16-КАНАЛЬНЫЙ АУДИО СМЕСИТЕЛЬ С ПРИМЕНЕНИЕМ ПРОЦЕССОРОВ ADSP-21160

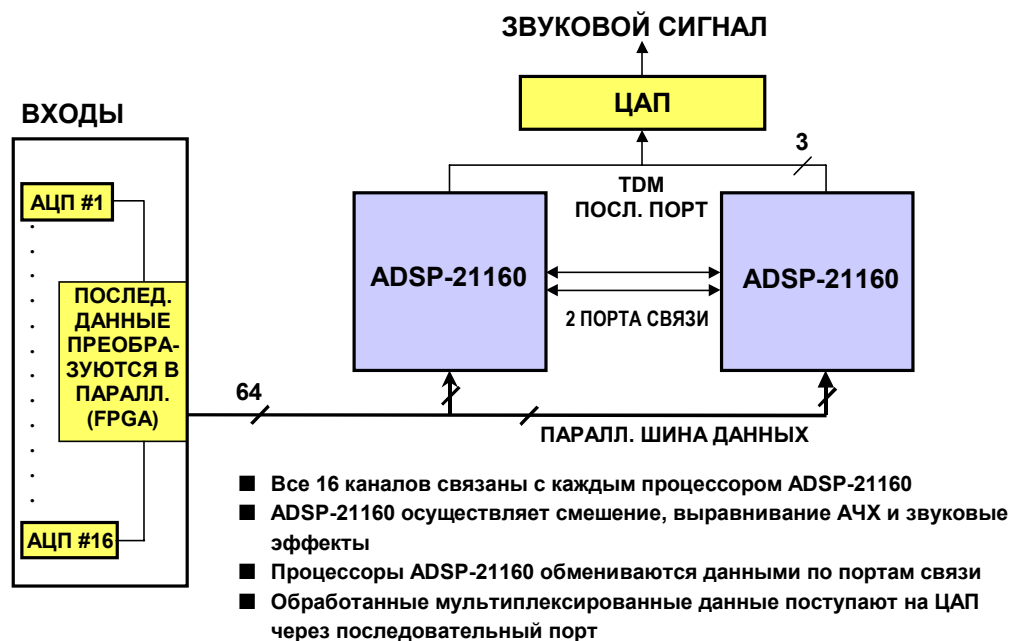


Рис. 9.28

СИГМА-ДЕЛЬТА АЦП С ПРОГРАММИРУЕМЫМ ЦИФРОВЫМ ФИЛЬТРОМ

Большинство сигма-дельта АЦП имеют собственный внутренний цифровой фильтр. Частота среза этого фильтра (и скорость выходного потока данных АЦП) привязана к частоте задающего генератора. AD7725 представляет собой 16-разрядный сигма-дельта АЦП с программируемым внутренним цифровым фильтром. Блок-схема 9.29 показывает, что максимальная частота дискретизации преобразователя составляет 19,2 МГц. Следующий за преобразователем перестраиваемый фильтр с конечной импульсной характеристикой выполняет прореживание выходных данных преобразователя с коэффициентом децимации 8, снижая скорость выходного потока данных до 2,4 МГц. Отклик перестраиваемого FIR-фильтра также показан на рис. 9.29. На выходе перестраиваемого фильтра расположен программируемый цифровой фильтр. На диаграмме показан типичный отклик для FIR-фильтра низкой частоты с частотой среза 300 кГц.

а

16-РАЗРЯДНЫЙ SIGMA-DELTA АЦП С ПРОГРАММИРУЕМЫМ ЦИФРОВЫМ ФИЛЬТРОМ AD7725

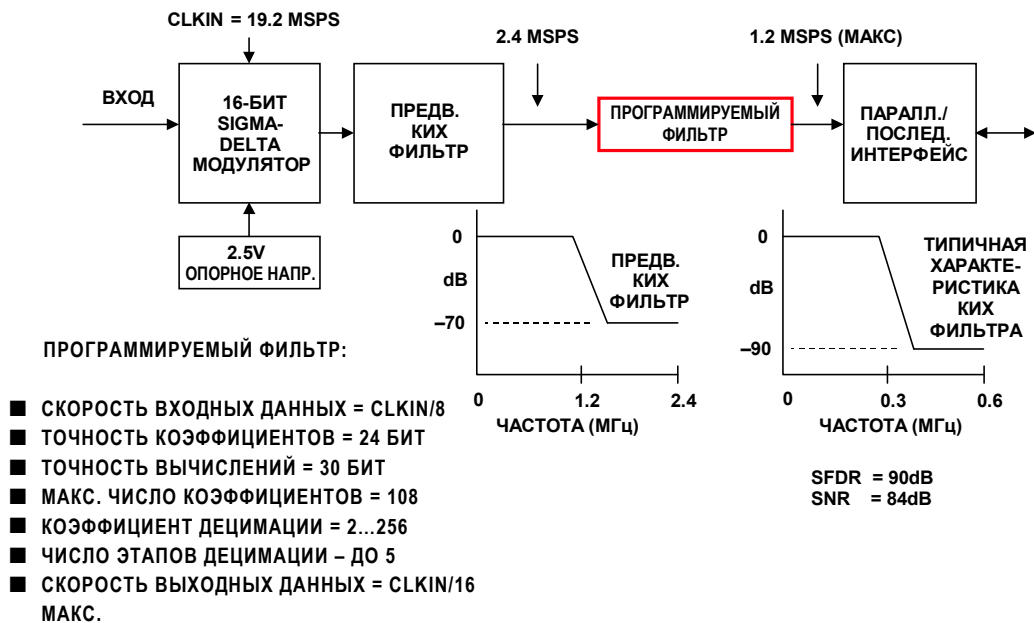


Рис. 9.29

Программное управление фильтром позволяет гибко оперировать длиной фильтра и коэффициентом децимации. Фильтр может иметь до 108 коэффициентов, до 5 режимов прореживания и коэффициенты децимации от 2 до 256. При обработке коэффициентов поддерживается точность 24 разряда, а при арифметических операциях – 30 разрядов.

AD7725 содержит процессор постобработки PulseDSP™ компании Systolix, который позволяет запрограммировать характеристики фильтра через параллельный или последовательный интерфейс микропроцессора.

Процессор постобработки имеет полностью программируемое ядро, которое обеспечивает производительность обработки до 130 миллионов операций умножения с накоплением в секунду (MAC). Процесс программирования процессора сводится к редактированию пользователем конфигурационного файла, который содержит все необходимые данные для программирования функций фильтра. Этот файл создан с помощью компилятора FilterWizard, который поставляется Analog Devices. Компилятор AD7725 воспринимает значения коэффициентов фильтра как входные данные и автоматически генерирует необходимый программный код устройства.

Файл коэффициентов отклика фильтра может быть сгенерирован с помощью пакетов проектирования цифровых фильтров типа Systolix FilterExpress™ (<http://www.systolix.co.uk>) или QEDesign™ компании Momentum Data Systems (<http://www.mds.com>). Отклик фильтра может быть построен на основе данных, известных пользователю до генерации коэффициентов фильтра. Скорость потока входных данных процессора — 2,4 МГц. Если прореживание применяется в многоступенчатом фильтре, первый фильтр будет обрабатывать поток данных со скоростью 2,4 MSPS, и пользователь может затем производить децимацию между каскадами. Максимальное число коэффициентов фильтра, которые могут поддерживаться процессором, равно 108. При этом фильтр со 108 коэффициентами может быть выполнен в виде одиночного или многокаскадного фильтра с суммарным числом коэффициентов 108. Фильтр может иметь

а

характеристики НЧ-фильтра, ВЧ-фильтра, режекторного или полосового фильтра и может быть выполнен как КИХ- или БИХ-фильтр.

AD7725 работает от однополярного источника питания + 5В. Он имеет внутрикристальный источник опорного напряжения 2,5 В и выпускается в 44-выводном PQFP корпусе. При работе на максимальной тактовой частоте потребляемая мощность не превышает 350 мВт. Возможна работа в режиме сниженной в два раза максимальной частоты задающего генератора –10 МГц. Максимальная потребляемая мощность в этом режиме составляет 200 мВт.

РЕЗЮМЕ

Некоторые примеры использования DSP в различных областях приведены на рис. 9.30. Помимо описанных выше, имеется много других областей, где сфера применимости DSP на практике быстро расширяется: это промышленность, связь, медицинская и военная техника и потребительский рынок. Обсуждение каждого примера могло бы стать предметом отдельной книги. Но в этой главе показано только несколько наиболее традиционных областей применения DSP и дано представление о том, как DSP взаимодействуют практически с каждым аспектом современной жизни.

ДРУГИЕ ОБЛАСТИ ПРИМЕНЕНИЯ ПРОЦЕССОРОВ DSP

- **Автомобильные телефоны с голосовым управлением (hands-free)**
- **Цифровые автоответчики**
- **Устройства распознавания голоса**
- **Кабельные сети**
- **Компьютерная звуковая система**
- **Цифровое аудио: профессиональное и бытовое**
- **Обработка цифрового видеосигнала**
- **Телевидение высокой четкости (HDTV)**
- **Компьютерная графика**
- **Цифровые спецэффекты**
- **Цифровые вещательные спутники (DBS)**
- **Система глобального позиционирования (GPS)**
- **Медицина: ультразвуковые, ядерномагниторезонансные сканнеры, томографы**
- **Военная индустрия: радиолокационные станции, наведение ракет на цель**

Рис. 9.30

а

ГЛАВА 10

ПРОЕКТИРОВАНИЕ АППАРАТНОЙ ЧАСТИ

- Низковольтные интерфейсы
- Заземление в системах со смешанными сигналами
- Методы цифровой изоляции
- Понижение шума и фильтрация напряжения источника питания
- Работа с высокоскоростной логикой

а

ГЛАВА 10

МЕТОДЫ ПРОЕКТИРОВАНИЯ АППАРАТНОГО ОБЕСПЕЧЕНИЯ

Уолт Кестер

НИЗКОВОЛЬТНЫЕ ИНТЕРФЕЙСЫ

Этан Бордо, Иоханнес Хорват, Уолт Кестер

В течение последних 30 лет стандартным напряжением питания (VDD) цифровых схем оставалось напряжение 5 В. Такое значение напряжения использовалось для обеспечения нормального режима работы биполярного транзистора. Однако в конце 80-х стандартной технологией при проектировании ИС стала технология КМОП. Для микросхем КМОП не является обязательным использование того же напряжения, что и для микросхем, выполненных по технологии ТТЛ, но для обеспечения совместимости со старыми системами промышленность адаптировала уровни логических сигналов к уровням сигналов ТТЛ. (Приложение 1).

Нынешняя революция в снижении напряжения питания микросхем происходит по причине роста требований к скорости и компактности интегральных микросхем при минимальной стоимости. Эти растущие требования привели к уменьшению размеров топологии кристалла с 2 мкм (в начале 80-х) до 0.25 мкм; такая топология используется при разработке современных микропроцессоров и ИС. Благодаря тому, что эти размеры стали значительно меньше, напряжение, необходимое для оптимальной работы устройства, также упало ниже уровня в 5 В. Это видно на примере микропроцессоров для компьютеров, где оптимальное значение напряжения для питания ядра процессора определяется с помощью выводов идентификации напряжения питания (VID pins) и может снижаться вплоть до уровня 1.3 В.

Большой интерес к низковольтным DSP отчетливо наблюдается в смещении процента продаж между 5 В и 3,3 В микросхемами. Объем продаж 3.3-вольтовых DSP вырос более чем вдвое по сравнению с остальными DSP (30% для всех DSP, 70% – устройства с напряжением питания 3.3 В). Этот процесс будет продолжаться, так как огромный и постоянно растущий рынок портативных устройств потребляет цифровые сигнальные процессоры, которые обладают всеми чертами низковольтных цифровых процессоров.

С одной стороны, низковольтные ИС работают при малой потребляемой мощности, имеют меньшие размеры и более высокие скорости. С другой стороны, низковольтные ИС часто должны работать совместно с ИС, которым необходимо большее напряжение питания VDD, из-за чего возникают проблемы совместимости. Хотя низкое рабочее напряжение означает уменьшение размаха сигнала, и следовательно, шум переключения становится меньше, но для микросхем с низким напряжением питания уменьшается допустимый для нормальной работы устройства уровень шума (запас помехоустойчивости).

Популярность устройств с напряжением питания 2.5 В может быть отчасти объяснена их способностью работать от двух щелочных элементов типа AA. На рис. 10.2 показаны характеристики щелочного элемента при различной величине нагрузки. (Приложение 2). Обратите внимание, что при токе нагрузки 15 мА напряжение остается на уровне выше 1.25 В (2.5 В для двух последовательно соединенных элементов) в течение приблизительно 100 часов. Поэтому ИС, которые могут успешно работать при низком потребляемом токе и напряжении питания 2.5 В±10% (2.25 В–2.75 В), особенно полезны

а

для портативной аппаратуры. Цифровые процессоры, обладающие низким соотношением мА/MIPS (потребляемый ток/производительность) и имеющие периферию, интегрированную на одном чипе, как например, ADSP-218x L или M-серии, также рекомендованы для применения в портативных устройствах.

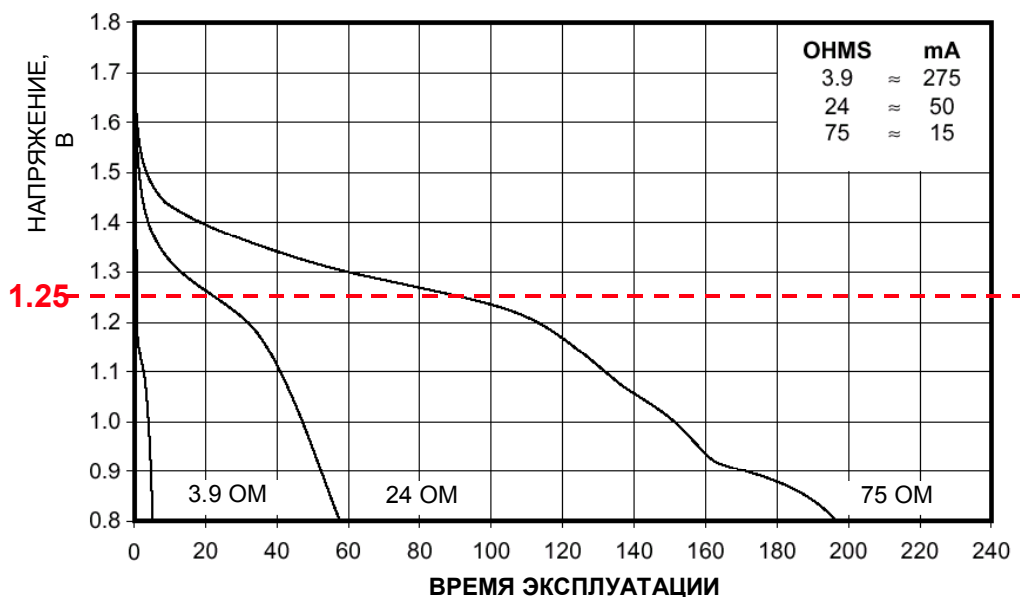
НИЗКОВОЛЬТНЫЕ ИС СО СМЕШАННЫМИ СИГНАЛАМИ

- **Малая потребляемая мощность для применения в портативных устройствах**
- **ИС с напряжением питания 2.5 В могут работать от двух щелочных элементов**
- **Высокое быстродействие КМОП-процессоров, меньшие размеры, меньшее напряжение пробоя**
- **Несколько напряжений питания в системе: +5 В, +3.3 В, +2.5 В, напряжение питания ядра процессора +1.8 В, напряжение питания аналоговой части**
- **Между ИС разных стандартов требуется интерфейсы**
- **Меньшая амплитуда напряжения сигнала образует меньше шума при переключении**
- **Меньший запас помехоустойчивости**
- **Меньшее напряжение питания в аналоговых схемах приводит к уменьшению размаха сигнала и увеличивает чувствительность к шумам (но это предмет целого семинара!)**

Рис. 10.1

а

РАЗРЯДНЫЕ КРИВЫЕ ЩЕЛОЧНЫХ ЭЛЕМЕНТОВ DURACELL MN 1500 "AA"



С разрешения Duracell, Inc., Berkshire Corporate Park, Bethel, CT 06801
<http://www.duracell.com>

Рис. 10.2

ТИПИЧНАЯ СТРУКТУРА ВЫХОДНОГО КАСКАДА МИКРОСХЕМЫ КМОП

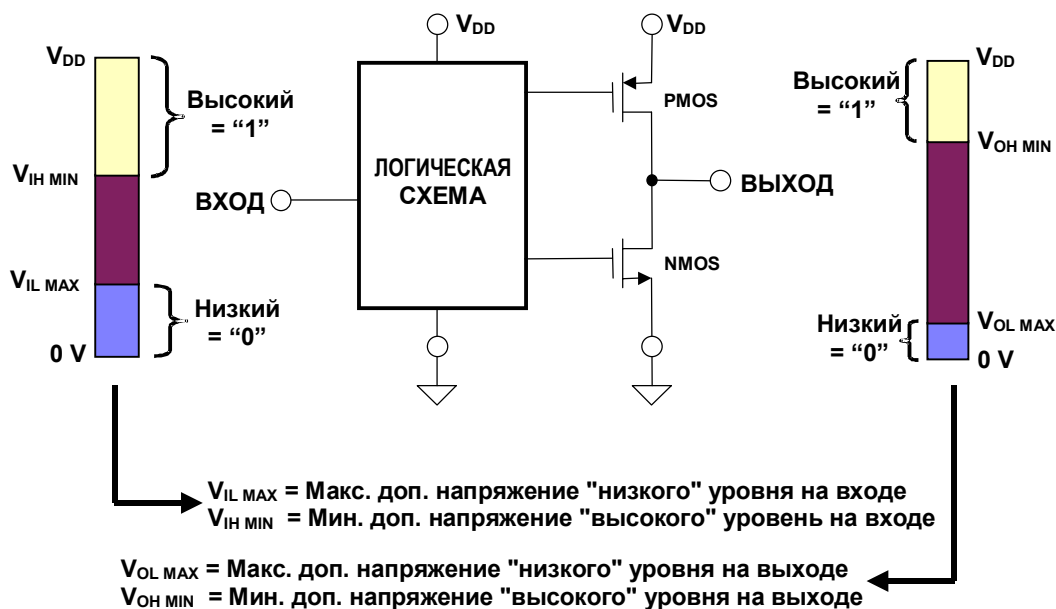


Рис. 10.3

Для того чтобы разобраться в вопросах совместимости и взаимодействия друг с другом микросхем с различными напряжениями питания V_{DD} , полезно для начала взглянуть на структуру типичной логической ячейки КМОП, которая показана на рис.10.3.

а

Обратите внимание, что выходной драйвер состоит из МОП-транзистора с каналом р-типа (PMOS) и МОП-транзистора с каналом n-типа (NMOS). Когда на выходе высокий логический уровень, транзистор PMOS подключает выход каскада к шине питания $+V_{DD}$ через своё небольшое внутреннее сопротивление (R_{ON}), транзистор NMOS в это время выключен. Когда на выходе низкий логический уровень, транзистор NMOS подключает выход к земле через своё внутреннее сопротивление, а транзистор PMOS в это время выключен. Сопротивление R_{ON} выхода имеет величину от 5 до 50 Ом в зависимости от размеров транзисторов; эти размеры также определяют величину допустимого выходного тока.

Типичная логическая ИС обладает отдельными цепями питания и земли для выходного драйвера и для остальной части схемы (включая пре-драйвер). Это делается для того, чтобы обеспечить "чистое" напряжение питания, и таким образом уменьшить влияние шума и помех по шине земли на входные и выходные сигналы. Это особенно важно, т.к. обеспечиваемая конструктивно дополнительная устойчивость и совместимость микросхем негативно влияет на характеристики драйверов входа/выхода, особенно при низких напряжениях питания.

На рис.10.3 также изображены диаграммы-"столбики", на которых показаны минимальные и максимальные требуемые уровни входного и выходного напряжения, достоверно обеспечивающие высокий или низкий логические уровни. Имейте в виду, что для ИС, выполненных по технологии КМОП, реальные уровни сигналов на выходе определяются током нагрузки и внутренним сопротивлением R_{ON} выходных транзисторов. Для небольшой нагрузки уровень выходного логического сигнала очень близок к 0 В или $+V_{DD}$. С другой стороны, логические пороги на входе определяются входной схемой ИС.

На диаграмме-"столбике", соответствующем входу, имеется три части. Нижняя часть показывает диапазон входного сигнала, который воспринимается как низкий логический уровень. В случае с ТТЛ-логикой с напряжением питания 5 В, этот диапазон будет соответствовать значению напряжения от 0 В до 0.8 В. Средняя часть показывает диапазон входного напряжения, в котором уровень сигнала не воспринимается гарантированно как низкий или высокий. Верхняя часть соответствует входному сигналу, который воспринимается как высокий логический уровень. В случае 5-вольтовой ТТЛ-логики, этот сигнал будет иметь напряжение от 2 до 5 В.

Аналогичным образом, на "столбике", соответствующем выходу, имеется три части. Нижняя часть показывает возможное напряжение низкого логического уровня на выходе. Для микросхем ТТЛ с напряжением питания 5 В это напряжение составляет от 0 В до 0.4 В. Средняя часть диаграммы показывает некорректный уровень выходного напряжения – устройство не должно выдавать сигнал такого уровня, за исключением момента перехода с одного логического уровня на другой. Верхняя часть "столбика" показывает допустимый диапазон напряжения для высокого логического уровня на выходе. Для 5-вольтовой ТТЛ- логики это напряжение находится между значениями 2.4 В и 5 В. Диаграммы не отражают 10% выбросы или провалы, которые также допустимы на входах в соответствии со стандартом.

Сводка существующих логических стандартов с использованием подобных диаграмм показана на рис. 10.4. Обратите внимание, что входные пороги обычной КМОП-логики (например, серии 4000), определяются как $0.3 \cdot V_{DD}$ и $0.7 \cdot V_{DD}$. Однако большинство изготовленных по технологии КМОП логических микросхем, которые используются сегодня, совместимы по логическим порогам с микросхемами ТТЛ и LVTTTL; эти пороги также доминируют среди стандартов для цифровых сигнальных процессоров, работающих при напряжении питания 3.3 В и 5 В. Обратите внимание, что для 5 В ТТЛ-логики и 3.3 В LVTTTL-логики пороги входного и выходного напряжения одинаковы. Разница только в верхней границе допустимого диапазона для сигнала высокого уровня.

а

СТАНДАРТЫ ЛОГИЧЕСКИХ ПОРОГОВ ДЛЯ НИЗКОВОЛЬТНЫХ ЦИФРОВЫХ ИС

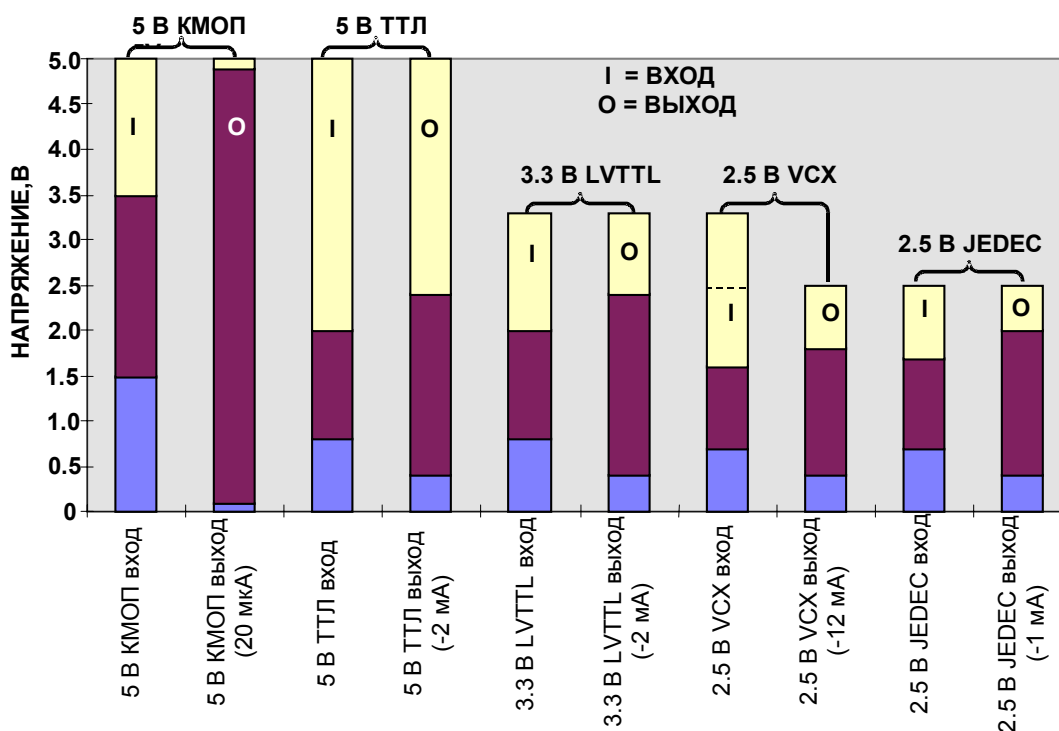


Рис. 10.4

Международное бюро стандартов JEDEC ввело стандарт для ИС, работающих при напряжении питания 2.5 В (JEDEC стандарт 8-5), который, скорее всего, будет представлять собой минимум требований для работы с $V_{DD} = 2.5$ В (Приложение 3). Однако на сегодняшний день (2000 г.) отсутствует доминирующий стандарт для ИС на 2.5 В, т.к. немного производителей выпускает микросхемы, работающие при этом напряжении питания. Существует стандарт на 2.5 В, предложенный консорциумом производителей ИС под названием Альянс Низковольтной Логике (Low Voltage Logic Alliance). Спецификация стандарта описывает характеристики ИС, работающих при напряжении от 1.8 В до 3.6 В. Стандарт для работы в данном диапазоне напряжения питания весьма полезен, т.к. он обеспечивает совместимость сегодняшних разработок с будущими. Например, микросхема 74VCX164245, представляющая собой шинный преобразователь/приемопередатчик производства Fairchild Semiconductor, спроектирована для работы при любом напряжении в пределах 1.8 – 3.6 В и имеет различные входные и выходные характеристики, зависящие от напряжения питания V_{DD} . Этот стандарт, называемый VCX, был разработан фирмами Motorola, Toshiba и Fairchild Semiconductor. В нем описаны прежде всего шинные приемопередатчики, преобразователи, буферы FIFO и другие микросхемы сопряжения. Кроме того, существует широкий диапазон других низковольтных стандартов, таких как GTL (Gunning Transceiver Logic), BTL (Backplane Transceiver Logic) и PECL (PseudoECL Logic). Однако большинство из этих стандартов созданы для применения в специализированных областях, а не в полупроводниковых системах общего назначения.

Устройства VCX могут работать в очень широком диапазоне напряжений питания (1.8 – 3.6 В). Характеристики входов и выходов в данном стандарте зависят от напряжения питания V_{DD} и от нагрузки на каждом выходе. На рис.10.4 показана диаграмма для входов и выходов устройства VCX, работающего при напряжении питания 2.5 В. Выходные напряжения устройства, приведенные на диаграмме, всегда соответствуют определенному

а

току. При возрастании требований по току выходное напряжение высокого уровня уменьшается, тогда как выходное напряжение низкого уровня возрастает. За более подробной информацией по характеристикам ИС обращайтесь к спецификациям технических характеристик.

С помощью приведенной диаграммы можно проиллюстрировать некоторые возможные проблемы, возникающие при соединении двух ИС, работающих в различных стандартах. Например, соединение 5-вольтовой микросхемы КМОП с микросхемой LVTTTL, работающей при напряжении $V_{DD} = 3.3$ В. Высокий логический уровень на выходе 5-вольтовой КМОП слишком высок (>3.3 В), чтобы подавать этот сигнал на вход ИС LVTTTL. Это может привести к необратимому повреждению микросхемы LVTTTL. Возможна другая проблема: пусть микросхема типа JEDEC с напряжением питания 2.5 В управляет устройством КМОП с $V_{DD} = 5$ В. Высокий логический уровень на выходе 2.5-вольтового устройства недостаточно высок для того, чтобы восприниматься как "высокий" входом микросхемы КМОП с напряжением питания 5 В ($V_{IH\ MIN} = 3.5$ В). Эти примеры показывают два возможных типа несовместимости логических семейств: либо устройство управляется слишком высоким напряжением, либо устройство не обеспечивает достаточно высокое напряжение, которое достоверно распознавалось бы принимающей ИС как сигнал высокого логического уровня. Эти проблемы совместимости подводят нас к двум понятиям: устойчивость к повышенному напряжению и совместимость по напряжению.

УСТОЙЧИВОСТЬ К ПОВЫШЕННОМУ НАПРЯЖЕНИЮ И СОВМЕСТИМОСТЬ ПО НАПРЯЖЕНИЮ

Устройство, устойчивое к повышенному напряжению, может выдержать на входе или выходе напряжение более высокое, чем его собственное напряжение питания V_{DD} . Например, если устройство работает при $V_{DD} = 2.5$ В, может выдержать на входе напряжение в 3.3 В и может выдержать 3.3 В на выходе, 2.5 В устройство является устойчивым к напряжению 3.3 В. Значение понятия "устойчивость к напряжению на входе" достаточно очевидно, но понятие "устойчивости к напряжению на выходе" требует некоторого объяснения. Выход драйвера микросхемы КМОП с $V_{DD} = 2.5$ В в состоянии высокого логического уровня представляет собой резистор с небольшим сопротивлением (R_{ON} транзистора PMOS), связанный с шиной питания $V_{DD} 2.5$ В. Очевидно, что связь его выхода напрямую с шиной 3.3 В приведет к разрушению устройства избыточным током. Однако если 2.5-вольтовая микросхема имеет выход с тремя состояниями и подключена к шине, которая одновременно управляется 3.3-вольтовыми микросхемами, тогда это понятие становится ясным. Даже если 2.5-вольтовая ИС находится в выключенном состоянии (третье состояние), 3.3-вольтовые микросхемы могут подавать на шину напряжение, превышающее 2.5 В, и возможно, повреждать выход 2.5-вольтовой микросхемы.

Устройство, совместимое по напряжению, может принять сигнал и передать сигнал устройству, которое работает при напряжении более высоком, чем его собственное V_{DD} . Например, если устройство работает при $V_{DD} = 2.5$ В и может передавать и получать сигналы к/от 3.3-вольтового устройства, тогда говорят, что данное 2.5-вольтовое устройство совместимо по напряжению с 3.3-вольтовыми.

Интерфейс между микросхемой КМОП с напряжением питания 5 В и микросхемой LVTTTL с напряжением питания 3.3 В – это случай, когда устойчивость к повышенному напряжению отсутствует; вход микросхемы LVTTTL перегружен выходным сигналом КМОП микросхемы с напряжением питания $V_{DD} = 5$ В. Интерфейс между микросхемами 2.5-вольтовой JEDEC и 5-вольтовой КМОП иллюстрирует случай отсутствия

а

совместимости по напряжению; выходной сигнал высокого уровня на выходе ИС JEDEC не соответствует требованиям к уровню входного сигнала 5-вольтовой КМОП-микросхемы.

ОПРЕДЕЛЕНИЯ ПОНЯТИЙ УСТОЙЧИВОСТИ К ПОВЫШЕННОМУ НАПРЯЖЕНИЮ И СОВМЕСТИМОСТИ ПО НАПРЯЖЕНИЮ ЛОГИЧЕСКИХ МИКРОСХЕМ

- **Устойчивость к повышенному напряжению:**
 - ◆ **Микросхема, устойчивая к повышенному напряжению, может выдержать на своих входных и выходных выводах напряжение более высокое, чем ее собственное напряжение питания V_{DD} . Если ИС работает при $V_{DD} = 2.5$ В и может выдержать напряжение $3.3 \text{ В} \pm 10\%$ на входе, то эта 2.5-вольтовая микросхема является устойчивой к напряжению 3.3 В на входе. Устойчивость на входе и на выходе должна тестироваться и оговариваться в спецификации отдельно.**
- **Совместимость по напряжению:**
 - ◆ **Микросхема, совместимая по напряжению, может передавать и принимать сигналы к/от логики, которая работает при напряжении более высоком, чем ее собственное напряжение питания V_{DD} . Если устройство работает при $V_{DD} = 2.5$ В и может нормально передавать и принимать сигналы к/от 3.3-вольтовой логики, то данная 2.5-вольтовая микросхема является совместимой с логикой, работающей при напряжении питания 3.3 В. Совместимость по входу и по выходу должна тестироваться и оговариваться в спецификации отдельно.**

Рис. 10.5

СОЕДИНЕНИЕ 5-ВОЛЬТОВОЙ И 3.3-ВОЛЬТОВОЙ ЛОГИКИ С ПОМОЩЬЮ ШИННЫХ ПЕРЕКЛЮЧАТЕЛЕЙ НА МОП-ТРАНЗИСТОРАХ

При соединении между собой микросхем, работающих при разных напряжениях питания, часто возникает необходимость в дополнительных дискретных компонентах для того, чтобы обеспечить устойчивость к повышенному напряжению и совместимость по напряжению. Например, для того, чтобы получить устойчивость к напряжению между логическими микросхемами, работающими при V_{DD} равном 5 В и 3.3 В, используется шинный переключатель-преобразователь напряжения, или QuickSwitch™ (Приложение 4,5). Данный шинный переключатель ограничивает напряжение, прикладываемое к ИС. Это делается для того, чтобы входное напряжение не превысило допустимое, к которому получающее устройство устойчиво.

а

Например, можно поместить шинный переключатель между 5-вольтовой КМОП-логикой и 3.3-вольтовой LVTTTL-логикой, и после этого устройства смогут нормально обмениваться данными, как показано на рис. 10.6. Этот шинный переключатель представляет собой МОП-транзистор с каналом n-типа (NMOS FET). Если на затвор транзистора подано напряжение 4.3 В, то максимальная величина напряжения проходящего сигнала составит 3.3 В (примерно на 1 В меньше, чем напряжение на затворе МОП-транзистора). Если напряжение на входе и на выходе не превышает 3.3 В, МОП-транзистор представляет собой небольшое сопротивление ($R_{ON} = 5 \text{ Ом}$). Когда входной сигнал достигает величины 3.3 В, сопротивление МОП-транзистора возрастает, ограничивая таким образом уровень сигнала на выходе. QuickSwitch содержит 10 двунаправленных МОП-транзистора с возможностью управлять напряжением на затворе, как показано на рис. 10.6. Напряжение V_{CC} QuickSwitch определяет уровень сигнала, управляющего затвором.

Один из путей получения напряжения питания 4.3 В на системной плате, где имеются 5 В и 3.3 В, является включение диода между шиной питания 5 В и выводом V_{CC} на QuickSwitch. На схеме на рис. 10.6 напряжение 4.3 В генерируется кремниевым диодом и диодом Шоттки, соединенными последовательно и подключенными к шине питания 3.3 В. Этот метод позволяет получить более стабильное напряжение смещения на затворе с учетом допустимости 10% разброса напряжений питания 5 В и 3.3 В. Некоторые шинные переключатели спроектированы для подключения непосредственно либо к шине 3.3 В, либо к 5 В, и напряжение смещения на затворе генерируется внутри данных ИС.

Применение QuickSwitch избавляет от беспокойства по поводу устойчивости микросхем при проектировании устройств с разными типами логики. Одним из полезных свойств шинных переключателей является их двунаправленность; это позволяет проектировщику поместить шинный преобразователь между двумя ИС и обойтись без дополнительной обвязки для входных и выходных сигналов.

а

ДВУНАПРАВЛЕННЫЙ ИНТЕРФЕЙС С ИСПОЛЬЗОВАНИЕМ МОП-ТРАНЗИСТОРА МЕЖДУ 3.3 В И 5 В ЛОГИКОЙ ОБЕСПЕЧИВАЕТ УСТОЙЧИВОСТЬ ПО НАПРЯЖЕНИЮ

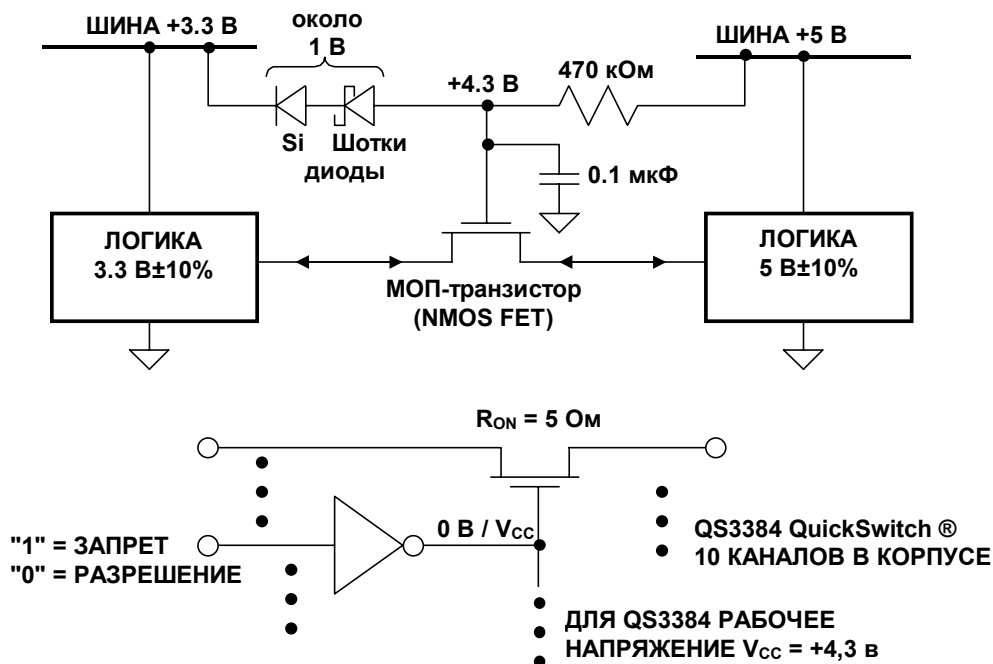


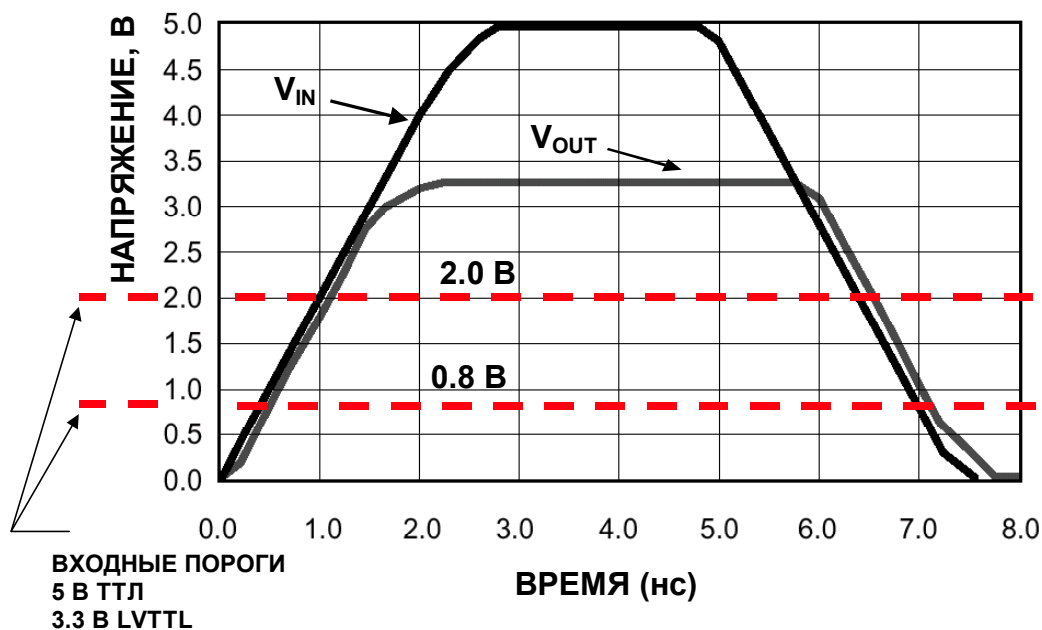
Рис. 10.6

Шинный переключатель увеличивает суммарную рассеиваемую мощность, а также общую площадь, занимаемую компонентами системы. Т.к. шинные преобразователи напряжения обычно являются КМОП-схемами, они имеют очень низкое значение потребляемой мощности. Величина рассеиваемой мощности, усредненная за продолжительный период, составляет 5 мВт на один корпус (10 переключателей), и она не зависит от частоты сигналов, проходящих через схему. Шинные переключатели обычно имеют 8 – 20 выводов на корпус и занимают примерно от 25 до 50 кв.мм. площади платы.

Бывает, что при добавлении интерфейсной логики в схеме возможно увеличение задержки распространения сигнала. Это может привести к появлению множества связанных со временем проблем при проектировании. QuickSwitch обладает очень маленьким временем задержки распространения сигнала (менее 0.25 нс), как показано на рис. 10.7.

а

ИМПУЛЬСНАЯ ХАРАКТЕРИСТИКА ШИННОГО ПРЕОБРАЗОВАТЕЛЯ QS3384 QuickSwitch® ПРИ НАПЯЖЕНИИ ПИТАНИЯ 4.3 В



С разрешения: Integrated Device Technology (IDT), Inc., 2975 Stender Way, Santa Clara, CA 95054
<http://www.idt.com>

Рис. 10.7

УСТОЙЧИВОСТЬ И СОВМЕСТИМОСТЬ ПО НАПЯЖЕНИЮ, ОБЕСПЕЧИВАЕМАЯ СРЕДСТВАМИ САМОЙ ИНТЕГРАЛЬНОЙ СХЕМЫ

Требования по низкой потребляемой мощности и хорошей производительности ИС привели к тому, что производители соревнуются между собой в проектировании микросхем, работающих при $V_{DD} = 2.5$ В и ниже и при этом совместимых с ТТЛ и КМОП. На рис.10.8 представлена структурная схема логического вентиля, в котором логическое ядро может работать при пониженном напряжении, тогда как выходной драйвер работает при стандартном напряжении питания, например, 3.3 В.

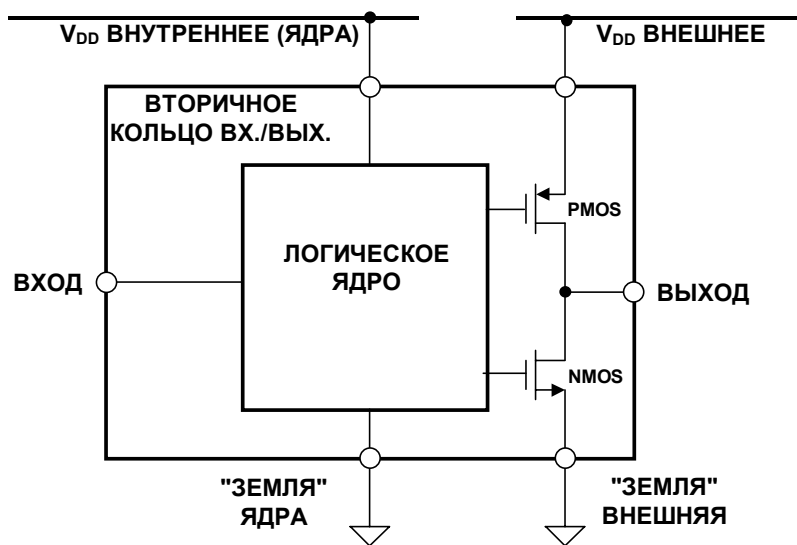
Технология, которой следовали большинство производителей, заключается в создании отдельного интерфейса для входов и выходов, т.е. драйверы входов и выходов работают при напряжении питания 3.3 В, оставшаяся часть микросхемы – при напряжении 2.5 В, таким образом устройство может быть ТТЛ-совместимым и отвечать требованиям для порогов V_{OH} и V_{OL} . Внешнее питание 3.3 В требуется для того, чтобы ИС была устойчива к напряжению 3.3 В. Это приводит к дополнительному усложнению, связанному с наличием двух напряжений питания для чипа, но в перспективе дополнительное напряжение питания будет генерироваться в самой микросхеме.

Более гибкая технология (использованная в DSP серии ADSP-218xM) заключается в обеспечении отдельного интерфейса входов/выходов с отдельным внешним напряжением питания, с возможностью установить это напряжение равным рабочему напряжению ядра процессора, если это необходимо. Такая схема обеспечивает устойчивость к напряжению 3.3 В, если внешнее напряжение составляет 2.5 В; или устойчивость к напряжению 3.3 В и совместимость к 3.3-вольтовым устройствам, если внешнее напряжение равно 3.3 В.

а

Существуют разработки, в которых используется эта технология частично, например, устройства VCS являются устойчивыми к 3.3 В при напряжении ядра и напряжении интерфейса входов/выходов равном 2.5 В, но они не обладают совместимостью с 3.3-вольтовыми устройствами. Другие существующие проекты и патенты в этой области не поддерживают полностью устойчивость и совместимость и требования по низкому потреблению тока при работе в режиме ожидания.

КМОП ИС СО ВТОРИЧНЫМ КОНТУРОМ ВХОДОВ/ВЫХОДОВ



ADSP-21xx M-серии { V_{DD} ВНЕШНЕЕ = +3.3 В ИЛИ +2.5 В
 V_{DD} ЯДРА = +2.5 В
ВХОД УСТОЙЧИВ К НАПРЯЖЕНИЮ +3.3 В

Рис. 10.8

Существует несколько важных аспектов при разработке устройств с двумя напряжениями питания:

1. *Последовательность включения питания:* Если требуется два источника питания для обеспечения дополнительной устойчивости/совместимости, то какой должна быть последовательность включения питания? Необходимо ли включать оба источника питания одновременно, или устройство может работать при подаче питания только на ядро или только на интерфейс входов/выходов?
2. *Технология производства микросхем и защита от электростатического разряда (ESD):* Транзисторы, создаваемые в процессе производства ИС, должны не только выдерживать, но и управлять сигналами высокого напряжения. Создание высоковольтных транзисторов увеличивает себестоимость продукции, т.к. для обеспечения устойчивости к высокому напряжению требуются дополнительные меры. Разработка же устройства со стандартными транзисторами потребует дополнительного схемотехнического усложнения. Кроме того, драйверы входов/выходов должны обеспечивать защиту устройства от электростатического разряда (ESD). В большинстве современных разработок

а

допустимое напряжение на входе ограничено величиной напряжения питания плюс прямое падение напряжения на диоде (0.7 В). Защита от более высокого напряжения требует создания большего количества диодных переходов.

3. *Встроенные средства генерации высокого напряжения.* Транзисторы с каналами р-типа (PMOS) должны помещаться в область на кристалле, которая подключена к самому высокому имеющемуся на кристалле напряжению, чтобы предотвратить открывание диодного перехода и протекание избыточных токов. Это высокое напряжение может быть или генерировано на кристалле при помощи зарядного насоса, или поступать от внешнего источника. Это требование может сделать осуществление проекта более сложным, т.к. невозможно эффективно использовать зарядные насосы для генерирования высокого напряжения и в то же время обеспечить малый ток потребления в режиме ожидания.
4. *Площадь кристалла:* Размер кристалла играет решающую роль при уменьшении себестоимости и повышении эффективности. Обеспечение устойчивости и совместимости схемы может потребовать дополнительной площади для драйверов входов/выходов, чтобы получить необходимые параметры.
5. *Тестирование:* Т.к. сердечник и драйверы входов/выходов могут работать при различных напряжениях питания, тестирование устройства по всем возможным комбинациям напряжений может быть затруднительным, что отражается на общей стоимости продукции.

ИНТЕРФЕЙСЫ МЕЖДУ СИСТЕМАМИ С НАПРЯЖЕНИЯМИ ПИТАНИЯ 3.3 В И 2.5 В

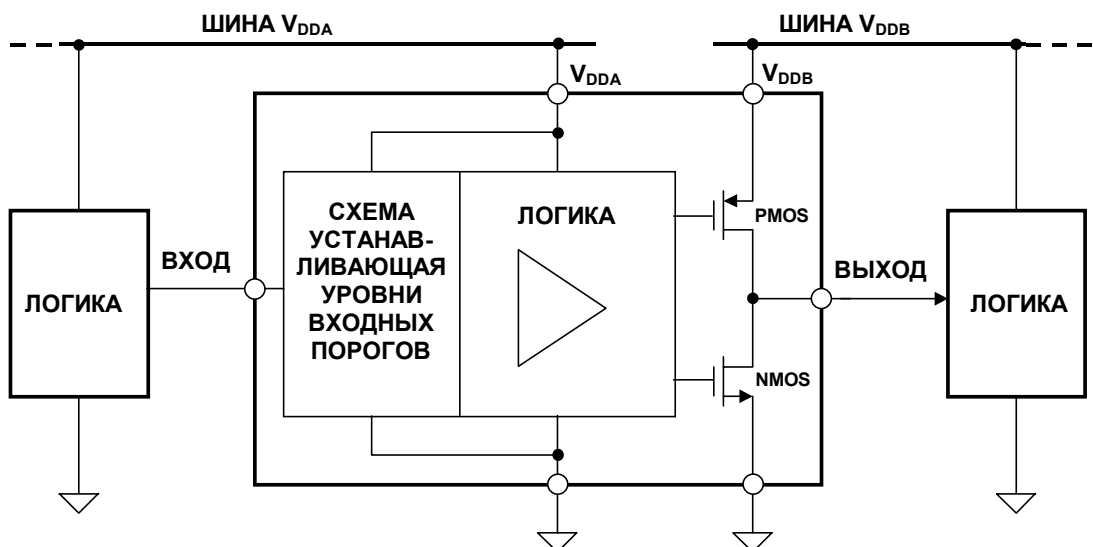
Серия Fairchild 74VCX164245 – это низковольтные 16-битные преобразователи/приемопередатчики с двойным питанием и с тремя состояниями на выходе. Упрощенная структурная схема показана на рис.10.9. Эти устройства используют низковольтный стандарт VCX, который обсуждался ранее. Схема выходного драйвера питается от шины питания V_{DDB} , обеспечивая устойчивость и совместимость выхода с напряжением V_{DDB} . Входная схема питается от шины питания V_{DDA} , и входная логическая схема регулирует уровни порогов на входе логики в соответствии с конкретным значением V_{DDA} . На рис.10.10 показаны входные пороги для стандарта VCX при напряжении питания 3.3 В, 2.5 В и 1.8 В. Обратите внимание, что входное напряжение 3.3 В допустимо при любом из трех напряжений питания.

Эти устройства рассеивают около 2 мВт на каждый вход/выход и выпускаются в корпусах TSSOP с 48 выводами и с напряжением питания 2.5 В. Задержка распространения составляет около 3.2 нс.

На рис.10.11 показано два возможных варианта сопряжения 3.3-вольтовой и 2.5-вольтовой логики. На верхнем рисунке (А) показано прямое включение. Эта схема будет работать, если 2.5-вольтовая ИС обладает устойчивостью к 3.3 В на входе. Если 2.5-вольтовая ИС не является устойчивой к 3.3 В, то может использоваться VCX-преобразователь, как показано на рис.10.11 (В).

а

ПРЕОБРАЗОВАТЕЛЬ-ПРИЕМОПЕРЕДАТЧИК ЛОГИЧЕСКИХ СИГНАЛОВ FAIRCHILD 74VCSX164245



ХАРАКТЕРИСТИКИ ИС 74VCSX164245:

- Потребляемая мощность = 2 мВт на канал
- 16-битный в 48-выводном корпусе TSSOP пл. 100 мм²
- Задержка распространения 3.2 нс при питании 2.5 В

Рис.10.9

СОВМЕСТИМОСТЬ ПО НАПРЯЖЕНИЮ ДЛЯ ИС VCSX (ПРЕОБРАЗОВАТЕЛЬ FAIRCHILD 74VCSX164245)

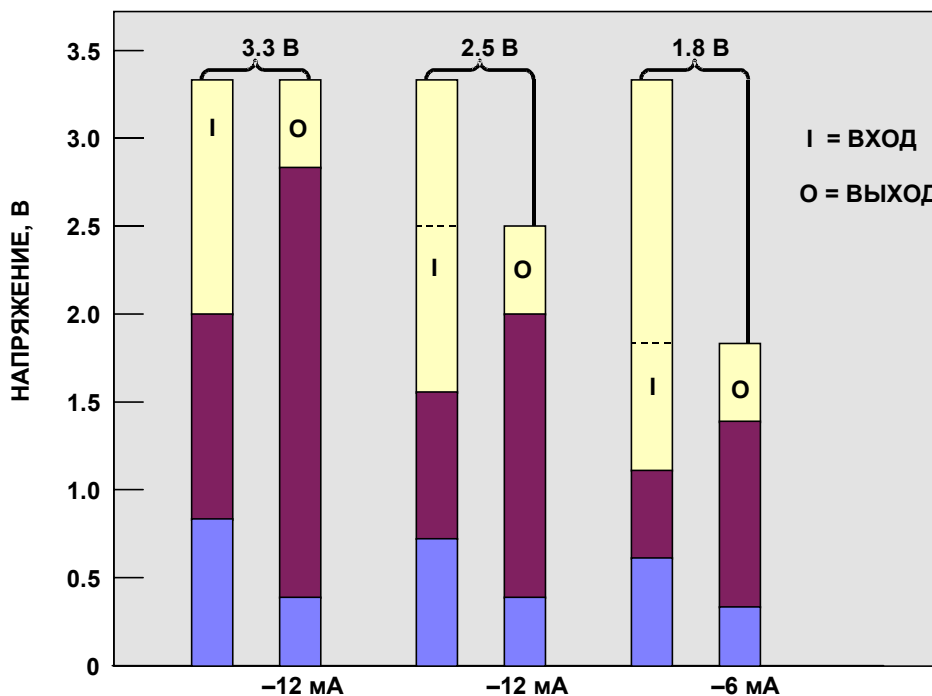


Рис.10.10

а

ИНТЕРФЕЙС МЕЖДУ СИСТЕМАМИ С НАПРЯЖЕНИЯМИ ПИТАНИЯ 3.3 В И 2.5 В

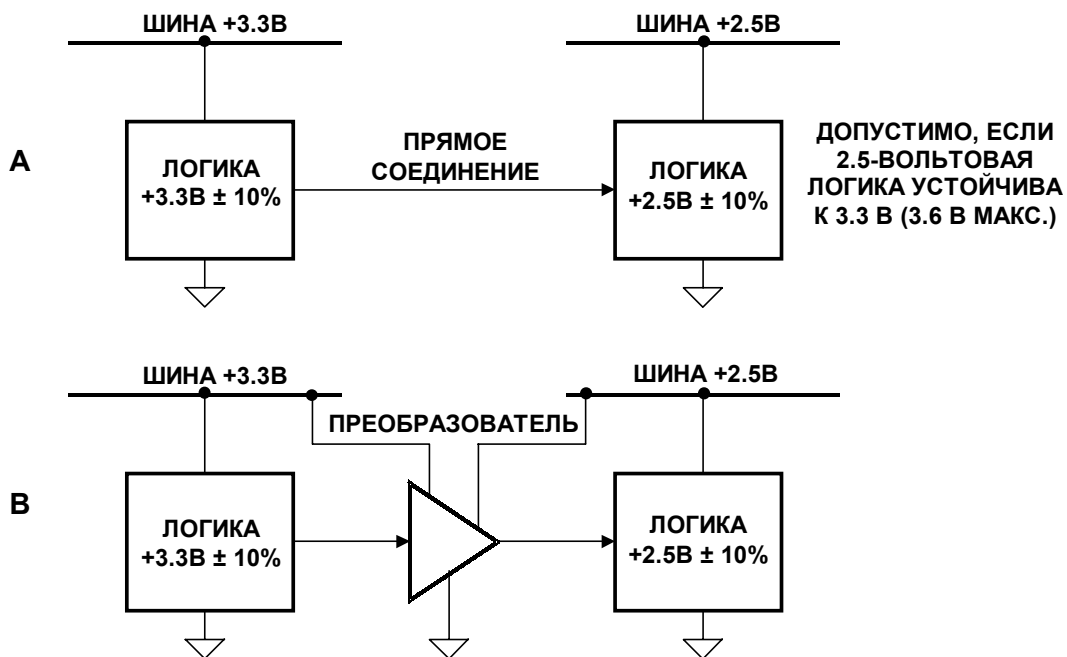


Рис.10.11

На рис.10.12 А показано прямое соединение между ИС с напряжениями питания 2.5 В и 3.3 В. Чтобы данная схема работала, выход 2.5-вольтовой микросхемы должен обеспечивать хотя бы 2 В. При отсутствии нагрузки на выходе 2.5-вольтовой микросхемы, вход 3.3-вольтовой ИС соединяется напрямую с шиной +2.5 В через внутреннее сопротивление PMOS транзистора R_{ON} . Таким образом обеспечивается запас помехоустойчивости 0.5 В при номинальном напряжении питания 2.5 В. Однако ввиду допустимого 10%-ного разброса напряжение на шине 2.5 В может упасть до минимума в 2.25 В, и запас помехоустойчивости уменьшается до 0.25 В. Эта схема может тем не менее работать при сравнительно "тихом" окружении, но работать на пределе, если в напряжении источника питания присутствует шум.

Добавление "подтягивающего" резистора сопротивлением 1.6 кОм, как показано на рис. 10.12 В, гарантирует, что напряжение на выходе 2.5-вольтовой ИС не упадет ниже 2.5 В при наличии тока на входе 3.3-вольтового устройства, но запас помехоустойчивости все таки уменьшится при напряжении питания 2.25 В. При скважности 50% данный резистор добавляет примерно 3.4 мВт рассеиваемой мощности на каждый выход.

Более надежный интерфейс между 2.5-вольтовой и 3.3-вольтовой системами показан на рис.10.12 С; здесь используется преобразователь VСХ. С его помощью решаются все проблемы, связанные с запасом помехоустойчивости, имеющиеся в схемах (А) и (В), и он потребляет около 2 мВт на каждый вход.

а

ИНТЕРФЕЙС МЕЖДУ СИСТЕМАМИ С НАПРЯЖЕНИЯМИ ПИТАНИЯ 2.5 В И 3.3 В

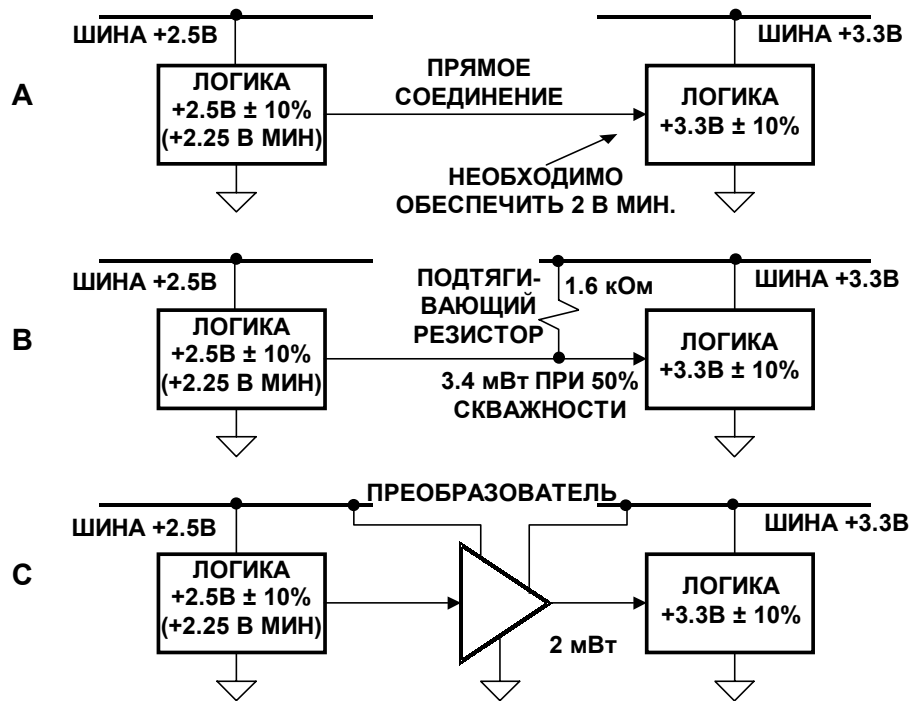


Рис.10.12

a

Литература по интерфейсам низкого напряжения

1. P. Alfke, *Low-Voltage FPGAs Allow 3.3V/5V System Design*, **Electronic Design**, p. 70-76, August 18, 1997.
2. AA Alkaline Battery Discharge Characteristics, Duracell Inc., Berkshire Corporate Park, Bethel, CT 06801, <http://www.duracell.com>
3. Joint Electron Device Engineering Council (JEDEC), Standard 8-5, October 1995.
4. QS3384 Data Sheet, Integrated Device Technology (IDT), Inc., 2975 Stender Way, Santa Clara, CA 95054, <http://www.idt.com>
5. Pericom Semiconductor Corporation, 2380 Bering Drive, San Jose, CA 95131, <http://www.pericom.com>
6. 74VCX164245 Data Sheet, Fairchild Semiconductor, 1997. <http://www.fairchildsemi.com>
7. H. Johnson, M. Graham, **High Speed Digital Design**, Prentice Hall, 1993.

а

ЗАЗЕМЛЕНИЕ В СИСТЕМАХ СО СМЕШАННЫМИ СИГНАЛАМИ

Уолт Кестер, Джеймс Брайант, Майк Бирн

Современные системы обработки данных обычно содержат в себе устройства со смешанными сигналами (mixed-signal devices), такие как аналого-цифровые преобразователи (АЦП), цифро-аналоговые преобразователи (ЦАП), а также быстродействующие цифровые сигнальные процессоры (DSP). Обработка аналоговых сигналов требует большого динамического диапазона, поэтому возрастает роль высокопроизводительных ЦАП и АЦП. Обеспечение широкого динамического диапазона с низкими шумами во враждебном цифровом окружении возможно только при использовании эффективных приемов проектирования высокоскоростных схем, включающих в себя технически грамотную трассировку сигнала, развязку и заземление.

В прошлом "высокоточные низкоскоростные" схемы обычно рассматривались отдельно от так называемых "высокоскоростных" схем. В том, что касается АЦП и ЦАП, частота отсчетов (или обновления на выходе) обычно рассматривалась как критерий скорости работы схемы. Однако следующие два примера показывают, что на практике большинство современных ИС обработки сигналов являются "высокоскоростными" и поэтому должны рассматриваться как таковые для достижения хороших результатов. Это касается цифровых сигнальных процессоров (DSP), АЦП и ЦАП.

Все АЦП выборки (АЦП со схемой выборки-запоминания), используемые в системах обработки сигналов, работают с достаточно высокоскоростными генераторами тактовых импульсов с малым временем нарастания и спада (обычно несколько наносекунд) и должны рассматриваться как высокоскоростные устройства, даже если их производительность (частота отсчетов) представляется невысокой. Например, 12-разрядный АЦП последовательного приближения (SAR) типа AD7892 работает при внутренней тактовой частоте 8 МГц, тогда как его частота отсчетов составляет только 600 кГц.

Для сигма-дельта (Σ - Δ) АЦП также требуется высокочастотный тактовый генератор, т.к. такие АЦП имеют высокий коэффициент передискретизации. 16-разрядный АЦП AD7722 имеет частоту обновления на выходе (эффективную частоту отсчетов), равную 195 кГц, но в действительности производит выборку с частотой 12.5 МГц (в 64 раза выше). Даже так называемые низкочастотные сигма-дельта (Σ - Δ) АЦП промышленного назначения с высоким разрешением (имеющие частоту обновления на выходе от 10 Гц до 7.5 кГц) работают при тактовой частоте 5 МГц или выше и обеспечивают 24-разрядное разрешение (например, микросхемы фирмы Analog Devices типа AD7730 и AD7731).

Еще более осложняет вопрос то, что ИС со смешанными сигналами содержит как аналоговую, так и цифровую части, и поэтому многие возникающие проблемы связаны с неправильным заземлением. К тому же некоторые ИС со смешанными сигналами имеют относительно низкие цифровые токи, в то время как у других они велики. Во многих случаях с точки зрения оптимального заземления эти два варианта должны рассматриваться отдельно.

Проектировщики цифровых и аналоговых устройств склонны рассматривать устройства со смешанными сигналами с различных позиций, и цель этой главы – разработать общую философию заземления, которая будет работать в большинстве устройств со смешанными сигналами, без необходимости изучения специфических деталей их внутреннего устройства.

а

ПОВЕРХНОСТИ ЗАЗЕМЛЕНИЯ И ПИТАНИЯ

Обеспечение низкоимпедансных заземляющих поверхностей большой площади очень важно для всех современных аналоговых схем. Заземляющая поверхность действует не только как низкоимпедансный обратный тракт для развязки высокочастотных токов (вызванных работой скоростных цифровых схем), но также минимизирует электромагнитные радиочастотные (EMI/RFI) помехи. Благодаря экранирующему действию заземляющей поверхности чувствительность устройства ко внешним помехам также уменьшается.

Заземляющие поверхности также позволяют передавать высокоскоростные цифровые и аналоговые сигналы с использованием технологий линий передач (полосковую или микрополосковую), там, где требуется получить определенное характеристическое сопротивление линии.

Использование шины-проводника в качестве заземления категорически неприемлемо из-за ее импеданса на частоте, соответствующей скорости переключения большинства логических схем. Например провод калибра 22 стандарта AWG (American Wire Gauge), что соответствует диаметру 0,64 мм, обладает индуктивностью около 20 нГн/дюйм. Проходящий по этому проводу ток, вызванный логическим сигналом и имеющий скорость нарастания 10 мА/нс, будет создавать импульс напряжения величиной в 200 мВ на 1 дюйм провода:

$$\Delta v = L \frac{\Delta i}{\Delta t} = 20 \text{ нГн} \times \frac{10 \text{ мА}}{\text{нс}} = 200 \text{ мВ} .$$

Для сигналов, имеющих размах 2 В, это означает ошибку около 200 мВ или 10% (точность приблизительно 3.5 разряда). Даже в полностью цифровых схемах эта ошибка будет означать значительное уменьшение запаса помехоустойчивости.

Рис. 10.13 иллюстрирует ситуацию, когда цифровой ток, возвращающийся по шине "земли", модулирует аналоговый возвратный ток (верхний рисунок). Индуктивность и сопротивление провода, по которому течет обратный ток, являются общими для аналоговой и цифровой схем, это и является причиной взаимодействия и приводит к помехам. Одно из возможных решений – заставить обратный ток идти прямо к общей точке GND REF, как показано на нижнем рисунке. Это – иллюстрация фундаментальной концепции заземления «звездой» или системы с одной точкой заземления. Реализовать настоящее одноточечное заземление в системе, которая содержит большое количество высокочастотных трактов, сложно, т.к. физическая длина каждого провода, по которому течет обратный ток, будет вносить паразитное сопротивление и индуктивность, которые могут сделать затруднительным обеспечение низкоимпедансного заземления для токов высокой частоты. На практике тракт возвратного тока должен включать в себя заземляющие поверхности большой площади для того, чтобы обеспечить низкое сопротивление для высокочастотных токов. Таким образом, без низкоимпедансной заземляющей поверхности практически невозможно избежать появления общего для аналоговой и цифровой схем тракта заземления, особенно на высоких частотах.

Все выводы заземления микросхем должны соединяться с помощью пайки прямо с низкоимпедансной заземляющей поверхностью с целью минимизировать последовательную индуктивность и сопротивление. Использование традиционных панелек (разъемов) для микросхем в высокоскоростных устройствах не рекомендуется. Добавочная индуктивность и емкость даже «низкопрофильных» панелек может привести к нарушению работы схемы из-за появления дополнительных трактов. Если панельки всё

а

же должны быть использованы с микросхемой в DIP-корпусе, например, при конструировании прототипа, то имеет смысл использовать «панельку-разъем» или наборную панельку из отдельных гнезд. Существуют панельки-разъемы со встроенным развязывающим конденсатором или без него (по каталогу AMP № 5-330808-3 и 5-330808-6). Они имеют позолоченные пружинные контакты, которые обеспечивают хорошее электрическое и механическое соединение с выводами ИС. Однако многократное использование может ухудшить их параметры.

Выводы питания должны быть развязаны прямо на заземляющую поверхность с помощью низкоиндуктивных керамических конденсаторов для поверхностного монтажа (SMD). Если используется конденсатор для обычного монтажа, то его выводы должны иметь длину не более 1 мм. Керамические конденсаторы должны быть расположены как можно ближе к выводам питания микросхемы. Для дополнительной развязки могут также потребоваться ферритовые бусины.

ЦИФРОВЫЕ ТОКИ, ПРОХОДЯЩИЕ ПО АНАЛОГОВОМУ ВОЗВРАТНОМУ ТРАКТУ, СОЗДАЮТ НАПРЯЖЕНИЕ ОШИБКИ

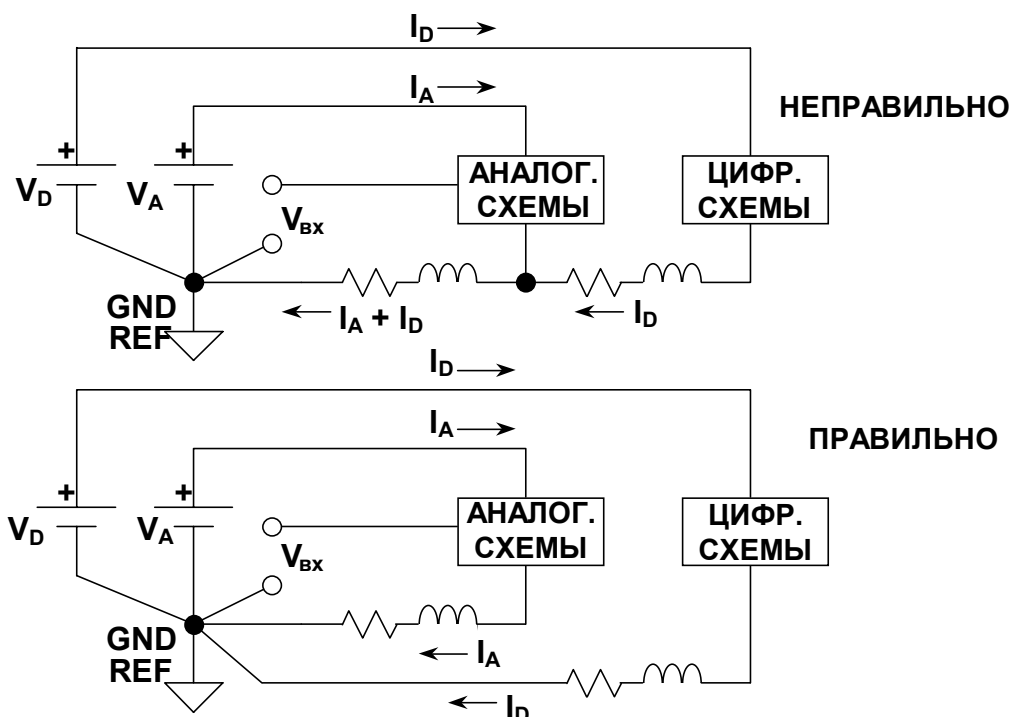


Рис. 10.13

ДВУСТОРОННЯЯ ИЛИ МНОГОСЛОЙНАЯ ПЕЧАТНАЯ ПЛАТА

Каждая печатная плата в системе должна иметь хотя бы один слой, полностью отведенный под заземляющую поверхность. В идеале двусторонняя плата должна иметь одну сторону, полностью отведенную под заземление и вторую – для различных соединений. На практике это невозможно, т.к. частично заземляющая поверхность, разумеется, должна быть удалена для отведения места под дорожки питания и сигналов, межслойные переходы и сквозные монтажные отверстия. Тем не менее как можно больше площади заземляющей поверхности должно быть сохранено, хотя бы 75% необходимо оставить. После окончания предварительной разводки платы поверхность заземления

а

должна быть аккуратно проверена для того, чтобы убедиться, что не осталось изолированных "островков" заземления, т.к. выводы заземления микросхем, расположенные на таких островках, не будут иметь связи с заземляющей поверхностью. Также заземляющая поверхность должна быть проверена на предмет слишком тоненьких соединений между соседними большими площадями, которые могут значительно уменьшить эффективность заземляющей поверхности. Можно даже и не говорить, что при автоматической разводке платы обычно возникают неполадки в работе устройства со смешанными сигналами, поэтому настоятельно рекомендуем доводить плату вручную.

Системы, в которых интегральные микросхемы для поверхностного монтажа расположены тесно, будут иметь большое число соединений, поэтому здесь нужно использовать многослойные платы. Это позволит хотя бы один слой полностью отвести под заземление. В простой 4-слойной плате два внутренних слоя обычно используются для заземляющей поверхности и поверхности питания, а два внешних слоя – для выполнения соединений между установленными компонентами. Расположение питающей и заземляющей поверхностей в соседних слоях обеспечивает дополнительную межповерхностную емкость, которая способствует высокочастотной развязке тока питания. В большинстве систем четырех слоев недостаточно, и требуются дополнительные слои для трассировки линий сигналов, а также питания.

БЕЗ ЗАЗЕМЛЯЮЩИХ ПОВЕРХНОСТЕЙ НЕ ОБОЙТИСЬ!

- **Используйте для заземления (и питания) поверхности большой площади, чтобы обеспечить низкоимпедансный путь для возвратного тока (Необходимо использовать как минимум двустороннюю плату!)**
- **Двусторонние платы:**
 - ◆ **Избегайте многочисленных сквозных соединений и межслойных переходов, из-за которых уменьшается площадь поверхности заземления**
 - ◆ **Отводите под заземление не менее 75% площади одной стороны платы**
- **Многослойные платы:**
 - ◆ **Отведите как минимум один слой под поверхность заземления**
 - ◆ **Отведите как минимум один слой под поверхность питания**
- **Используйте по меньшей мере 30 – 40% выводов соединителя печатной платы для заземления**
- **Продолжайте поверхность заземления на материнскую плату до источника питания**

Рис. 10.14

а

МНОГОПЛАТНЫЕ СИСТЕМЫ СО СМЕШАННЫМИ СИГНАЛАМИ

Лучший способ минимизировать импеданс заземления в многоплатной системе – использовать "материнскую плату" в качестве объединительной для организации соединения между платами, и, кроме того, обеспечить продолжение заземляющей поверхности на общую плату. В соединителе печатной платы хотя бы 30-40% выводов должно быть отведено под заземление, и эти выводы должны быть связаны с заземляющей поверхностью на материнской объединяющей плате. Для окончательного завершения устройства заземления системы существуют два способа:

1. Заземляющая поверхность на объединяющей плате может быть соединена с "землей" монтажной панели (шасси) во многих точках, таким образом равномерно распределяя различные пути возвратного тока. Этот способ обычно называется "многоточечным" заземлением и его схема показана на рис. 10.15.
2. Заземляющая поверхность может быть подключена по схеме "звезды" к единственной в системе точке заземления (обычно вблизи источника питания).

КОНЦЕПЦИЯ МНОГОТОЧЕЧНОГО ЗАЗЕМЛЕНИЯ

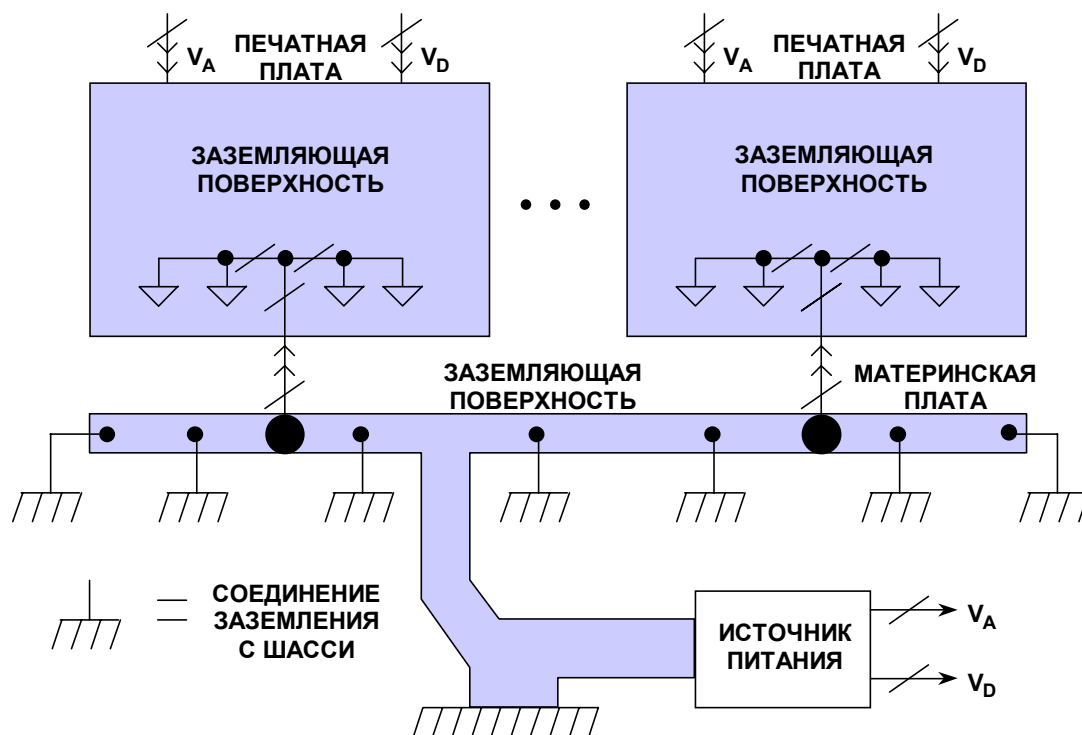


Рис. 10.15

Первый подход чаще всего используется в чисто цифровых системах, но может быть использован и в системах со смешанными сигналами, если токи заземления цифровых схем достаточно малы и распределены на больших площадях. Низкий импеданс заземления обеспечивается на всем пути по плате, по объединяющей плате и далее по монтажной панели (шасси). Однако очень важно поддерживать хорошее электрическое соединение в местах, где "земля" связана с металлической монтажной панелью. Для этого необходимы металлические винты-"саморезы" или шайбы с насечками. Особое внимание

а

соединению должно быть уделено там, где в качестве материала монтажной панели используется алюминий, т.к. его поверхность проявляет себя как изолятор.

Второй подход (заземление "звездой") часто используется в высокоскоростных системах с смешанными сигналами, имеющих отдельные аналоговую и цифровую системы заземления, и ниже обсуждается более подробно.

РАЗДЕЛЕНИЕ АНАЛОГОВОГО И ЦИФРОВОГО ЗАЗЕМЛЕНИЯ

В системах со смешанными сигналами с большим числом цифровых схем весьма желательно *физически* отделить чувствительные аналоговые компоненты от шумных цифровых компонентов. Также пойдет на пользу использование отдельных заземляющих поверхностей для аналоговых и цифровых схем. Эти поверхности не должны перекрываться для того, чтобы уменьшить емкостную связь между ними. Раздельные аналоговая и цифровая заземляющие поверхности продолжаются на объединительной плате с использованием или заземляющей поверхности материнской платы, или "экранирующего заземления", которое выполняется при помощи проводов заземления, чередующимися в разьёме с сигнальными проводами. На структурной схеме, показанной на рис.10.16, видно, что две заземляющих поверхности на всем своем протяжении идут отдельно до точки заземления "звездой", которая обычно располагается около источника питания. Соединение заземляющих поверхностей и источника питания в точке заземления "звездой" должно быть выполнено с помощью многочисленных шин или толстого медного жгута для минимизации сопротивления и индуктивности. Пара встречно-параллельных диодов Шотки имеется на каждой печатной плате для предотвращения случайного появления постоянного напряжения между двумя заземляющими системами в момент, когда платы вставляются или вынимаются. Это напряжение не должно превышать 300 мВ, чтобы избежать выхода из строя ИС, которая подключена как к аналоговой, так и к цифровой заземляющим поверхностям. Предпочтительно использовать диоды Шотки, так как они имеют малую емкость и малое падение напряжения в режиме прямого тока. Низкая емкость позволяет избежать связи по переменному току между аналоговой и цифровой заземляющими поверхностями. Диоды Шотки начинают проводить при прямом напряжении около 300 мВ, и если ожидаются большие токи, может понадобиться несколько параллельно соединенных диодов. В некоторых случаях вместо диодов Шотки могут быть использованы дроссели с ферритовыми бусинами, однако они вызывают появление паразитных контуров с замыканием через "землю" по постоянному току, которые могут вызвать проблемы в прецизионных системах.

а

РАЗДЕЛЕНИЕ АНАЛОГОВОЙ И ЦИФРОВОЙ ЗАЗЕМЛЯЮЩИХ ПОВЕРХНОСТЕЙ

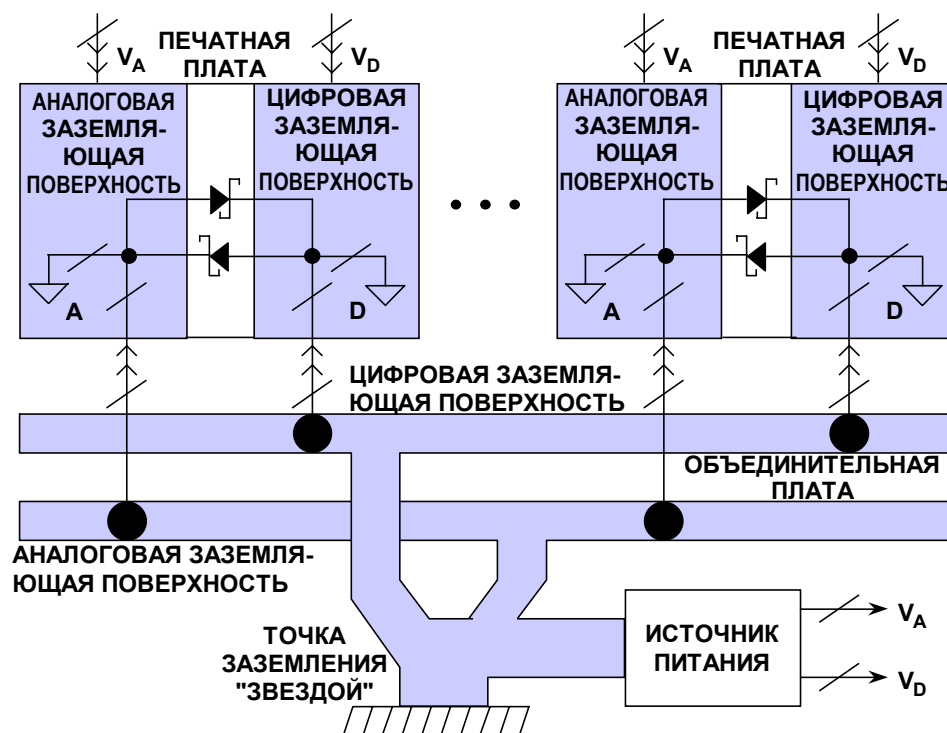


Рис. 10.16

Обязательно нужно обеспечить сопротивление заземляющих поверхностей как можно меньшим на всем пути к точке заземления "звездой". Переменное или постоянное напряжение более чем 300 мВ между двумя заземляющими поверхностями может не только вывести из строя ИС, но и вызвать ошибочное включение логического элемента и, возможно, переход в фиксированное состояние.

ЗАЗЕМЛЕНИЕ И РАЗВЯЗКА ИС СО СМЕШАННЫМИ СИГНАЛАМИ И НЕБОЛЬШИМИ ЦИФРОВЫМИ ТОКАМИ

Чувствительные аналоговые компоненты, такие как усилители и источники опорного напряжения, всегда подключаются и развязываются на аналоговой заземляющей поверхности. АЦП и ЦАП (и другие ИС со смешанными сигналами) с небольшими цифровыми токами обычно должны рассматриваться как аналоговые компоненты и также заземлены и развязаны на аналоговой заземляющей поверхности. На первый взгляд это может показаться несколько противоречивым, т.к. преобразователь имеет и аналоговый и цифровой интерфейс, и он имеет выводы, обычно обозначенные как аналоговое заземление (AGND) и цифровое заземление (DGND). Схема, показанная на рисунке 10.17 поможет разобраться с этим кажущимся затруднением.

а

ПРАВИЛЬНОЕ ЗАЗЕМЛЕНИЕ МИКРОСХЕМЫ СО СМЕШАННЫМИ СИГНАЛАМИ С НЕБОЛЬШИМИ ЦИФРОВЫМИ ТОКАМИ

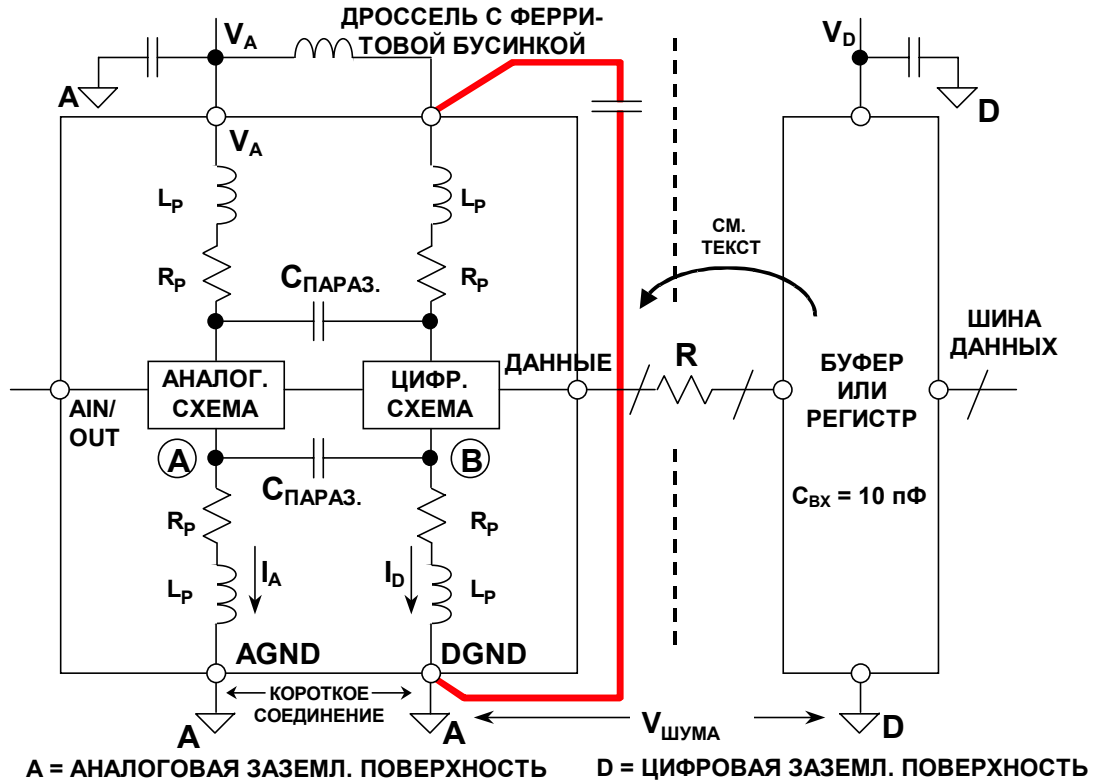


Рис. 10.17

Внутри микросхем, которые имеют как аналоговую так и цифровую схемы, например АЦП или ЦАП, "земли" обычно разделяются для предотвращения влияния цифровых сигналов на аналоговую часть. На рис.10.17 показана упрощенная модель преобразователя. Проектировщик ИС ничего не может поделать с индуктивностью и сопротивлением соединений, идущих от контактов на кристалле к выводам корпуса ИС, только оставить их как есть. Цифровые токи, имеющие резкие перепады, создают напряжение в точке В, которое неизбежно передается в точку А аналоговой схемы через паразитную емкость $C_{\text{ПАЗАЗ.}}$. К тому же неизбежно присутствует паразитная емкость между каждым выводом корпуса ИС, равная приблизительно 0.2 пФ. И задача проектировщика ИС – заставить микросхему работать, несмотря на это. Однако для того, чтобы предотвратить дальнейшее влияние, выводы AGND и DGND должны быть соединены с аналоговой заземляющей поверхностью кратчайшим путем. Любое дополнительное импеданс в соединении DGND с "землей" приведет к образованию дополнительного цифрового шума в точке В, что, в свою очередь, наведет дополнительный цифровой шум в аналоговой схеме за счет паразитной емкости. *Обратите внимание, что при соединении DGND с цифровой заземляющей поверхностью напряжение шума $V_{\text{ШУМА}}$ будет прикладываться между выводами AGND и DGND, что приведет к неудаче!*

Обозначение вывода микросхемы как "DGND" говорит о том, что этот вывод связан с цепью заземления цифровой части ИС. Но это не подразумевает, что этот вывод должен быть соединен с цифровым заземлением системы.

а

Конечно, такая компоновка может привести к появлению небольшого цифрового шума в аналоговой заземляющей поверхности. Но эти токи обычно достаточно малы, и могут быть минимизированы, если гарантировать минимальную нагрузку на выходе преобразователя (обычно преобразователь проектируется с маломощными выходами). Уменьшение нагрузки на цифровых выходах преобразователя, кроме того, сделает логические переходы сигнала на выходе преобразователя свободными от переходных процессов и минимизирует цифровые токи переключения, и таким образом уменьшит любое возможное влияние на аналоговую часть преобразователя. Вывод питания цифровой части (V_D) может быть дополнительно изолирован от источника аналогового питания при помощи высокодобротного дросселя с ферритовой бусиной, как показано на рис.10.17. Внутренние импульсные цифровые токи преобразователя будут идти по небольшому контуру от V_D через конденсатор развязки к DGND (этот путь показан на схеме толстой линией). Импульсные цифровые токи, таким образом, не появятся вне контура на аналоговой заземляющей поверхности, а будут циркулировать в контуре. Развязывающий конденсатор на выводе V_D должен быть установлен как можно ближе к преобразователю, чтобы минимизировать паразитную индуктивность. В качестве данных конденсаторов должны быть применены низкоиндуктивные керамические конденсаторы, обычно величиной от 0.01 до 0.1 мкФ.

ВНИМАТЕЛЬНО ОТНЕСИТЕСЬ К ЦИФРОВОМУ ВЫХОДУ АЦП

Всегда полезно подключать буферный регистр к выходу преобразователя (как показано на рис. 10.17) с целью изолировать цифровые цепи преобразователя от шумов, присутствующих на шине данных. Данный регистр также служит для минимизации нагрузки на цифровых выходах преобразователя и действует как экран между этими цифровыми выходами и шиной данных. Даже несмотря на то, что многие преобразователи имеют входы/выходы с тремя состояниями, применение подобного изолирующего регистра остается оправданным. В некоторых случаях для обеспечения большей развязки может быть желательным добавление еще одного буферного регистра на аналоговой заземляющей поверхности после выхода преобразователя.

Последовательно включенный резистор (обозначенный символом R на рис. 10.17) между выходом АЦП и входом буферного регистра помогает минимизировать цифровые импульсные токи, которые могут повлиять на качество работы преобразователя. Этот резистор изолирует драйвер цифрового выхода преобразователя от входной емкости буферного регистра. Кроме того, RC-цепочка, образуемая резистором R и входной емкостью буферного регистра, действует как фильтр низкой частоты и таким образом сглаживает резкие фронты.

Типичный логический элемент КМОП в сочетании с дорожкой печатной платы и сквозным переходом образует емкостную нагрузку величиной около 10 пФ. Скорость переключения логического выхода величиной 1 В/нс вызовет импульс тока в 10 мА, если здесь не будет изолирующего резистора:

$$I = C \frac{\Delta v}{\Delta t} = 10 \text{ пФ} \times 1 \frac{\text{В}}{\text{нс}} = 10 \text{ мА}$$

Последовательно включенный резистор сопротивлением 500 Ом уменьшит данный выходной ток и в результате увеличит время нарастания и спада импульса до приблизительно 11 нс, если входная емкость регистра будет равна 10 пФ:

$$tr = 2.2 \times \tau = 2.2 \times R \cdot C = 2.2 \times 500 \text{ Ом} \times 10 \text{ пФ} = 11 \text{ нс}$$

а

Регистров ТТЛ желательно избегать; они могут заметно увеличить динамические токи переключения, так как имеют большую входную емкость.

Буферный регистр и другие цифровые схемы должны быть заземлены и развязаны на цифровой заземляющей поверхности печатной платы. Обратите внимание, что любой шумовой сигнал между аналоговой и цифровой заземляющими поверхностями уменьшает запас помехоустойчивости цифрового интерфейса преобразователя. Так как запас помехоустойчивости цифровой схемы составляет порядка сотен или тысяч милливольт, это едва ли будет иметь значение. Аналоговая заземляющая поверхность обычно не бывает слишком "шумной", но если шум на цифровой заземляющей поверхности (относительно аналоговой заземляющей поверхности) превышает несколько сотен милливольт, то необходимо предпринять шаги для уменьшения импеданса цифровой заземляющей поверхности, таким образом обеспечивая приемлемый уровень запаса помехоустойчивости цифровой схемы. Ни при каких условиях напряжение между двумя заземляющими поверхностями не должно превышать 300 мВ, иначе ИС может выйти из строя.

Также весьма желательно наличие отдельных источников питания для аналоговой и цифровой схем. Для питания преобразователя необходим "аналоговый" источник питания. Если преобразователь имеет вывод, обозначенный как вывод питания цифровой части схемы (V_D), он должен быть подключен или к отдельному "аналоговому" источнику питания, или подключен через фильтр, как показано на схеме. Все выводы питания преобразователя должны быть развязаны на аналоговой заземляющей поверхности, а все выводы питания цифровых схем должны быть развязаны на цифровой заземляющей поверхности, как показано на рис. 10.18. Если источник "цифрового" питания относительно тихий, он может оказаться вполне пригодным для питания аналоговых схем, но будьте очень внимательны.

В некоторых случаях не представляется возможным подключить вывод V_D к источнику питания аналоговой части. Некоторые из новейших высокоскоростных ИС могут быть рассчитаны на работу аналоговой части при напряжении питания 5 В, в то время как цифровая часть питается от источника +3 В для того, чтобы быть совместимым с 3-вольтовой логикой. В этом случае вывод питания +3 В микросхемы должен быть развязан непосредственно на аналоговую заземляющую поверхность. Также будет благоразумно включить дроссель на ферритовой бусине последовательно с линией питания, которая подключена к выводу питания +3 В цифровой части ИС.

а

ТОЧКИ ЗАЗЕМЛЕНИЯ И РАЗВЯЗКИ

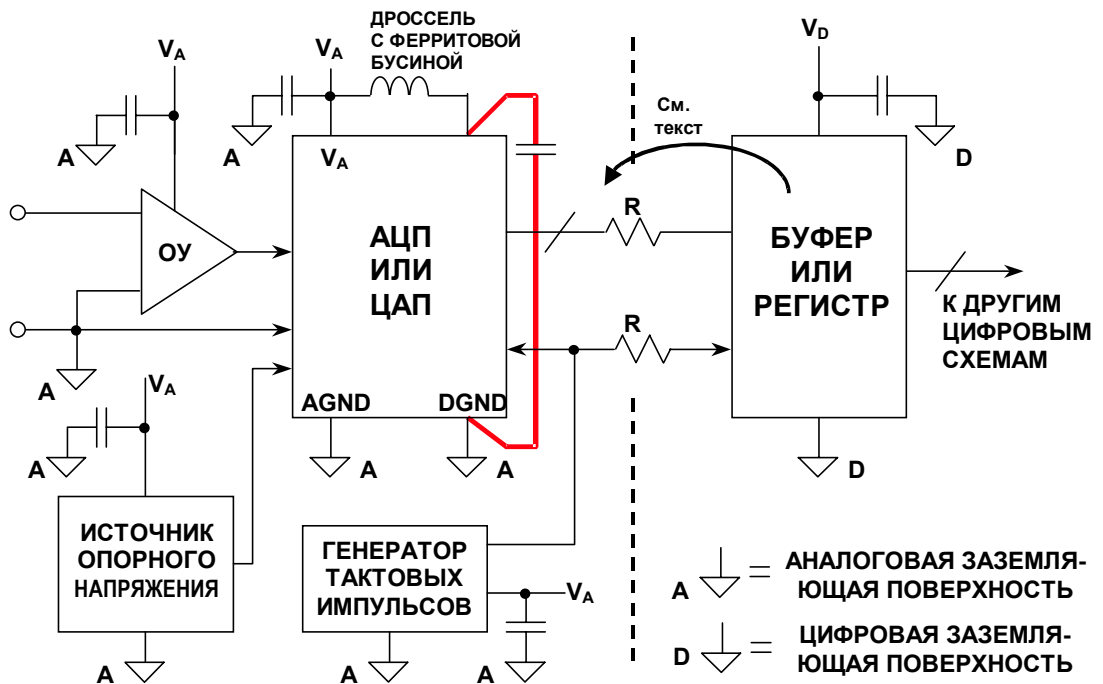


Рис. 10.18

Схема генератора тактовых импульсов должна рассматриваться как аналоговая схема также должна быть заземлена и тщательно разведена на аналоговой заземляющей поверхности. Фазовый шум генератора тактовых импульсов приводит к ухудшению отношения сигнал/шум (SNR) системы, как будет вкратце рассмотрено ниже.

О ГЕНЕРАТОРЕ ТАКОВЫХ ИМПУЛЬСОВ

В высокопроизводительных системах дискретизации для генерации тактовых импульсов преобразования АЦП (или ЦАП) необходимо использовать кварцевый генератор с низким фазовым шумом, т.к. фазовый шум (jitter) тактового генератора модулирует аналоговый входной/выходной сигнал и увеличивает уровень шума и искажений. Генератор тактовых импульсов должен быть изолирован от шумных цифровых цепей и заземлен и развязан на аналоговой заземляющей поверхности, точно так же как операционные усилители и АЦП.

Действие фазового шума тактового генератора на отношение сигнал/шум (SNR) аналогово-цифрового преобразователя выражается следующей приближительной формулой:

$$SNR = 20 \cdot \log_{10} \left[\frac{1}{2\pi f t_j} \right]$$

где SNR – это отношение сигнал/шум идеального АЦП с бесконечным разрешением, в котором единственным источником шума является шум, вызванный фазовым шумом тактового генератора со среднеквадратичным значением t_j . Обратите внимание, что f в приведенном уравнении означает частоту аналогового входного сигнала. Приведем простой пример. Пусть среднеквадратичное значение $t_j = 50$ пс, $f = 100$ кГц, тогда

а

отношение сигнал/шум $SNR = 90 \text{ dB}$, что соответствует 15-разрядному динамическому диапазону.

Необходимо отметить, что t_j в приведенном уравнении – это корень из суммы квадратов величин фазового шума внешнего тактового генератора и фазового шума внутренних тактовых импульсов АЦП (называемого апертурным фазовым шумом). Однако в большинстве высокопроизводительных АЦП внутренний апертурный фазовый шум пренебрежимо мал по сравнению с фазовым шумом генератора тактовых импульсов.

Так как ухудшение соотношения сигнал/шум (SNR) в первую очередь связано с фазовым шумом внешнего тактового генератора, необходимо принять меры для того, чтобы генератор тактовых импульсов был насколько возможно малошумящим и имел наименьший из возможных фазовый шум. Это требует применения кварцевого генератора. Существует ряд производителей миниатюрных кварцевых генераторов с низким уровнем фазового шума (со среднеквадратичным значением менее 5 пс) и с КМОП-совместимым выходом. (Например, MF Electronics, 10 Commerce Dr., New Rochelle, NY 10801, Tel. 914-576-6570.)

В идеале кварцевый тактовый генератор должен находиться на аналоговой заземляющей поверхности в системе с отдельным заземлением. Однако это не всегда возможно по различным причинам. Во многих случаях тактовые импульсы преобразователя необходимо получить из более высокочастотных тактовых импульсов всей системы, которые генерируются на цифровой заземляющей поверхности. Затем эти импульсы должны идти от места их генерации на цифровой заземляющей поверхности к АЦП, находящемуся на аналоговой заземляющей поверхности. Шум между двумя заземляющими поверхностями добавляется непосредственно к тактовому сигналу и приводит к увеличению фазового шума. Этот фазовый шум может ухудшить соотношение сигнал/шум преобразователя, а также вызвать появление нежелательных гармоник. Данное явление иногда можно устранить, если передавать тактовые импульсы как дифференциальный сигнал с помощью либо небольшого высокочастотного трансформатора, как показано на рис. 10.19, либо с помощью быстродействующих интегральных микросхем дифференциального драйвера и приемника. Если используется активный дифференциальный драйвер и приемник, то они должны быть выполнены по технологии ECL, чтобы минимизировать фазовый шум. В системе с однополярным питанием +5 В микросхема ECL-логики может быть включена между шиной земли и питания +5 В (PECL), а сигнал с дифференциальных выходов преобразован для подачи на вход тактовых импульсов АЦП. В любом случае, изначальные тактовые импульсы должны быть генерированы с помощью кварцевого генератора с низким уровнем фазового шума.

а

ПЕРЕДАЧА ТАКТОВЫХ ИМПУЛЬСОВ С ЦИФРОВОЙ ЗАЗЕМЛЯЮЩЕЙ ПОВЕРХНОСТИ НА АНАЛОГОВУЮ

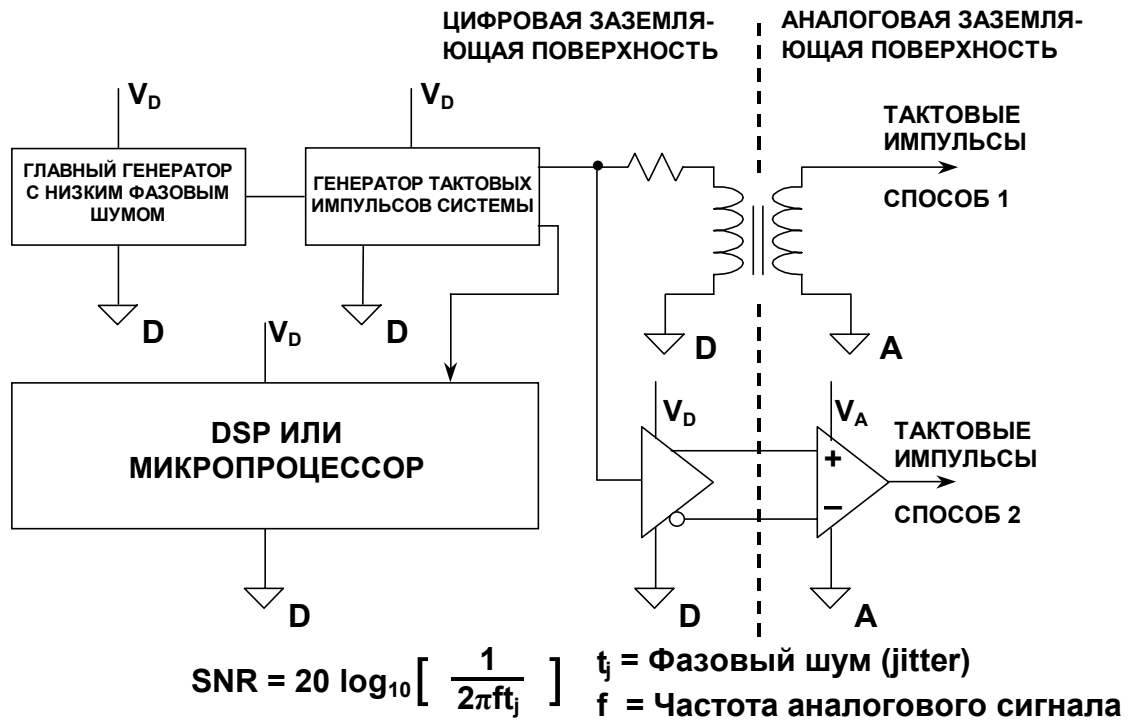


Рис. 10.19

ИСТОЧНИКИ НЕУДАЧ ПРИ ЗАЗЕМЛЕНИИ СИСТЕМЫ СО СМЕШАННЫМИ СИГНАЛАМИ: ПРИМЕНЕНИЕ ОДНОПЛАТНОЙ СХЕМЫ ЗАЗЕМЛЕНИЯ К МНОГОПЛАТНОЙ СИСТЕМЕ

В большинстве технических описаний АЦП, ЦАП и других устройств со смешанными сигналами речь идет о заземлении на единственной печатной плате, обычно оценочной плате, разработанной тем же производителем, что и данная микросхема. Использование этого подхода к многоплатным системам или к системам с несколькими АЦП/ЦАП часто является источником неудач. Обычно рекомендуется разделять заземляющую поверхность печатной платы на аналоговую и цифровую. Далее рекомендуется выводы AGND и DGND преобразователя соединить вместе и соединить аналоговую заземляющую поверхность с цифровой в этой же точке, как показано на рис. 10.20. Это, в сущности, создает в устройстве со смешанными сигналами систему заземления "звезда".

Все шумные цифровые токи протекают от источника "цифрового" питания к цифровой заземляющей поверхности и обратно к "цифровому" источнику, они изолированы от чувствительной аналоговой части платы. Система заземления "звезда" образуется, когда аналоговая и цифровая заземляющие поверхности соединены вместе в той точке, где находится устройство со смешанными сигналами. Хотя этот подход обычно работает в простой системе с одной печатной платой и одним АЦП/ЦАП, он не является оптимальным для многоплатных систем со смешанными сигналами. В системе, имеющей несколько АЦП или ЦАП на различных печатных платах (или на одной, если хотите), аналоговая и цифровая поверхности получают соединенными в нескольких точках, создавая возможность появления контуров заземления и делая систему заземления в одной точке "звездой" невозможной. По этим причинам такой подход к заземлению не

а

рекомендуется для многоплатных систем; для ИС со смешанными сигналами и небольшими цифровыми токами должен использоваться метод, обсужденный выше.

ЗАЗЕМЛЕНИЕ ИС СО СМЕШАННЫМИ СИГНАЛАМИ: ОДНОПЛАТНАЯ СИСТЕМА (ТИПИЧНАЯ ОЦЕНОЧНАЯ/ТЕСТОВАЯ ПЛАТА)

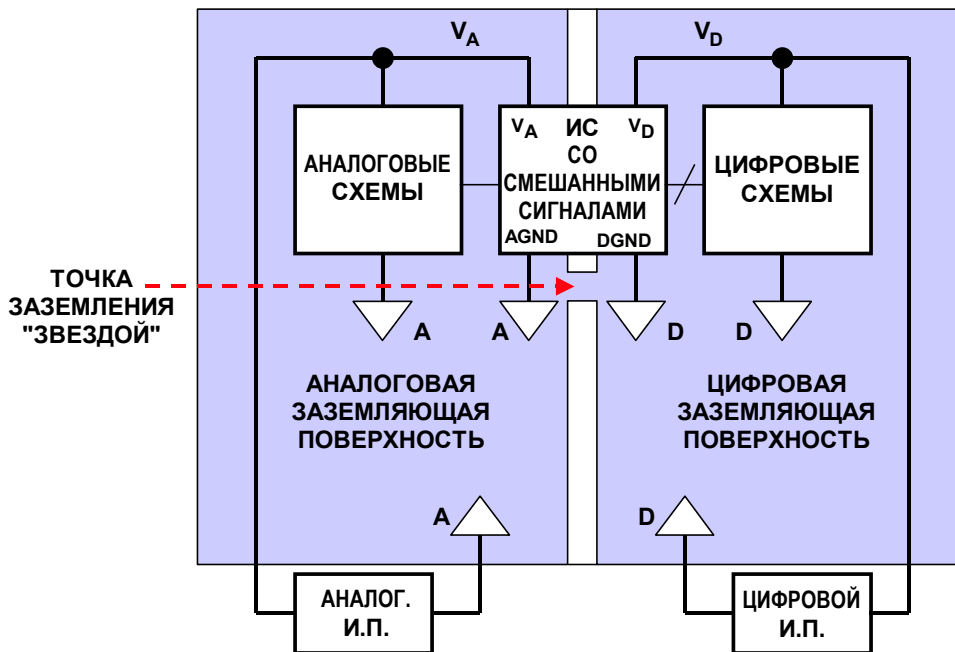


Рис. 10.20

ВЫВОДЫ: ЗАЗЕМЛЕНИЕ УСТРОЙСТВ СО СМЕШАННЫМИ СИГНАЛАМИ И МАЛЕНЬКИМИ ЦИФРОВЫМИ ТОКАМИ В МНОГОПЛАТНЫХ СИСТЕМАХ

Схема на рис. 10.21 обобщает ранее описанный подход к заземлению в устройствах со смешанными сигналами и небольшими цифровыми токами. На аналоговую заземляющую поверхность помехи не проникают, т.к. небольшие импульсные цифровые токи протекают по небольшому контуру между V_D , развязывающим конденсатором и DGND (показано жирной линией). Устройство со смешанными сигналами любого назначения рассматривается как аналоговый компонент. Шум V_N между заземляющими поверхностями уменьшает запас помехоустойчивости в цифровом интерфейсе, но обычно он не вреден, если поддерживать его на уровне менее 300 мВ с помощью низкоимпедансной цифровой заземляющей поверхности на всем пути к точке заземления системы "звездой".

Однако устройства со смешанными сигналами, такие как сигма-дельта АЦП, кодеки и DSP со встроенными аналоговыми функциями, становятся все более и более насыщенными цифровыми схемами. Вместе с дополнительными цифровыми схемами цифровые токи и шумы становятся больше. Например, сигма-дельта АЦП или ЦАП содержат сложный цифровой фильтр, который существенно увеличивает цифровой ток в устройстве. Метод, который был обсужден ранее, заключался в помещении развязывающего конденсатора между V_D и DGND с целью удерживать цифровые токи замкнутыми и изолированными в небольшом контуре. Однако если цифровые токи достаточно большие и имеют постоянную или низкочастотную составляющую, развязывающий конденсатор, возможно, должен будет иметь неприемлемо большую

а

емкость. Любой цифровой ток, который протекает вне контура между V_D и $DGND$, вынужден будет проходить через аналоговую заземляющую поверхность. Это может отрицательно повлиять на работу системы, особенно в системах с высоким разрешением.

ЗАЗЕМЛЕНИЕ ИС СО СМЕШАННЫМИ СИГНАЛАМИ С НЕБОЛЬШИМИ ВНУТРЕННИМИ ЦИФРОВЫМИ ТОКАМИ: МНОГОПЛАТНАЯ СИСТЕМА

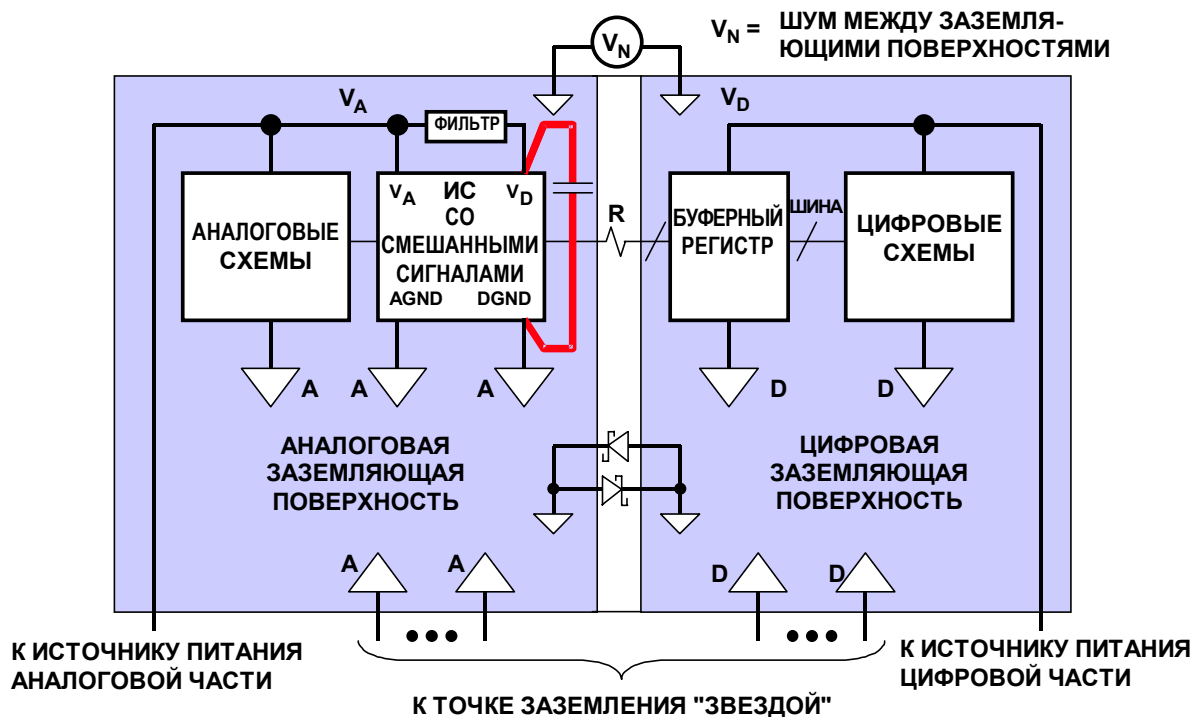


Рис. 10.21

Трудно заранее сказать, какая величина цифрового тока, текущего по аналоговой заземляющей поверхности, будет неприемлема для системы. Все, что мы можем сделать в связи с этим – это предложить альтернативный метод заземления, который, возможно, обеспечит лучшую производительность.

Выводы: ЗАЗЕМЛЕНИЕ УСТРОЙСТВ СО СМЕШАННЫМИ СИГНАЛАМИ С БОЛЬШИМИ ЦИФРОВЫМИ ТОКАМИ В МНОГОПЛАТНОЙ СИСТЕМЕ

Альтернативный метод заземления для устройств со смешанными сигналами и большими цифровыми токами показан на рис. 10.22. Вывод $AGND$ устройства со смешанными сигналами связывается с аналоговой заземляющей поверхностью, а вывод $DGND$ этого устройства связывается с цифровой заземляющей поверхностью. Цифровые токи изолированы от аналоговой заземляющей поверхности, но шум между двумя заземляющими поверхностями прикладывается прямо между выводами $AGND$ и $DGND$ устройства. Чтобы этот метод был успешным, аналоговые и цифровые схемы в устройстве со смешанными сигналами должны быть хорошо изолированы. Шум между выводами $AGND$ и $DGND$ не должен быть настолько большим, чтобы уменьшить запас помехоустойчивости или вызвать нарушение работы внутренних аналоговых схем.

а

ЗАЗЕМЛЕНИЕ ИС СО СМЕШАННЫМИ СИГНАЛАМИ С НЕБОЛЬШИМИ ВНУТРЕННИМИ ЦИФРОВЫМИ ТОКАМИ: МНОГОПЛАТНАЯ СИСТЕМА

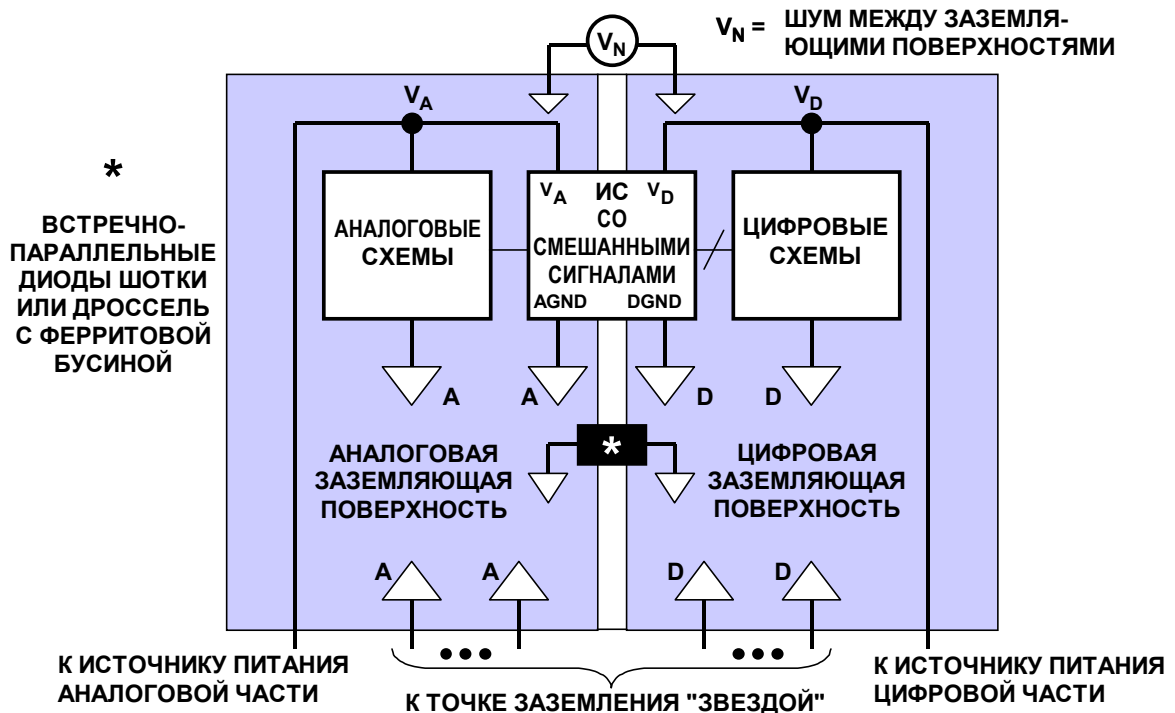


Рис. 10.22

На рис.10.22 показано место возможного включения встречно-параллельных диодов Шоттки или дросселя на ферритовой бусине для соединения аналоговой и цифровой заземляющих поверхностей. Диоды Шоттки предотвращают появление больших постоянных напряжений или низкочастотных выбросов напряжения между двумя поверхностями. Эти напряжения могут даже повредить ИС со смешанными сигналами, если они превысят 300 мВ, потому что они появляются непосредственно между выводами AGND и DGND. Как альтернатива диодам Шоттки дроссель на ферритовой бусинке обеспечивает связь по постоянному току между этими двумя поверхностями, но изолирует их на частотах выше нескольких мегагерц, на которых дроссель-бусинка обретает импеданс. Это защищает ИС от появления постоянного напряжения между выводами AGND и DGND, но связь по постоянному току, обеспечиваемая соединением с ферритовой бусинкой, может привести к появлению нежелательного контура заземления по постоянному току, что может быть неприемлемо для систем высокого разрешения.

ЗАЗЕМЛЕНИЕ ЦИФРОВЫХ ПРОЦЕССОРОВ ОБРАБОТКИ СИГНАЛОВ (DSP) С ВНУТРЕННИМИ СИСТЕМАМИ ФАПЧ

Как и при рассмотрении ИС со смешанными сигналами, где просто заземления AGND и DGND было недостаточно, новые процессоры цифровой обработки сигналов (DSP), такие как ADSP-21160 SHARC со встроенной системой ФАПЧ, увеличивают требования к проектированию заземления. Система ФАПЧ ADSP-21160 позволяет внутреннему генератору ядра (определяющему время выполнения инструкций) работать на частоте в 2, 3 или 4 раза (по выбору) превышающей частоту внешнего генератора CLKIN. CLKIN –

а

это частота, на которой работают синхронные внешние порты. Хотя это позволяет использовать внешний генератор более низкой частоты, нужно быть внимательным при соединении питания и заземления с внутренней системой ФАПЧ, как показано на рис.10.23.

ЗАЗЕМЛЕНИЕ DSP СО ВСТРОЕННОЙ СИСТЕМОЙ ФАЗОВОЙ АВТОПОДСТРОЙКИ ЧАСТОТЫ (ФАПЧ)

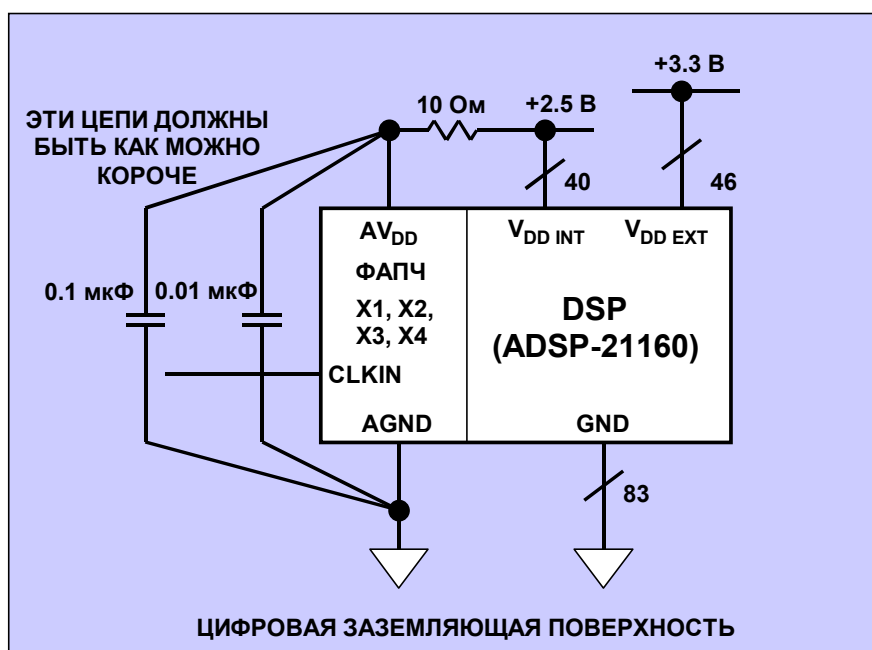


Рис. 10.23

Для предотвращения внутреннего влияния цифровых токов на систему ФАПЧ соединения ФАПЧ с питанием и заземлением производятся отдельно на выводах, отмеченных AV_{DD} и $AGND$ соответственно. Питание $AV_{DD} + 2.5$ В должно получаться от питания $V_{DD INT} + 2.5$ В при помощи фильтрующей цепочки, как показано. Это обеспечивает сравнительно бесшумное питание внутренней системы ФАПЧ. Вывод $AGND$ системы ФАПЧ должен быть соединен с цифровой заземляющей поверхностью печатной платы кратчайшим путем. Развязывающие конденсаторы должны быть помещены также на минимальном расстоянии между выводами AV_{DD} и $AGND$.

ВЫВОДЫ ПО ЗАЗЕМЛЕНИЮ

Не существует единого метода заземления, гарантирующего 100% оптимальную работу в любом случае. В этом разделе было представлено несколько возможных вариантов, в зависимости от требуемых характеристик отдельных устройств со смешанными сигналами. Они все применимы, однако предусматривают много возможных вариантов разводки печатной платы.

Обязательно хотя бы один слой платы должен быть отведен под заземляющую поверхность! Предварительное размещение компонентов нужно делать так, чтобы обеспечивать непересекающиеся аналоговую и цифровую поверхности, а в нескольких местах должны быть предусмотрены контактные площадки и межслойные переходы для

а

установки встречно-параллельных диодов Шоттки или дросселей с ферритовыми бусинками, если потребуется. Также должны быть предусмотрены контактные площадки и межслойные переходы, чтобы аналоговая и цифровая поверхности могли быть связаны вместе перемычкой если потребуется.

Выводы AGND устройств со смешанными сигналами обычно должны быть соединены с аналоговой заземляющей поверхностью. Исключение из этого правила – цифровые процессоры обработки сигналов (DSP), такие как ADSP-21160 SHARC, в которых имеются внутренние системы фазовой автоподстройки частоты (ФАПЧ). Вывод заземления ФАПЧ отмечен как AGND, но должен быть соединен напрямую с цифровой заземляющей поверхностью для DSP.

КРАТКАЯ ФИЛОСОФИЯ ЗАЗЕМЛЕНИЯ

- **Не существует единого метода заземления, который гарантировал бы 100% результат во всех случаях!**
- **Одного и того же результата можно добиться различными методами.**
- **Хотя бы один слой на каждой плате ДОЛЖЕН быть отведен под заземляющую поверхность!**
- **Делайте предварительную компоновку так, чтобы аналоговая и цифровая заземляющие поверхности были разделены.**
- **Предусмотрите на плате контактные площадки и межслойные переходы для встречно-параллельных диодов Шоттки или, возможно, дросселей с ферритовыми бусинками для соединения заземляющих поверхностей друг с другом.**
- **Предусмотрите устанавливаемые перемычки таким образом, чтобы выводы DGND устройств со смешанными сигналами могли быть связаны с выводами AGND (с аналоговой заземляющей поверхностью) или с цифровой заземляющей поверхностью. (AGND ФАПЧ в DSP должны быть связаны с цифровой заземляющей поверхностью).**
- **Обеспечьте контактные площадки и межслойные переходы для устанавливаемых перемычек таким образом, чтобы аналоговые и цифровые заземляющие поверхности могли быть соединены вместе в нескольких точках на каждой плате.**
- **Следуйте рекомендациям технических описаний по устройствам со смешанными сигналами.**

Рис. 10.24

а

НЕКОТОРЫЕ ОБЩИЕ ПРАВИЛА КОМПОНОВКИ ПЛАТЫ ДЛЯ СИСТЕМ СО СМЕШАННЫМИ СИГНАЛАМИ

Очевидно, что шум может быть минимизирован при тщательной компоновке устройства и при минимизации влияния различных сигналов друг на друга. Аналоговые сигналы высокого и низкого уровней должны быть разделены, и те и другие должны размещаться отдельно от цифровых сигналов. Часто бывает, что в системах с преобразованием сигнала в цифровую форму и обратно сигнал тактовых импульсов (являющийся цифровым сигналом) так же чувствителен к шуму, как любой аналоговый сигнал, но он в то же время способен создавать шум, как и любой цифровой сигнал, поэтому должен быть изолирован как от аналоговых, так и от цифровых систем. Если для выработки тактовых импульсов используется ИС, то только одна частота должна вырабатываться одной ИС. Совмещение тактовых генераторов различной частоты в одной ИС приведет к появлению дополнительного фазового шума и взаимных помех и ухудшит производительность системы.

Заземляющая поверхность может работать как экран, где пересекаются чувствительные сигналы. На рисунке 10.25 показана хорошая компоновка платы сбора данных, где все чувствительные области изолированы друг от друга и пути сигналов укорочены насколько возможно. В тех редких случаях, когда в реальности все так же идеально, этот принцип действует.

АНАЛОГОВЫЕ И ЦИФРОВЫЕ СХЕМЫ ДОЛЖНЫ РАСПОЛАГАТЬСЯ НА ПЕЧАТНОЙ ПЛАТЕ РАЗДЕЛЬНО

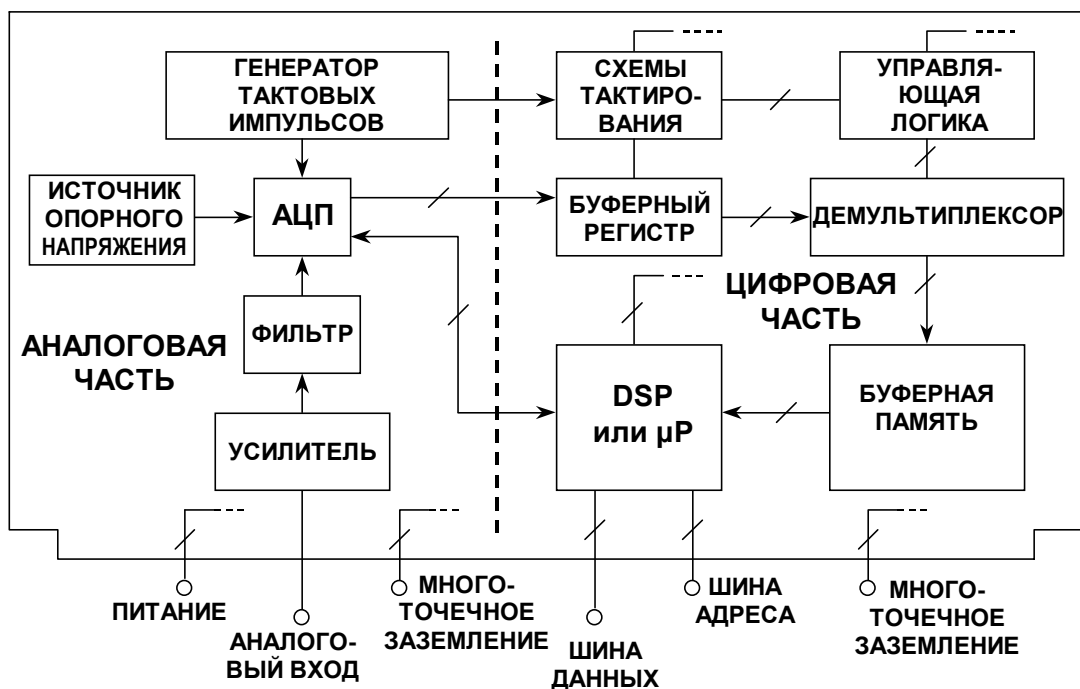


Рис. 10.25

а

Существует ряд важных точек, на которые надо обратить внимание при выполнении соединений питания и сигналов. Во первых, разъем – это одно из мест в системе, где все сигнальные провода должны идти параллельно – значит нужно обязательно перемежать их с проводами заземления (создать электростатический экран), чтобы уменьшить взаимодействие между ними.

Множество выводов заземления важно по еще одной причине: они обеспечивают низкое сопротивление заземления в соединении платы устройства с остальной схемой. Контактное сопротивление одного вывода соединителя печатной платы достаточно низкое (порядка 10 мОм) когда плата новая, когда же плата стареет, сопротивление контактов может увеличиться, и работа платы может быть нарушена. Поэтому очень рекомендуется использовать дополнительные контакты разъема печатной платы так, чтобы было достаточно много соединений заземления (хотя бы 30-40% от всех контактов разъема печатной платы должны быть контактами заземления). По тем же причинам должно быть несколько контактов для каждого соединения питания, хотя, конечно, не так много, как контактов заземления.

Изготовители высокопроизводительных ИС со смешанными сигналами, такие как Analog Devices, предлагают оценочные платы для того, чтобы помочь заказчикам в их предварительных разработках и компоновке. Оценочные платы АЦП обычно содержат генератор тактовых импульсов с низким фазовым шумом, выходные регистры и необходимые соединения питания и сигналов. Они также могут содержать дополнительные вспомогательные схемы, такие как входной буферный усилитель и внешний источник опорного напряжения.

Компоновка оценочной платы оптимизируется по условиям заземления, развязки и разводки сигналов, и может служить образцом при компоновке платы АЦП в устройстве. Обычно получить разводку такой оценочной платы можно у производителя АЦП в формате САПР (Gerber). Во многих случаях разводка различных слоев показана в технической документации на устройство.

a

СПИСОК ЛИТЕРАТУРЫ ПО ЗАЗЕМЛЕНИЮ:

1. William C. Rempfer, *Get All the Fast ADC Bits You Pay For*, **Electronic Design, Special Analog Issue**, June 24, 1996, p.44.
2. Mark Sauerwald, *Keeping Analog Signals Pure in a Hostile Digital World*, **Electronic Design, Special Analog Issue**, June 24, 1996, p.57.
3. Jerald Grame and Bonnie Baker, *Design Equations Help Optimize Supply Bypassing for Op Amps*, **Electronic Design, Special Analog Issue**, June 24, 1996, p.9.
4. Jerald Grame and Bonnie Baker, *Fast Op Amps Demand More Than a Single-Capacitor Bypass*, **Electronic Design, Special Analog Issue**, November 18, 1996, p.9.
5. Walt Kester and James Bryant, *Grounding in High Speed Systems*, **High Speed Design Techniques**, Analog Devices, 1996, Chapter 7, p. 7-27.
6. Jeffrey S. Pattavina, *Bypassing PC Boards: Thumb Your Nose at Rules of Thumb*, **EDN**, Oct. 22, 1998, p.149.
7. Henry Ott, **Noise Reduction Techniques in Electronic Systems, Second Edition**, New York, John Wiley and Sons, 1988.
8. Howard W. Johnson and Martin Graham, **High-Speed Digital Design**, PTR Prentice Hall, 1993.
9. Paul Brokaw, *An I.C. Amplifier User's Guide to Decoupling, Grounding and Making Things Go Right for a Change*, Application Note, Analog Devices, Inc., <http://www.analog.com>.
10. Walt Kester, *A Grounding Philosophy for Mixed-Signal Systems*, **Electronic Design Analog Applications Issue**, June 23, 1997, p. 29.
11. Ralph Morrison, **Grounding and Shielding Techniques**, Fourth Edition, John Wiley, 1998.
12. Ralph Morrison, **Solving Interference Problems in Electronics**, John Wiley, 1995.
13. C. D. Motchenbacher and J. A. Connelly, **Low Noise Electronic System Design**, John Wiley, 1993.
14. Crystal Oscillators: MF Electronics, 10 Commerce Drive, New Rochelle, NY, 10801, 914-576-6570.
15. Mark Montrose, **EMC and the Printed Circuit Board**, IEEE Press, 1999 (IEEE Order Number PC5756).

а

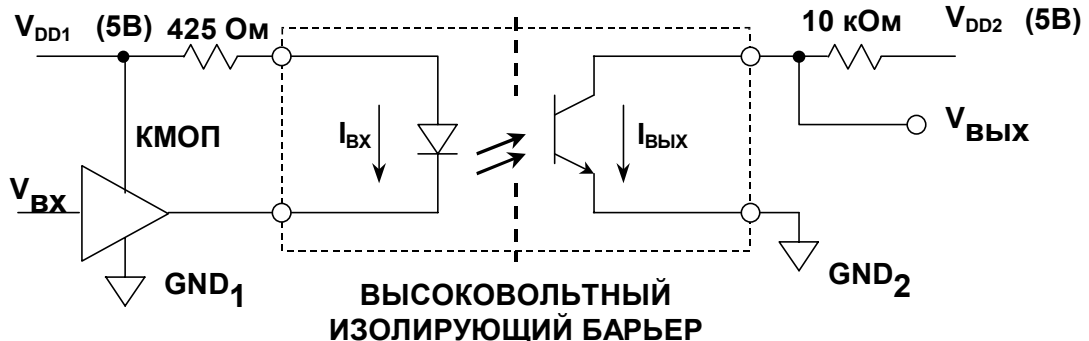
МЕТОДЫ ИЗОЛЯЦИИ ЦИФРОВЫХ СИГНАЛОВ

Уолт Кестер

Одним из средств размыкания паразитных контуров заземления является использование изолирующих методов. Аналоговые изолирующие усилители часто находят применение там, где требуется высокая степень изоляции, например, в медицинском оборудовании. Методы цифровой изоляции обеспечивают надежный способ передачи цифрового сигнала через интерфейс, не вызывающий помех на заземлении.

Оптопары (также называемые оптроны) используются весьма широко и выпускаются различных видов и в различных корпусах. Типичная оптопара, содержащая светодиод (LED) и фототранзистор показана на рис.10.26. Ток величиной приблизительно 10 мА течет через светодиодный излучатель; излучаемый свет принимается фототранзистором. Света, производимого светодиодом, достаточно, чтобы привести фототранзистор в состояние насыщения. Обычно обеспечивается изоляция на напряжение до 5000–7000 В. Хотя оптопары прекрасно подходят к цифровым сигналам, они слишком нелинейны для большинства аналоговых применений. Кроме того, необходимо понимать, что т.к. фототранзистор работает в режиме насыщения, время нарастания и спада может быть порядка 10-20 мкс в медленных оптопарах, таким образом их применение на высоких скоростях ограничено.

ИЗОЛЯЦИЯ ЦИФРОВОГО СИГНАЛА С ПОМОЩЬЮ СВЕТОДИОДНО-ТРАНЗИСТОРНОЙ ОПТОПАРЫ



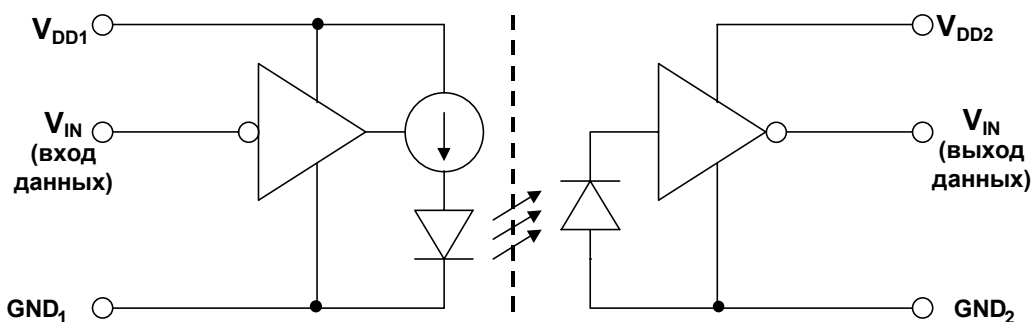
- Для передачи сигнала через высоковольтный барьер используется свет
- Излучателем является светодиод, а приемником – фототранзистор
- Изоляция рассчитана на высокое напряжение: от 5000 В до 7000 В
- Устройство нелинейно – подходит для цифрового или частотного сигнала
- Время нарастания и спада в медленных оптопарах может составлять 10-20 мкс
- Пример: Siemens ILQ-1 Quad (<http://www.siemens.com>)

Рис.10.26

а

Более быстродействующая архитектура показана на рис. 10.27, она основана на применении светодиода (LED) и фотодиода. LED и здесь управляется током величиной приблизительно 10 мА. Это обеспечивает выход света, генерирующий ток в получающем фотодиоде, достаточный для образования достоверно высокого логического уровня на выходе усилителя. Скорость может сильно отличаться у различных оптопар, самые быстрые обычно имеют типичную задержку на прохождение 20 нс (максимум 40 нс) и могут обеспечивать скорость данных до 25 МВд. Это соответствует рабочей частоте 12.5 МГц для прямоугольных колебаний и длительности минимально возможного проходящего импульса 40 нс.

ИЗОЛЯЦИЯ ЦИФРОВОГО СИГНАЛА С ПОМОЩЬЮ СВЕТОДИОДНО-ФОТОДИОДНОЙ ОПТОПАРЫ



- Напряжение питания +5 В
- Допустимое напряжение между входом и выходом 2500 В
- Частота цифрового сигнала: максимум 12.5 МГц
- Максимальная скорость данных 25 МВд
- Максимальная задержка на прохождение 40 нс
- Типичное время нарастания/спада 9 нс
- Пример: Agilent HCPL-7720
- (<http://www.semiconductor.agilent.com>)

Рис.10.27

Микросхемы ADuM1100A и ADuM1100B – это цифровые изоляторы, работа которых основана на технологии изоляции Analog Devices μ mIsolation™. Сочетая в себе высокоскоростную КМОП-схему и монолитный трансформатор без сердечника, эти изолирующие компоненты обеспечивают более высокие рабочие характеристики, чем обычные оптопары, описанные выше.

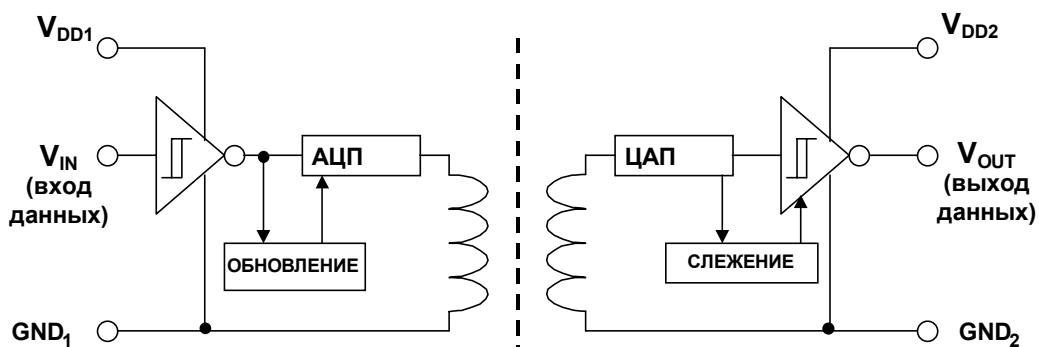
ИС ADuM1100A и ADuM1100B, выпускающиеся совместимыми по выводам с существующими высокоскоростными оптопарами для обеспечения возможной замены, поддерживают скорость данных 25 МВд и 100 МВд соответственно. Функциональная схема этих устройств показана на рис. 10.28.

ADuM1100A и ADuM1100B работают при напряжении питания либо 3.3 В, либо 5 В, имеют задержку на прохождение меньше 10 нс, асимметрию фронта импульса меньше

а

2 нс, время нарастания/спада меньше 2 нс. Они работают при очень низком энергопотреблении, ток покоя составляет менее 600 мкА (сумма с излучающей и приемной сторон) и динамическом токе менее 230 мкА на 1 МВд скорости передачи данных. В отличие от обычного трансформатора эти устройства обеспечивают корректную передачу постоянного тока с помощью патентованной схемы обновления, которая постоянно корректирует выходной сигнал.

ЦИФРОВЫЕ ИЗОЛЯТОРЫ ADuM1100A/ADuM1100B



- Напряжение питания +5 В/+3.3 В
- Допустимое напряжение между входом и выходом 2500 В
- Максимальная скорость данных 25 МВд (ADuM1100A)
- Максимальная скорость данных 100 МВд (ADuM1100B)
- Максимальная задержка на прохождение 10 нс
- Типичное время нарастания/спада 2 нс
- Совместимость по выводам с наиболее популярными оптопарами

Рис.10.28

Микросхемы цифровых изоляторов семейства AD260/AD261 могут пропускать пять цифровых сигналов от/к высокоскоростным процессорам обработки сигналов (DSP), микроконтроллерам или микропроцессорам. Микросхема AD260, кроме того, содержит 1.5-ваттный трансформатор для внешней схемы преобразования постоянного тока; изоляция трансформатора рассчитана на 3.5 кВ.

Каждый канал AD260 может передавать цифровые сигналы с частотой до 20 МГц (40 МВд) с задержкой распространения всего 14 нс, что обеспечивает очень высокую скорость передачи данных. Симметрия выходных импульсов обеспечивается в пределах ± 1 нс относительно входных, так что ИС AD260 может быть использована для изоляции сигнала широтно-импульсного модулятора (ШИМ).

Упрощенная схема одного канала ИС AD260/AD261 показана на рис.10.29. Входной сигнал проходит через триггер Шмитта, через D-триггер ("защелку") и специальную преобразующую схему, которая дифференцирует фронты цифрового входного сигнала и управляет первичной обмоткой соответствующего трансформатора сигналом "установить высокий/установить низкий". Вторичная обмотка изолирующего

а

трансформатора управляет приемником с помощью того же сигнала "установить высокий/установить низкий", а приемник восстанавливает исходную форму логического сигнала. Внутренняя схема опрашивает все входы приблизительно каждые 5 мкс и при отсутствии изменений логических уровней передает соответствующие сигналы "установить высокий/установить низкий" через интерфейс. Таким образом, время восстановления из состояния сбоя или при включении питания составляет 5-10 мкс.

Трансформатор питания (присутствующий в ИС AD260) спроектирован для работы на частотах 150-250 кГц и без труда обеспечивает изолированное питание мощностью более 1 Вт при подключении к мостовой схеме (работающей при напряжении питания 5 В) на стороне передатчика. Различные отводы трансформатора, выпрямитель и схемы стабилизаторов обеспечивают комбинацию напряжений ± 5 , 15, 24 В или даже 30 В и выше. Если трансформатор управляется 5-вольтовой мостовой схемой с низким падением напряжения, то на всей вторичной обмотке размах напряжения будет составлять 37 В от пика до пика.

ЦИФРОВЫЕ ИЗОЛЯТОРЫ AD260/AD261

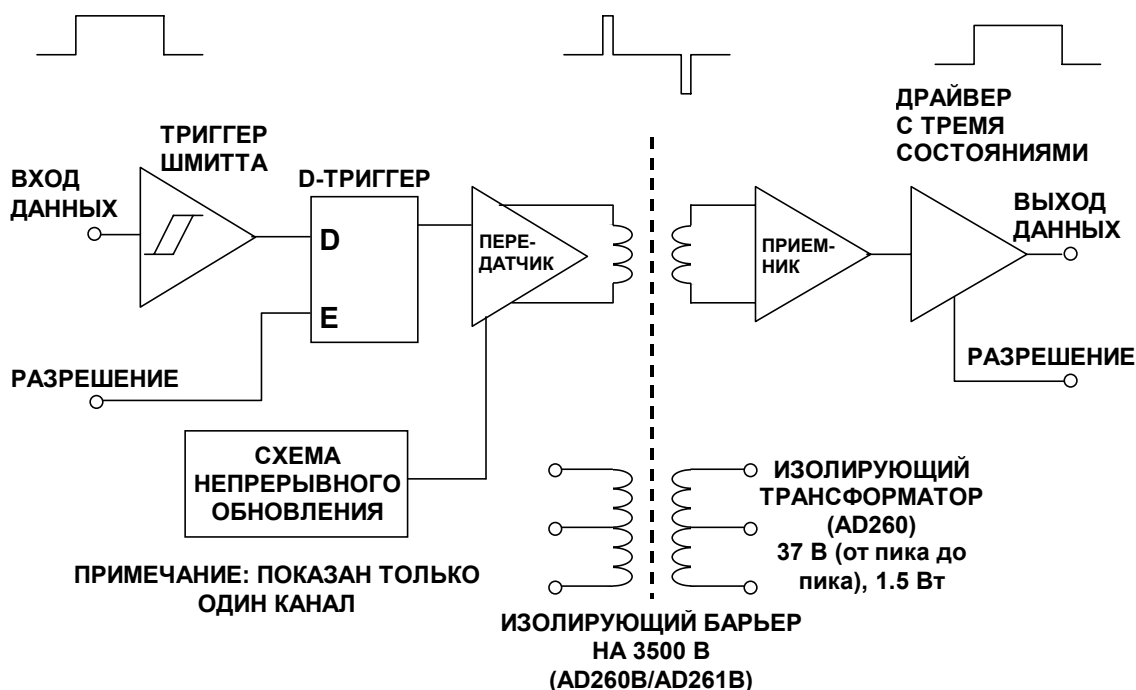


Рис. 10.29

а

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ ЦИФРОВЫХ ИЗОЛЯТОРОВ AD260/AD261

- Изоляция испытана на напряжение 3500 В (AD260B/AD261B)
- 5 изолированных цифровых линий в 6 конфигурациях входов/выходов
- Частота логического сигнала: 20 МГц макс
- Скорость передачи данных: 40 MBd макс
- Изолированный трансформатор питания: 37 в р-р, 1.5 Вт (AD260)
- Симметрия волны при передаче сигнала: ± 1 нс
- Задержка распространения: 14 нс
- Время нарастания/спада меньше 5 нс

Рис 10.30

СНИЖЕНИЕ ШУМОВ И ФИЛЬТРАЦИЯ НАПРЯЖЕНИЯ ИСТОЧНИКА ПИТАНИЯ

Уолт Джанг, Уолт Кестер, Билл Честнат

Прецизионные аналоговые схемы обычно питаются от источника с хорошим линейным стабилизатором с низким уровнем шума. Однако за последние 10 лет в электронных схемах стали гораздо чаще использоваться импульсные источники (ИИП), и как следствие, они стали использоваться также для питания аналоговых схем. Причины их популярности – высокий КПД, малое повышение температуры, небольшой размер и вес.

Несмотря на эти преимущества, ИИП имеют отрицательные стороны, и самое главное – большой уровень помех на выходе. Эти помехи обычно занимают широкую полосу частот, проявляются в проводимых и излучаемых шумах, а также в нежелательных электрических и магнитных полях. Напряжение выходного шума ИИП представляет собой короткие импульсы или пики напряжения. Хотя значение частоты переключения лежит в пределах 20 кГц-1 МГц, выбросы могут содержать частотные компоненты, достигающие 100 МГц и выше. В спецификации на ИИП обычно указано значение среднеквадратичного напряжения шума, но как потребитель вы должны также знать амплитуду выбросов при определенной нагрузке, соответствующей вашей системе.

В данной главе рассматриваются приемы фильтрации постоянного напряжения со сравнительно небольшими потерями для доведения качества напряжения на выходе ИИП до уровня *пригодного для аналоговых устройств*, то есть достаточно "тихого" для прецизионных аналоговых схем. Рассмотренные схемные решения фильтров обычно подходят для всех типов источников питания, использующих импульсные элементы в тракте питания. Это относится и к различным преобразователям постоянного напряжения (DC-DC), и к распространенным источникам питания на напряжение 5 В (компьютерным).

Чтобы понять, как шум источника питания действует на аналоговые схемы и системы, необходимо понимание процессов электромагнитного взаимодействия. В каждом случае,

а

связанном с помехами, имеется свой *источник, путь и место воздействия* (Приложение 1). В целом, существуют 3 метода борьбы с помехами. Во-первых, излучение источника может быть уменьшено с помощью надлежащей разводки, управления временем нарастания импульса, фильтрации и грамотного заземления. Во-вторых, пути проведения и излучения должны быть устранены посредством физического разделения и экранирования. В-третьих, помехоустойчивость объекта воздействия может быть улучшена благодаря фильтрации сигналов и напряжения питания, контролю уровня импеданса, балансу импеданса и использованию дифференциальных технологий для подавления нежелательных синфазных сигналов. Этот раздел посвящен уменьшению уровня шума питания посредством внешних дополнительных фильтров.

Средства, применяемые для борьбы с высокочастотными шумами ИИП, перечислены на рис. 10.31. Они различаются по электрическим характеристикам, а также по их эффективности по части уменьшения шума, и перечислены приблизительно в порядке предпочтения. Из этих средств катушки индуктивности и конденсаторы и являются наиболее действенными фильтрующими элементами, они наиболее выгодны по соотношению цена/эффективность, а также невелики по размеру.

СРЕДСТВА Понижения ШУМА ИМПУЛЬСНОГО СТАБИЛИЗАТОРА

- **Конденсаторы**
- **Катушки индуктивности**
- **Дроссели с ферритовыми бусинами**
- **Резисторы**
- **Линейный пост-стабилизатор**
- **Надлежащее размещение и заземление**
- **Физическое разделение с чувствительными аналоговыми схемами**

Рис 10.31

Конденсаторы, пожалуй, самые важные компоненты фильтра для ИИП. Существует много различных типов конденсаторов, и совершенно необходимо разбираться во всех их характеристиках для того, чтобы сконструировать на практике хороший фильтр питания. Существует три больших класса конденсаторов, используемых в фильтрах на частотах 10 кГц-100 МГц, различающихся по типу диэлектрика: *электролитические, пленочные органические* и *керамические*. Эти типы могут в свою очередь делиться на подклассы. Кратко основные характеристики конденсаторов приведен в таблице на рис.10.32

а

ТИПЫ КОНДЕНСАТОРОВ

| | Алюминиевые электролитические (общего применения) | Алюминиевые электролитические (для импульсных схем) | Танталовые электролитические | OS-CON электролитические | Полиэстеровые (в виде пачки) | Керамический (многослойный) |
|--|---|---|------------------------------|----------------------------|------------------------------|-----------------------------|
| Емкость | 100 мкФ | 120 мкФ | 120 мкФ | 100 мкФ | 1 мкФ | 0.1 мкФ |
| Рабочее напряжение | 25 В | 25 В | 20 В | 20 В | 400 В | 50 В |
| Эквивалентное последовательное сопротивление (ESR) | 0.6 Ом на частоте 100 кГц | 0.18 Ом на частоте 100 кГц | 0.12 Ом на частоте 100 кГц | 0.02 Ом на частоте 100 кГц | 0.11 Ом на частоте 1 МГц | 0.12 Ом на частоте 1 МГц |
| Рабочая частота (*) | ≈ 100 кГц | ≈ 500 кГц | ≈ 1 МГц | ≈ 1 МГц | ≈ 10 МГц | ≈ 1 ГГц |

(*) Максимальная рабочая частота сильно зависит от емкости и конструкции конденсатора

Рис.10.32

Какой бы диэлектрик не применялся, основная составляющая потеря в конденсаторе выражается через эквивалентное последовательное сопротивление (ESR), это – суммарное паразитное сопротивление конденсатора. ESR ограничивает эффективность фильтра и требует особого внимания, т.к. в некоторых типах конденсаторов ESR может изменяться в зависимости от частоты и температуры. Другая составляющая, понижающая качество конденсатора, – эквивалентная последовательная индуктивность (ESL). Индуктивностью ESL определяется частота, на которой полная характеристика импеданса конденсатора переходит от емкостной к индуктивной. Эта частота разная – от 10 кГц в некоторых электролитических конденсаторах до 100 МГц или даже больше в керамических конденсаторах для поверхностного монтажа (SMD). ESR и ESL минимизированы в безвыводных компонентах. Все упомянутые типы конденсаторов доступны в исполнении для поверхностного монтажа (SMD), которое предпочтительно для высокоскоростных устройств.

Конденсаторы из семейства электролитических являются прекрасным, эффективным по стоимости низкочастотным компонентом фильтра по причине широкого диапазона значений емкости, большого отношения емкости к объему и широкому диапазону рабочих напряжений. В семейство входит алюминиевый электролитический конденсатор общего применения, который работает при напряжении от 10 В до 500 В, и имеет емкость от 1 до несколько тысяч мкФ. Все конденсаторы этого типа полярные и не могут выдерживать без повреждения более 1 В обратного напряжения. Они также имеют относительно большие токи утечки (до десятков мкА, этот параметр сильно зависит от особенностей конструкции).

В семейство электролитов входят танталовые конденсаторы, обычно рассчитанные на напряжение 100 В и ниже, с емкостью до 500 мкФ (Приложение 3). Танталовые конденсаторы имеют большее значение отношения емкости к объему, чем электролитические конденсаторы общего назначения, и имеют более высокий диапазон частот и низкое значение ESR. Обычно они дороже, чем стандартные электролитические конденсаторы, и должны использоваться с осторожностью, с учетом скорости нарастания и пульсаций тока.

а

Алюминиевые электролитические конденсаторы имеют подвид импульсных конденсаторов, который разработан для работы с большим импульсным током на частотах до нескольких сотен кГц и имеют небольшие потери. (Приложение 4). Конденсаторы этого типа конкурируют с танталовыми в высокочастотных фильтрах, имея преимущество в виде более широкого диапазона емкостей.

Более специализированные алюминиевые высокоэффективные конденсаторы типа OS-CON содержат органический полупроводниковый электролит (Приложение 5). Такие конденсаторы имеют значительно более низкое значение ESR и более широкий диапазон частот, чем другие электролитические конденсаторы, и к тому же у них имеется свойство – не слишком снижается значение ESR при низких температурах.

Пленочные конденсаторы имеют очень широкий диапазон значений емкости и разновидностей диэлектриков, в том числе полиэстер, поликарбонат, полипропилен и полистирол. Из-за малой диэлектрической проницаемости этих материалов размеры данных конденсаторов довольно велики; так, например, конденсатор с полиэстеровым диэлектриком на 10 мкФ/50 В имеет размер с ладонь. Металлизированные электроды (по сравнению с электродами из фольги) способствуют уменьшению размеров, но даже конденсаторы с самой высокой диэлектрической постоянной среди конденсаторов этого типа (полиэстер, поликарбонат) все же больше по размеру, чем любой электролитический, даже при использовании самой тонкой пленки с самым низким номинальным напряжением (50 В). Хотя пленочные конденсаторы имеют очень низкие диэлектрические потери, этот фактор не обязательно является преимуществом на практике для фильтра ИИП. Например, ESR в пленочных конденсаторах может быть даже менее 10 мОм, и их свойства в том, что касается добротности, очень хорошие. Но на практике это может вызвать нежелательные резонансные явления в фильтрах, там, где требуется затухание.

Пленочные конденсаторы с конструкцией в виде многослойного рулона могут обладать индуктивностью. Это может уменьшить их эффективность при высокочастотной фильтрации. Разумеется, только неиндуктивные пленочные конденсаторы могут быть использованы в фильтрах ИИП. Один из специфических неиндуктивных типов конденсатора – это многослойный, где пластины конденсатора вырезаны как небольшие слоистые прямые кусочки из большого намотанного барабана, состоящего из слоев диэлектрика/проводника. Эта технология привлекательна низкой индуктивностью конденсаторов (см. Приложение 4,5,6). Очевидно, для лучшей эффективности на высокой частоте длина выводов должна быть минимальной. Также выпускаются конденсаторы с поликарбонатной пленкой, рассчитанные на высокие токи, специально разработанные для ИИП, с различными низкоиндуктивными выводами для уменьшения значения индуктивности ESL. (Приложение 7).

В зависимости от электрических параметров и физических размеров, пленочные конденсаторы могут применяться на частотах до 10 МГц и даже выше. На самых высоких частотах могут применяться только многослойные конденсаторы. Некоторые производители сейчас выпускают пленочные конденсаторы безвыводной конструкции для поверхностного монтажа (SMD), что устраняет проблему индуктивности выводов.

На частоте выше нескольких МГц обычно используют керамические конденсаторы из-за их компактных размеров, низких потерь и наличия номиналов до нескольких мкФ при использовании диэлектрика с высокой диэлектрической проницаемостью (X7R и Z5U), с номинальным напряжением до 200 В (см. серию керамических конденсаторов в приложении 3). В конденсаторах типа NP0 (также обозначаемых COG) используется диэлектрик с низкой диэлектрической проницаемостью, они имеют нулевой температурный коэффициент емкости (ТКЕ) плюс низкий коэффициент зависимости емкости от приложенного напряжения (по сравнению с менее стабильными конденсаторами с высоким значением диэлектрической проницаемости). Значения

а

емкостей конденсаторов типа NP0 ограничены величиной 0.1 мкФ и ниже, обычно на практике менее 0.01 мкФ.

Многослойные керамические "чипы-конденсаторы" очень популярны для развязки и фильтрации на частотах 10 МГц и выше, т.к. их очень низкая индуктивность обеспечивает почти оптимальное прохождение радиочастотных сигналов. Керамические чип-конденсаторы с меньшими значениями емкости имеют рабочий диапазон частот до 1 ГГц. Для применения на высоких частотах правильный выбор заключается в выборе конденсатора, который имеет собственную резонансную частоту *более высокую*, чем самая высокая частота, которая имеется в данной цепи.

Все конденсаторы имеют некоторое конечное значение эквивалентного последовательного сопротивления ESR. В некоторых случаях ESR может даже способствовать подавлению резонансных пиков в фильтрах, обеспечивая некоторое затухание. Например, для большинства электролитических конденсаторов область последовательного резонанса можно найти на графике зависимости импеданса от частоты. Это происходит там, где $|Z|$ падает до минимального уровня, почти равного ESR конденсатора на этой частоте. Данный низкодобротный резонанс может обычно покрывать относительно большой диапазон частот в несколько октав. По сравнению с очень высокодобротными острыми резонансными пиками пленочных и керамических конденсаторов, поведение электролитов может быть полезно при подавлении резонансных явлений.

В большинстве электролитических конденсаторов значение ESR заметно увеличивается при низких температурах, примерно в 4-6 раз при изменении температуры от комнатной до -55°C . В схемах, для которых значение ESR критично, это может вызвать сбой. Для решения этой проблемы существуют некоторые специальные типы электролитических конденсаторов, например у конденсаторов типа HFQ значение ESR на частоте 100 кГц при -10°C возрастает не более чем в 2 раза по сравнению со значением при комнатной температуре. Электролитические конденсаторы типа OSCON также имеют достаточно пологие характеристики зависимости ESR от температуры.

Как было замечено, все конденсаторы имеют паразитные свойства, которые ограничивают их эффективность. Эквивалентная электрическая схема, описывающая реальный конденсатор, моделирует ESR, ESL, основную емкость плюс некоторое шунтирующее сопротивление (см. рис. 10.33). Импеданс реального конденсатора на низких частотах почти чисто емкостной. На средних частотах его импеданс определяется значением ESR, например, для ряда типов, около 0.12–0.4 Ома на частоте 125 кГц. На частотах, превышающих значение примерно 1 МГц, этот конденсатор становится индуктивным, в импедансе доминирует эффект ESL. У всех электролитических конденсаторов кривые изменения импеданса близки по форме к изображенной на рис. 10.34. Минимальный импеданс будет изменяться в зависимости от значения ESR, а диапазон индуктивного импеданса зависит от величины ESL (которая, в свою очередь, сильно зависит от конструкции корпуса).

а

ЭКВИВАЛЕНТНАЯ СХЕМА КОНДЕНСАТОРА И ЕГО ОТВЕТ НА ИМПУЛЬСНОЕ ВОЗДЕЙСТВИЕ

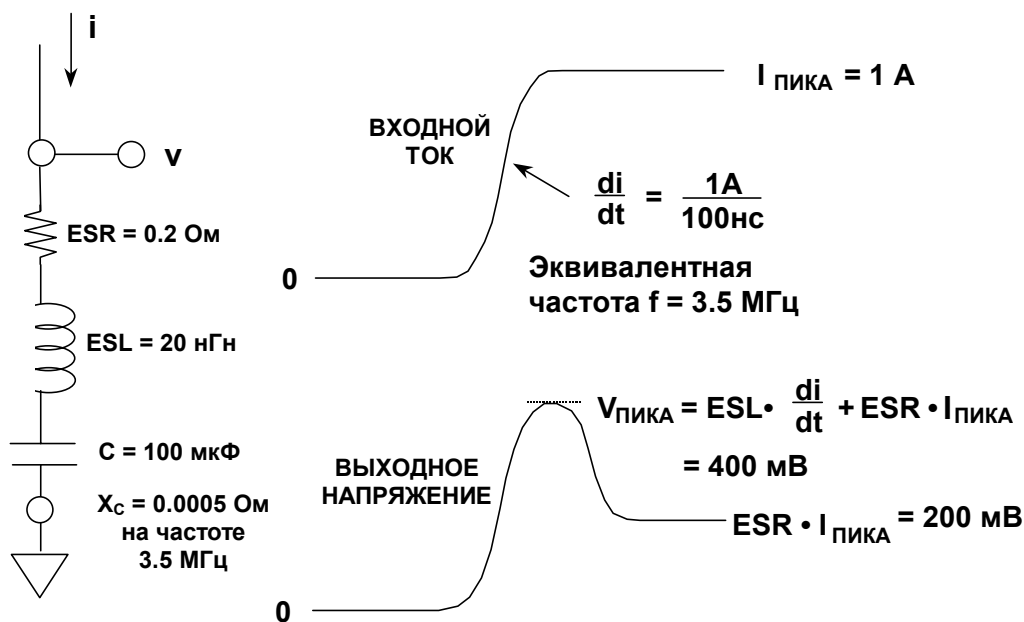


Рис. 10.33

ЗАВИСИМОСТЬ ИМПЕДАНСА ЭЛЕКТРОЛИТИЧЕСКОГО КОНДЕНСАТОРА ОТ ЧАСТОТЫ

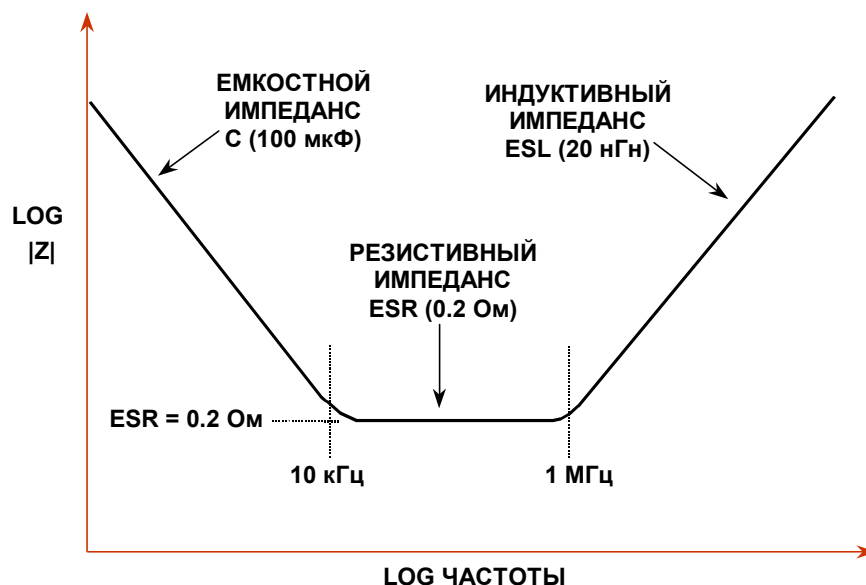


Рис. 10.34

Что касается катушек индуктивности, в фильтрах источников питания очень часто применяются *ферриты* – непроводящая керамика, производимая из оксидов никеля, цинка, марганца и других соединений (Приложение 9). На низких частотах (меньше

а

100 кГц), катушки с ферритовыми сердечниками обладают индуктивностью, поэтому они полезны в низкочастотных LC фильтрах. На частотах более 100 кГц импеданс катушки с ферритовым сердечником становится резистивным, что важно для разработки высокочастотных фильтров. Импеданс индуктивностей с ферритовыми сердечниками является функцией материала, диапазона рабочих частот, постоянного тока смещения, числа витков, размера, формы и температуры. В таблице на рис. 10.35 перечислены основные свойства феррита, а на рис.10.36 показаны характеристики импеданса некоторых дросселей с ферритовыми сердечниками фирмы Fair-Rite (<http://www.fair-rite.com>).

Несколько производителей ферритов предлагают большой выбор ферритовых материалов самой различной формы. (см. Приложение 10 и 11). Наипростейшая форма – *бусинка* из ферритового материала, ферритовый цилиндр, который просто надевается на вывод питания для развязки. Также имеются ферритовые бусинки с выводами – это та же бусинка, уже установленная на кусочек провода и используемая как компонент (см. Приложение 11). Более сложные бусинки имеют много продольных каналов в цилиндре для улучшения развязки; существуют и другие варианты. Также существуют бусинки с выводами для монтажа на поверхность (SMD).

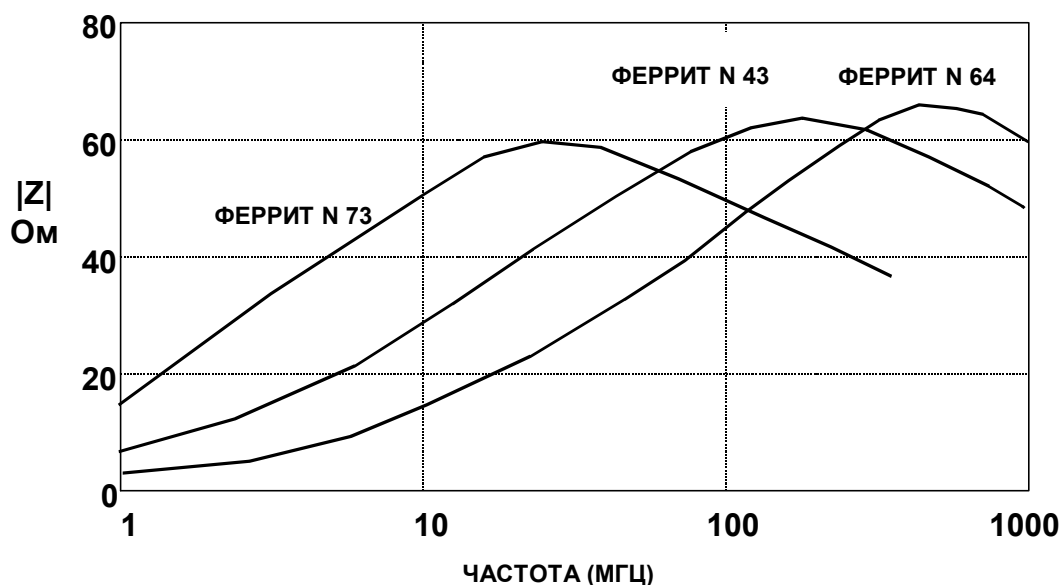
ФЕРРИТЫ НЕОБХОДИМЫЕ ДЛЯ ВЫСОКОЧАСТОТНЫХ ФИЛЬТРОВ

- Ферриты эффективны на частотах выше 25 кГц
- Существуют ферритовые дроссели разных размеров и форм, в том числе в виде резистора с выводами
- Импеданс ферритового дросселя на высоких частотах преимущественно резистивный, что идеально для фильтра ВЧ
- Небольшие потери на постоянном токе: сопротивление провода, проходящего через феррит, очень невелико
- Существуют варианты с большим током насыщения
- Выбор зависит от:
 - ◆ Источника и частоты помех
 - ◆ Требуемого на частоте помех сопротивления
 - ◆ Окружения: температуры, напряженности постоянного и переменного поля, имеющегося свободного места
- Всегда тестируйте проектируемое!

Рис. 10.35

а

ИМПЕДАНС ДРОССЕЛЕЙ С ФЕРРИТОВЫМИ БУСИНКАМИ



С разрешения: Fair-Rite Products Corp., Wallkill, NY
(<http://www.fair-rite.com>)

Рис. 10.36

Для материалов Fair-Rite имеются модели PSpice, с их помощью можно оценить импеданс катушек с ферритовыми сердечниками (см. Приложение 2). Эти модели разработаны в соответствии с реально измеренным, а не теоретическим импедансом.

Полное сопротивление дросселей с ферритовыми сердечниками зависит от нескольких взаимно зависимых переменных и аналитическому расчету поддается с трудом, поэтому трудно напрямую подобрать требуемый феррит. Однако знание следующих характеристик сделает выбор проще. Во-первых, определите диапазон частот шума, который должен фильтроваться. Во-вторых, должен быть известен ожидаемый диапазон температур фильтра, т.к. импеданс дросселей с ферритовыми сердечниками изменяется в зависимости от температуры. В-третьих, должен быть известен максимальный постоянный ток, протекающий через дроссель, чтобы удостовериться, что феррит не войдет в насыщение. Хотя модели и другие аналитические средства могут подтвердить правильность предпосылок, приведенная выше общая последовательность выбора, подкрепленная несколькими экспериментами с реальным фильтром, с подключенной нагрузкой, соответствующей реальным условиям, должна привести к правильному выбору феррита.

При соответствующем выборе компонентов низко- и высокочастотные фильтры могут быть спроектированы так, чтобы сгладить шум на выходе ИИП и обеспечить *пригодное для питания аналоговых схем* 5-вольтовое питание. На практике лучше добиваться этого, используя две ступени (а иногда и больше), каждая ступень должна быть оптимизирована для определенного диапазона частот. Для всего постоянного тока нагрузки может быть использовано общее фильтрующее звено, фильтрующее шум на 60 dB или больше в диапазоне до 1-10 МГц. Этот главный фильтр используется как входной фильтр на печатной плате и обеспечивает широкополосную фильтрацию, общую для всех линий питания печатной платы. Прямо на выводах питания отдельных частей устройства используются более простые локальные фильтрующие звенья, чтобы обеспечить развязку на высоких частотах.

а

ЭКСПЕРИМЕНТЫ С ИМПУЛЬСНЫМ ИСТОЧНИКОМ ПИТАНИЯ

Для того, чтобы лучше разобраться в проблеме фильтрации ИИП, был проведен ряд экспериментов со следующим устройством: синхронный понижающий импульсный стабилизатор ADP1148 с напряжением на входе 9 В, и напряжением 3.3 В при токе 1 А на выходе.

В добавлении к обычному исследованию формы входных и выходных сигналов, целью этих экспериментов было уменьшить размах выходных пульсаций до уровня меньше 10 мВ – уровня, приемлемого для питания большинства аналоговых схем.

Измерения были сделаны с использованием широкополосного цифрового осциллографа фирмы Tektronix с входной полосой 20 МГц, так что пульсации от импульсного стабилизатора наблюдались очень хорошо. В работающем устройстве пульсации напряжения питания с частотой более 20 МГц лучше всего фильтруются локально на каждом выводе питания ИС при помощи низкоиндуктивного керамического конденсатора и, возможно, последовательно включенного дросселя на ферритовой бусинке.

Для точных измерений пульсаций важно устройство щупа. Был использован стандартный пассивный зонд 1:10 с пружинящим наконечником типа "штыка" для того, чтобы сделать соединение с землей как можно более коротким (см. рис.10.37). Использование "крокодила" для подобных измерений не рекомендуется, т.к. длинное соединение с землей образует ненужный индуктивный контур, который усиливает высокочастотный шум переключения, нарушая измеряемый сигнал.

МЕТОДИКА ПОДКЛЮЧЕНИЯ ЩУПА ОСЦИЛЛОГРАФА

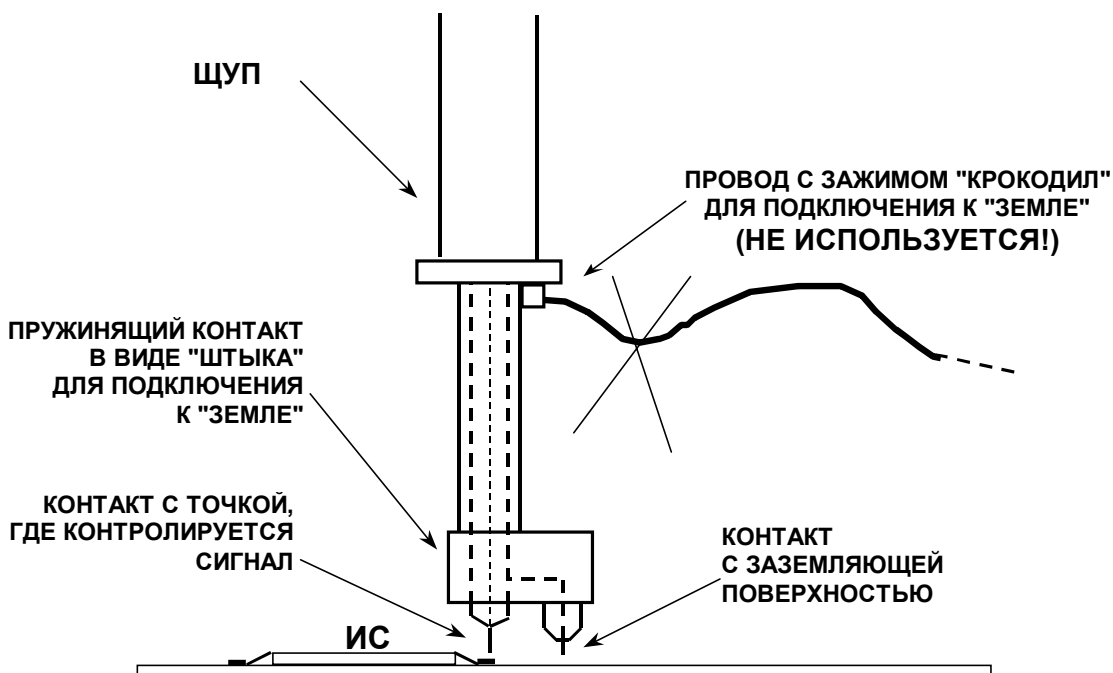


Рис. 10.37

а

Обратите внимание: Схематическое представление соответствующего реального заземления почти невозможно. Во всех последующих схемах соединения с землей выполняются с помощью заземляющей поверхности, используя кратчайший путь, независимо от того, как они обозначены на схеме.

Схема мостового импульсного стабилизатора 9 В --> 3.3 В/1 А на микросхеме ADP1148 показана на рис.10.38. Форма выходного сигнала понижающего импульсного стабилизатора ADP1148 показана на рис.10.39. Основная частота переключения около 150 кГц, а выходные пульсации около 40 мВ.

Добавление выходного фильтра, состоящего из катушки индуктивности 50 мкГн и танталового конденсатора 100 мкФ, уменьшает пульсации примерно до 3 мВ, как показано на рис.10.40.

Последовательно с импульсными стабилизаторами для лучшей стабилизации и понижения шума часто используются линейные стабилизаторы. В этих случаях нужно использовать стабилизаторы с низким падением напряжения (LDO), потому что они требуют только небольшой разницы между входным и выходным напряжением для обеспечения стабилизации. Это уменьшает рассеиваемую мощность в устройстве и может избавить от необходимости использования теплоотвода. На рис. 10.41 показан импульсный понижающий стабилизатор на микросхеме ADP1148, сконфигурированный для работы при напряжении 9 В на входе и 3.75 В при токе 1 А на выходе. Выход подключен к линейному LDO стабилизатору на ИС ADP3310, сконфигурированному для 3.75 В на входе и 3.3 В/1 А на выходе. Осциллограммы со входа и выхода ADP3310 показаны на рис.10.42. Заметьте, что стабилизатор уменьшает размах пульсаций с 40 мВ до приблизительно 5 мВ.

СХЕМА Понижающего Импульсного Стабилизатора на ИС ADP1148

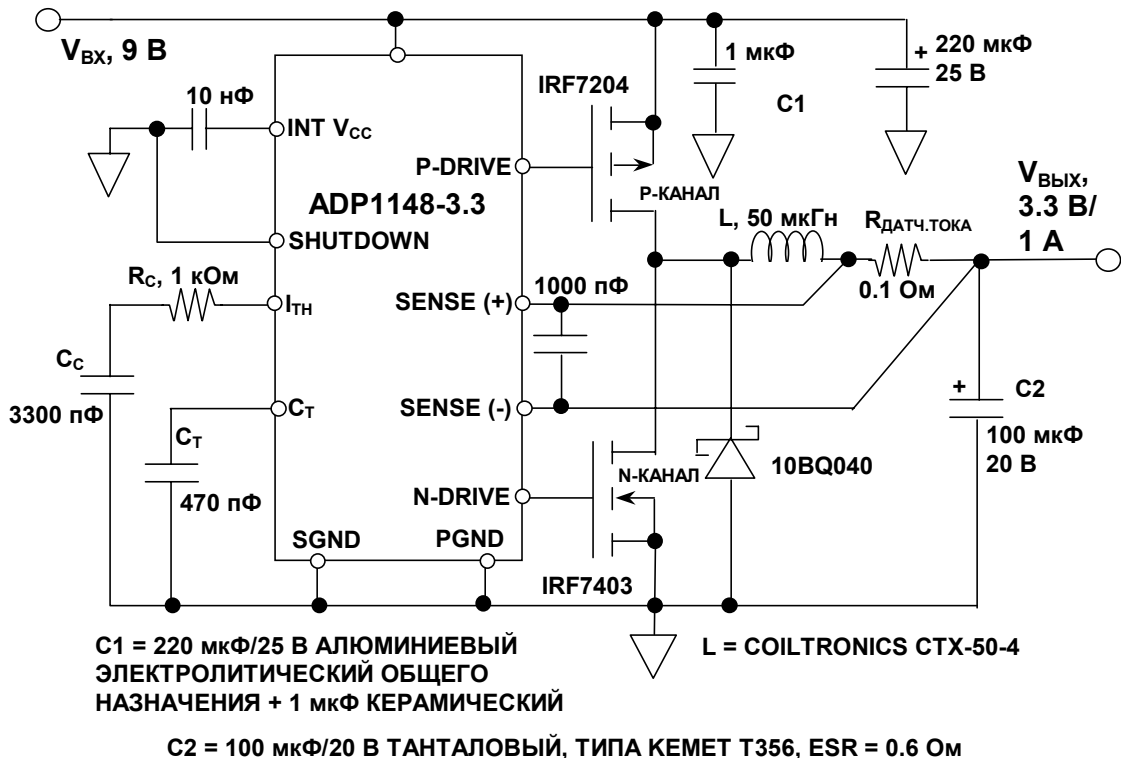
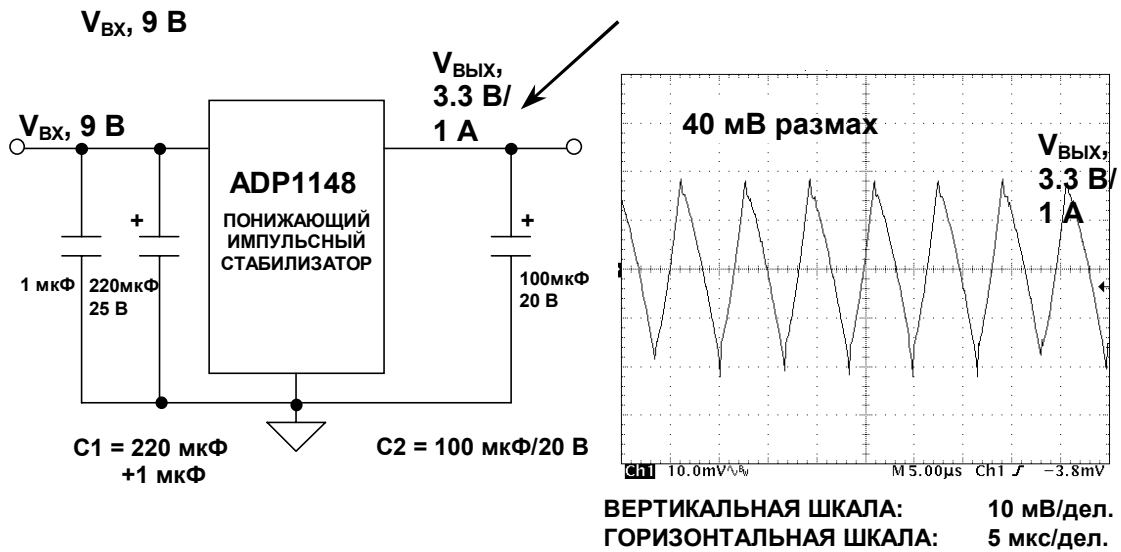


Рис. 10.38

a

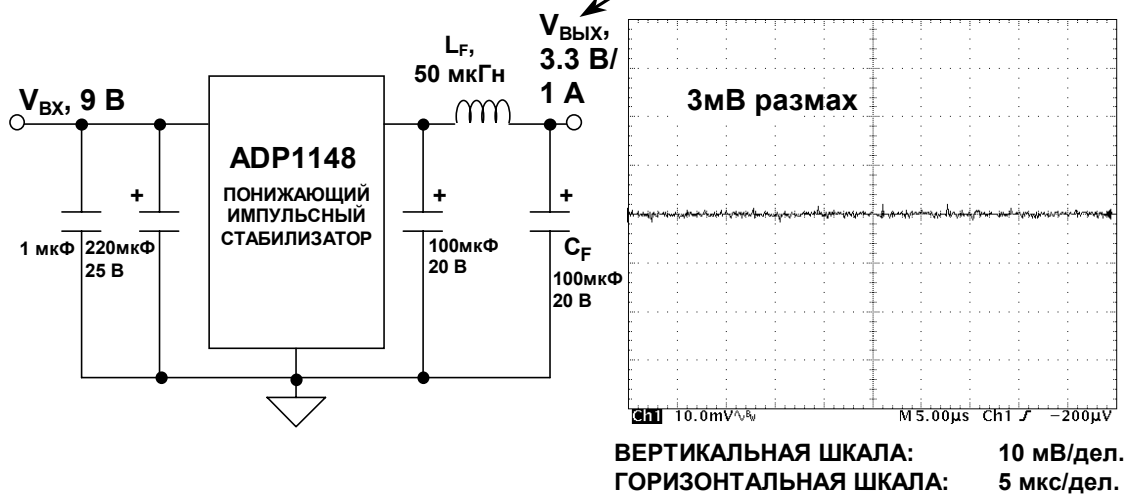
ФОРМА СИГНАЛА НА ВЫХОДЕ Понижающего ИМпульсного СТАБИЛИЗАТОРА НА ИС ADP1148



C1 = 220 мкФ/25 В АЛЮМИНИЕВЫЙ ЭЛЕКТРОЛИТИЧЕСКИЙ
ОБЩЕГО НАЗНАЧЕНИЯ + 1 мкФ КЕРАМИЧЕСКИЙ
C2 = 100 мкФ/20 В ТАНТАЛОВЫЙ, ТИПА КЕМЕТ Т356, ESR = 0.6 Ом

Рис. 10.39

ФОРМА СИГНАЛА НА ВЫХОДЕ Понижающего ИМпульсного СТАБИЛИЗАТОРА НА ИС ADP1148 ПОСЛЕ ДОПОЛНИТЕЛЬНОЙ ФИЛЬТРАЦИИ



C1 = 220 мкФ/25 В АЛЮМИНИЕВЫЙ ЭЛЕКТРОЛИТИЧЕСКИЙ
ОБЩЕГО НАЗНАЧЕНИЯ + 1 мкФ КЕРАМИЧЕСКИЙ
C2 = 100 мкФ/20 В ТАНТАЛОВЫЙ, ТИПА КЕМЕТ Т356, ESR = 0.6 Ом

ВЫХОДНОЙ ФИЛЬТР:
 L_F = COILTRONICS СТХ-50-4
 C_F = 100 мкФ/20 В ТАНТАЛОВЫЙ, ТИПА КЕМЕТ Т356

Рис. 10.40

а

СХЕМА ПОНИЖАЮЩЕГО ИМПУЛЬСНОГО СТАБИЛИЗАТОРА НА ИС ADP1148 СО СТАБИЛИЗАТОРОМ ADP3310 НА ВЫХОДЕ

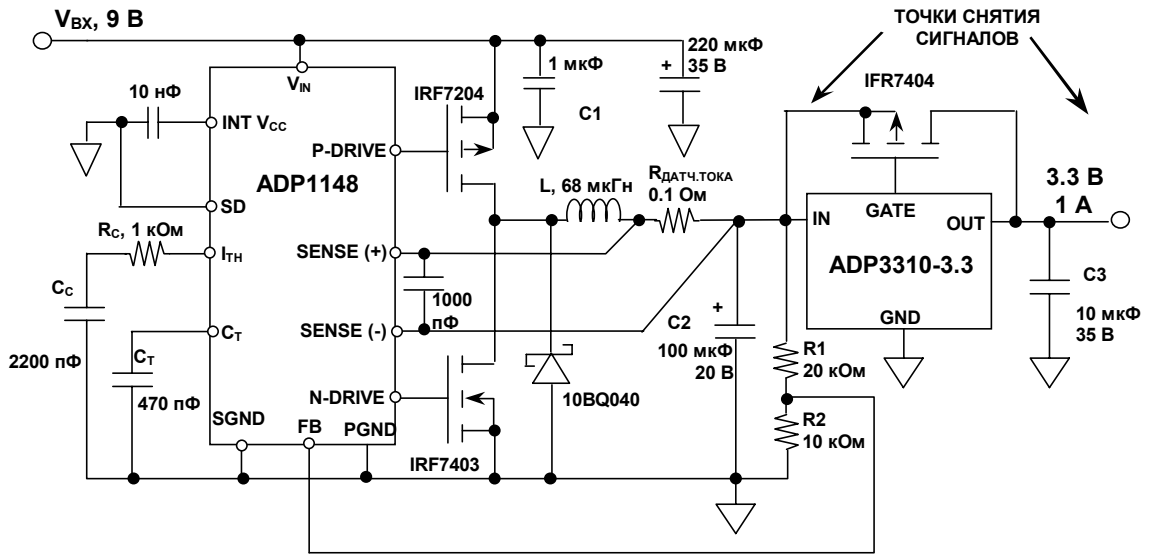
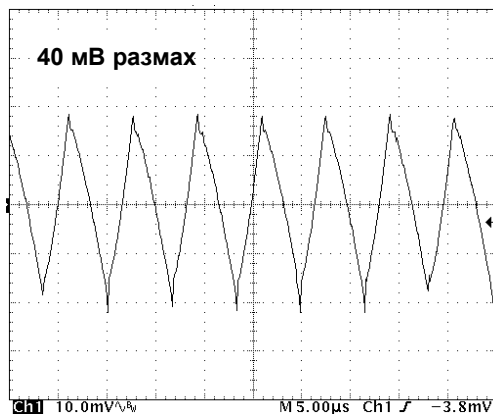


Рис. 10.41

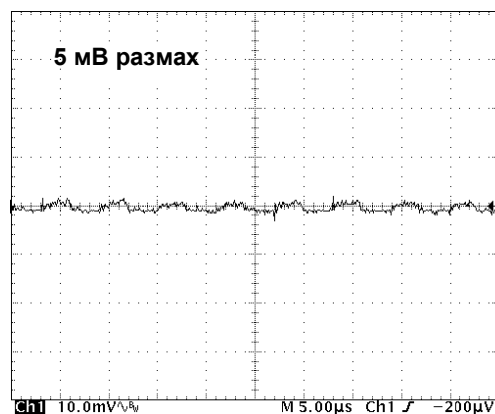
ФОРМА СИГНАЛА НА ВЫХОДЕ ПОНИЖАЮЩЕГО ИМПУЛЬСНОГО СТАБИЛИЗАТОРА НА ИС ADP1148 СО СТАБИЛИЗАТОРОМ ADP3310

Выход ADP1148
(вход ADP3310)

Выход ADP3310



ВЕРТИКАЛЬНАЯ ШКАЛА: 10 мВ/дел.
ГОРИЗОНТАЛЬНАЯ ШКАЛА: 5 мкс/дел.



ВЕРТИКАЛЬНАЯ ШКАЛА: 10 мВ/дел.
ГОРИЗОНТАЛЬНАЯ ШКАЛА: 5 мкс/дел.

Рис. 10.42

При проектировании фильтров питания часто необходимо делать компромиссный выбор. Успех любой схемы фильтра сильно зависит от компактности размещения и использования заземляющей поверхности большой площади. Как уже говорилось, все связи с поверхностью заземления должны быть коротки насколько возможно для минимизации паразитного сопротивления и индуктивности.

Выходные пульсации могут быть подавлены добавлением на выходе конденсаторов с низкими значениями ESR/ESL. Однако более эффективно для уменьшения пульсаций

а

использовать LC фильтр. В любом случае тщательный выбор компонентов существенен. Катушка индуктивности не должна входить в насыщение при максимальном токе питания и ее сопротивление на постоянном токе должно быть достаточно низким, чтобы не возникало значительных падений напряжения. Конденсаторы должны иметь низкие ESR и ESL и выдерживать ток пульсаций.

Линейный стабилизатор с малым падением напряжения (LDO) обеспечивает как уменьшение пульсаций, так и дополнительную стабилизацию и может быть эффективным при условии, что приносимый в жертву КПД не слишком высок.

В конце добавим, что трудно предсказать коэффициент пульсаций на выходе аналитически и не существует другого пути, кроме как изготовить макет с реальными компонентами. Если фильтр испытан и обеспечивает необходимое подавление пульсаций (с каким-то запасом для надежности), будьте уверены в том, что замена компонентов или изменения в поставляемых компонентах не попадут в конечную продукцию без предварительного тестирования схемы на соответствие необходимым параметрам.

ВЫВОДЫ ПО ФИЛЬТРАМ ИИП

- **Правильная компоновка и заземление (использование заземляющей поверхности) обязательно**
- **Конденсаторы с низкими ESR/ESL дают лучший результат**
- **Параллельно включенные конденсаторы имеют меньшие значения ESR/ESL и большую емкость**
- **Для подавления пульсаций очень эффективны внешние LC фильтры**
- **Для снижения пульсаций и лучшей стабилизации эффективен линейный стабилизатор**
- **Полностью аналитический подход к расчету затруднен, для получения лучших результатов требуется создание макетов**
- **Однажды спроектированное – навсегда, не заменяйте составляющие компоненты без предварительной проверки их работы в макете**
- **На выводах питания ИС все равно необходимо использовать высокочастотную развязку**

Рис 10.43

ЛОКАЛЬНАЯ ВЫСОКОЧАСТОТНАЯ ФИЛЬТРАЦИЯ НАПРЯЖЕНИЯ ПИТАНИЯ

Описанные в предыдущей главе LC фильтры используются при фильтрации напряжения на выходе импульсного стабилизатора. Однако иногда может быть желательно расположить подобные фильтры на отдельных печатных платах, то есть там, где питание впервые попадает на плату. Конечно, если импульсный стабилизатор расположен на печатной плате, тогда LC фильтр должен быть составной частью схемы стабилизатора.

На каждом выводе питания ИС может также понадобиться локальный высокочастотный фильтр (см. рис.10.44). Здесь идеальным выбором являются керамические конденсаторы для поверхностного монтажа (SMD) из-за их низкого значения ESL. Важно сделать

а

соединения с выводами питания и с заземляющей поверхностью как можно более короткими. В случае соединения с землей кратчайшим трактом является межслойный переход к заземляющей поверхности. Трассировка соединения конденсатора с землей к "земляному" выводу ИС не рекомендуется из-за появления дополнительной индуктивности дорожки. В некоторых случаях также может быть желательной ферритовая бусинка на питающем проводе.

ЛОКАЛЬНАЯ РАЗВЯЗКА С ПОМОЩЬЮ КРАТЧАЙШИХ ПУТЕЙ НА ЗАЗЕМЛЯЮЩУЮ ПОВЕРХНОСТЬ

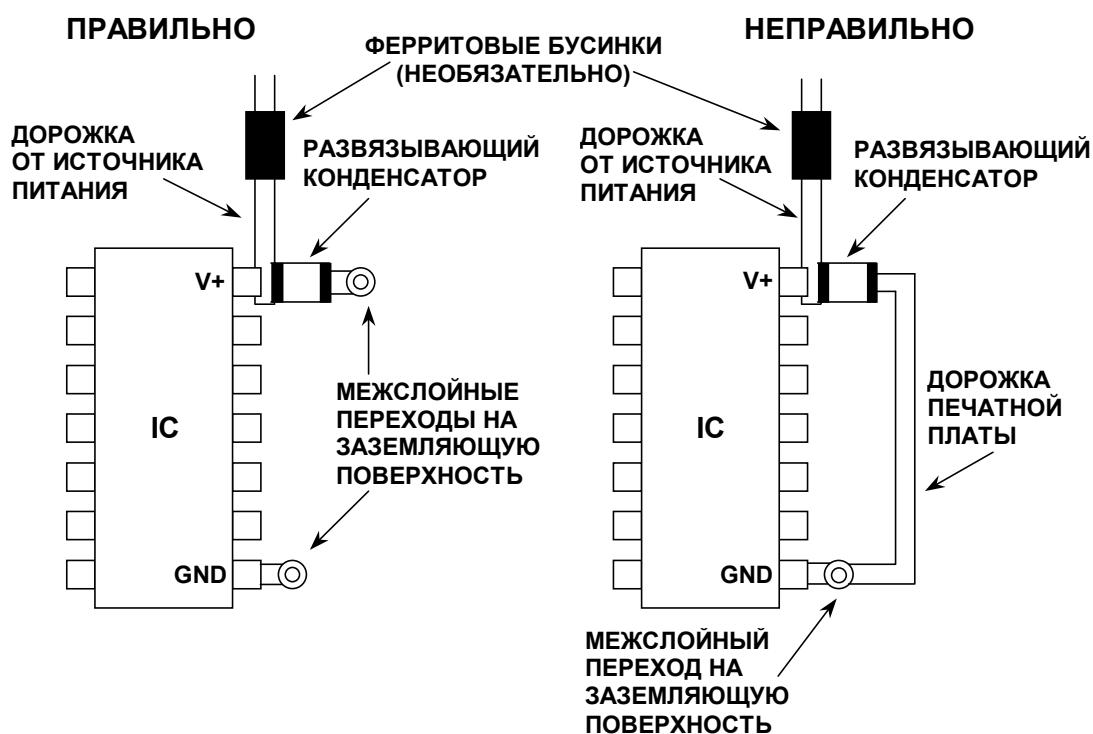


Рис. 10.44

Этот перечень является суммирующим руководством по компоновке и конструированию фильтра импульсного источника питания, которое поможет вам быть уверенным, что фильтр работает наилучшим образом:

1. Выберите самую большую величину и номинальное напряжение конденсаторов с учетом заданного пространства. Это уменьшает значение ESR и увеличивает эффективность фильтра. Подберите дроссель, у которого не слишком снижается индуктивность при номинальном постоянном токе и с низким сопротивлением на постоянном токе.
2. Используйте короткие и широкие дорожки печатной платы для понижения падения напряжения и уменьшения индуктивности. Делайте дорожки шириной минимум 0,2 дюйма на каждый дюйм длины для обеспечения наименьшего сопротивления на постоянном токе, и используйте платы с медным покрытием толщиной 1 - 2 унции/кв.фут (0,035-0,070 мм) также чтобы уменьшить падение напряжения $I \cdot R$ и индуктивность дорожки.
3. Используйте короткие выводы, а еще лучше безвыводные компоненты, чтобы уменьшить индуктивность выводов. Это минимизирует даже возможность излишней ESL и/или ESR. Предпочтительны компоненты для поверхностного монтажа (SMD). Делайте все соединения с заземляющей поверхностью как можно короче.

а

4. Используйте заземляющую поверхность больших размеров для минимизации импеданса.
5. Выясните как ведут себя компоненты при различных частотах, температуре, токах! Используйте модели компонентов PSpice для моделирования прототипа и убедитесь, что лабораторные измерения соответствуют результатам моделирования. Хотя моделирование не является необходимостью, оно придает уверенность при проектировании, когда соответствие достигнуто (см. Приложение 15).

ЛОКАЛЬНАЯ РАЗВЯЗКА ПРОЦЕССОРОВ DSP С ВЫСОКОЙ ПЛОТНОСТЬЮ ВЫВОДОВ

Процессоры DSP в корпусах с большим количеством выводов требуют специального подхода при локальной развязке ввиду их больших цифровых токов. Типичная компоновка развязки выглядит как показано на рис.10.45. Конденсаторы для поверхностного монтажа помещаются на верхнюю сторону печатной платы на рис 10.45А. Для семейства SHARC рекомендуется восемь керамических конденсаторов по 0.02 мкФ. Они должны быть расположены как можно ближе к корпусу. Соединения с выводами V_{DD} должны быть как можно более короткими с использованием широких дорожек. Соединения с землей должны делаться прямо на заземляющую поверхность с помощью межслойных переходов. Менее предпочтительный метод показан на рис. 10.45 В, где конденсаторы расположены на задней стороне печатной платы под корпусом. Если заземляющая поверхность под корпусом пронизана большим количеством сигнальных межслойных переходов, обратный ток конденсатора должен идти на внешнюю заземляющую поверхность, которая может быть не слишком хорошо связана с внутренней заземляющей поверхностью через межслойные переходы.

РАЗВЯЗКА DSP В КОРПУСАХ ТИПА PQFP С БОЛЬШИМ ЧИСЛОМ ВЫВОДОВ

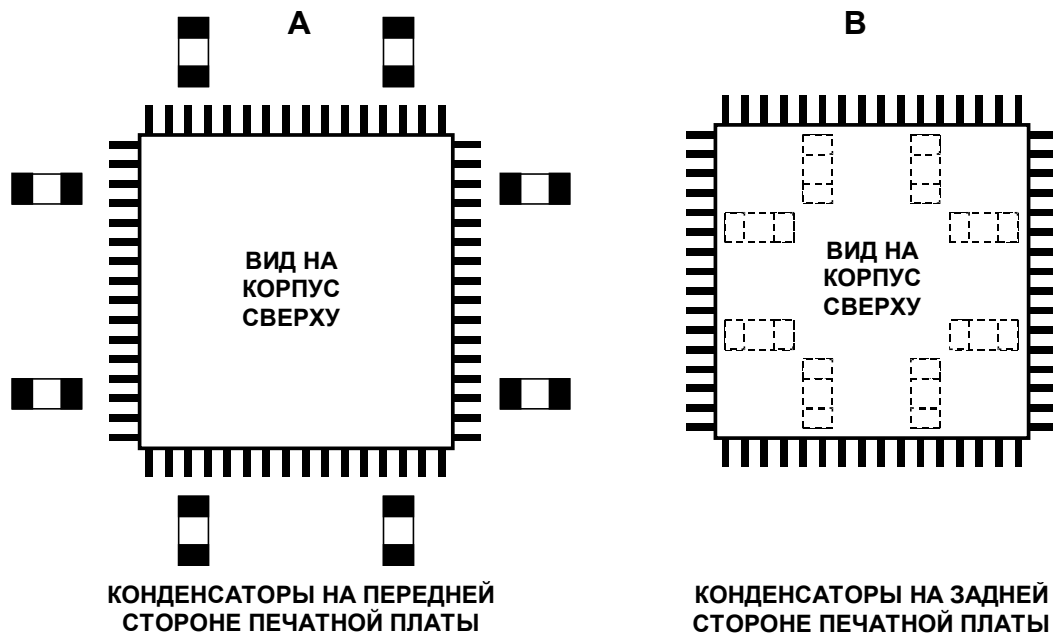


Рис. 10.45

а

Печатная плата для корпуса BGA (выводы в виде матрицы шариков) показана на рис 10.46. Обратите внимание, что все связи с шариками должны быть сделаны при помощи межслойных переходов к другим слоям платы. Для таких блоков часто всего используется структура дорожки в виде "кости". Затененная зона показывает положение паяльной маски. Также, как в случае с блоком PQFP, локальные развязывающие конденсаторы должны быть расположены как можно ближе к блоку с короткими связями с выводами V_{DD} и прямыми связями через межслойные переходы к слою заземляющей поверхности.

РАЗВЯЗКА DSP В КОРПУСАХ ТИПА BGA ("МАТРИЦА ШАРИКОВ") С БОЛЬШИМ ЧИСЛОМ ВЫВОДОВ

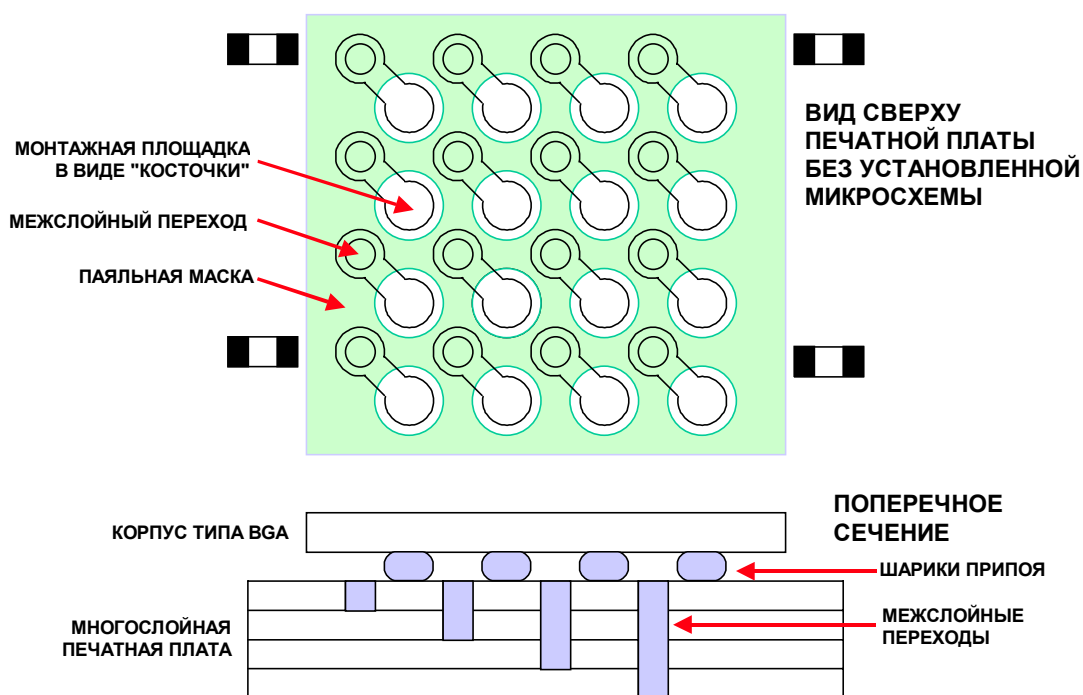


Рис. 10.46

На рис.10.47 показана приблизительная компоновка питания и заземления для DSP типа ADSP-21160 в корпусе BGA 27x27мм с 400 шариков. Шаг шариков составляет 1.27 мм. Примерно 84 шарика используются в центре структуры для соединения с землей. Соединения с напряжением питания ядра (40 шариков) и с напряжением внешней части (46 шариков) окружают шарика заземления. Оставшиеся внешние шарика используются для различных сигналов.

Расположенные в центре шарика заземления выполняют двойную функцию. Их первая функция обеспечивать низкоимпедансную связь со слоем заземляющей поверхности. Вторая функция – отводить от корпуса тепло на заземляющую поверхность, т.е. служить теплоотводом, т.к. устройство должно рассеивать при работе в среднем около 2.5 Вт. Добавление внешнего теплоотвода, как показано, понижает еще больше температурное сопротивление переход-среда.

а

СХЕМА РАСПОЛОЖЕНИЯ ВЫВОДОВ DSP ADSP-21160 В КОРПУСЕ ТИПА 400-PIN PBGA

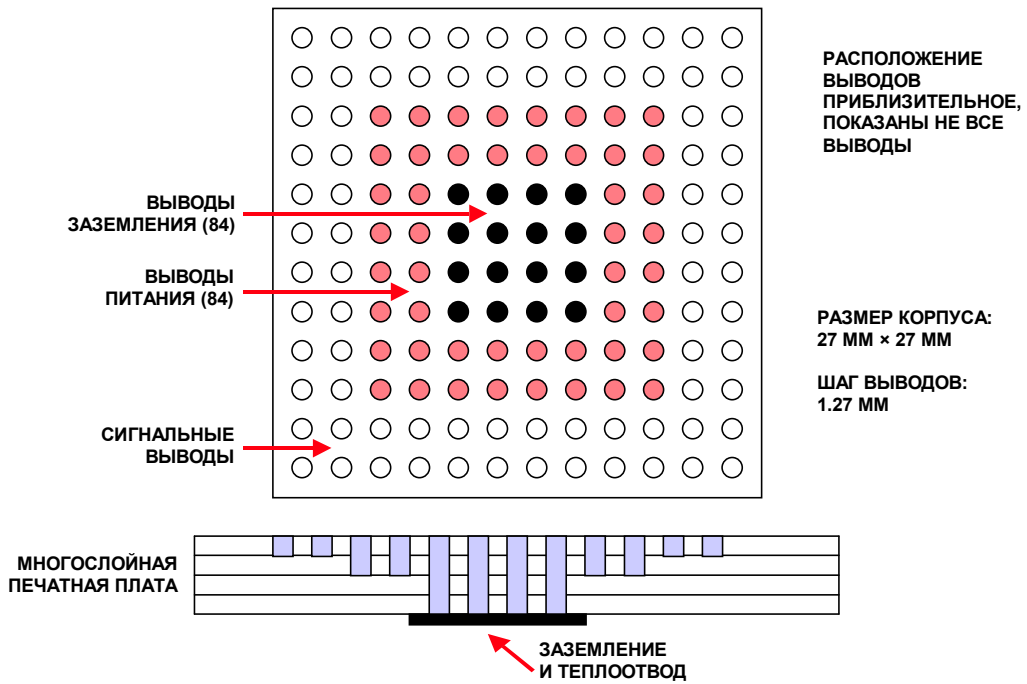


Рис. 10.47

a

СПИСОК ЛИТЕРАТУРЫ: ШУМОПОНИЖЕНИЕ И ФИЛЬТРАЦИЯ

1. **EMC Design Workshop Notes**, Kimmel-Gerke Associates, Ltd., St. Paul, MN. 55108, (612) 330-3728.
2. Walt Jung, Dick Marsh, *Picking Capacitors, Parts 1 & 2*, **Audio**, February, March, 1980.
3. Tantalum Electrolytic and Ceramic Capacitor Families, Kemet Electronics, Box 5928, Greenville, SC, 29606, (803) 963-6300.
4. Type HFQ Aluminum Electrolytic Capacitor and type V Stacked Polyester Film Capacitor, Panasonic, 2 Panasonic Way, Secaucus, NJ, 07094, (201) 348-7000.
5. OS-CON Aluminum Electrolytic Capacitor 93/94 Technical Book, Sanyo, 3333 Sanyo Road, Forrest City, AK, 72335, (501) 633-6634.
6. Ian Clelland, *Metalized Polyester Film Capacitor Fills High Frequency Switcher Needs*, **PCIM**, June 1992.
7. Type 5MC Metallized Polycarbonate Capacitor, Electronic Concepts, Inc., Box 1278, Eatontown, NJ, 07724, (908) 542-7880.
8. Walt Jung, *Regulators for High-Performance Audio, Parts 1 and 2*, **The Audio Amateur**, issues 1 and 2, 1995.
9. Henry Ott, **Noise Reduction Techniques in Electronic Systems, 2d Ed.**, 1988, Wiley.
10. Fair-Rite Linear Ferrites Catalog, Fair-Rite Products, Box J, Wallkill, NY, 12886, (914) 895-2055, <http://www.fair-rite.com>.
11. Type EXCEL leaded ferrite bead EMI filter, and type EXC L leadless ferrite bead, Panasonic, 2 Panasonic Way, Secaucus, NJ, 07094, (201) 348-7000.
12. Steve Hageman, *Use Ferrite Bead Models to Analyze EMI Suppression*, **The Design Center Source**, MicroSim Newsletter, January, 1995.
13. Type 5250 and 6000-101K chokes, J. W. Miller, 306 E. Alondra Blvd., Gardena, CA, 90247, (310) 515-1720.
14. DIGI-KEY, PO Box 677, Thief River Falls, MN, 56701-0677, (800) 344-4539.
15. Tantalum Electrolytic Capacitor SPICE Models, Kemet Electronics, Box 5928, Greenville, SC, 29606, (803) 963-6300.
16. Eichhoff Electronics, Inc., 205 Hallene Road, Warwick, RI., 02886, (401) 738-1440, <http://www.eichhoff.com>.
17. **Practical Design Techniques for Power and Thermal Management**, Analog Devices, 1998, Chapter 8.

а

РАБОТА С ВЫСОКОСКОРОСТНОЙ ЛОГИКОЙ

О согласовании нагрузки дорожек печатных плат с их характеристическим импедансом с целью избежать отражения, было написано много. Хорошее правило о том, когда это необходимо, звучит так: *Нагружайте линию на её характеристический импеданс в случае, если задержка на прохождение сигнала по дорожке печатной платы больше либо равна половине времени нарастания/спада (того, что быстрее) этого сигнала.* Консервативный метод заключается в использовании критерия 2 дюйма (длины дорожки) на наносекунду (времени нарастания/спада). Например, дорожка платы для высокоскоростной логики со временем нарастания/спада в 1нс должна быть нагружена на ее характеристическое сопротивление, если длина дорожки равна или больше 2 дюймов (включая все изгибы). Рис. 10.48 показывает типичное время нарастания/спада для нескольких логических семейств, включая SHARC-DSP, работающие от питания 3.3 В. Как и ожидалось, время нарастания/спада является функцией емкости нагрузки.

ТИПИЧНЫЕ ЗНАЧЕНИЯ ВРЕМЕНИ НАРАСТАНИЯ И СПАДА НА ВЫХОДЕ DSP

- GaAs: 0.1 нс
 - ECL: 0.75 нс
 - ADI SHARC DSP: от 0.5 до 1 нс
- (Напряжение источника питания +3.3 В)

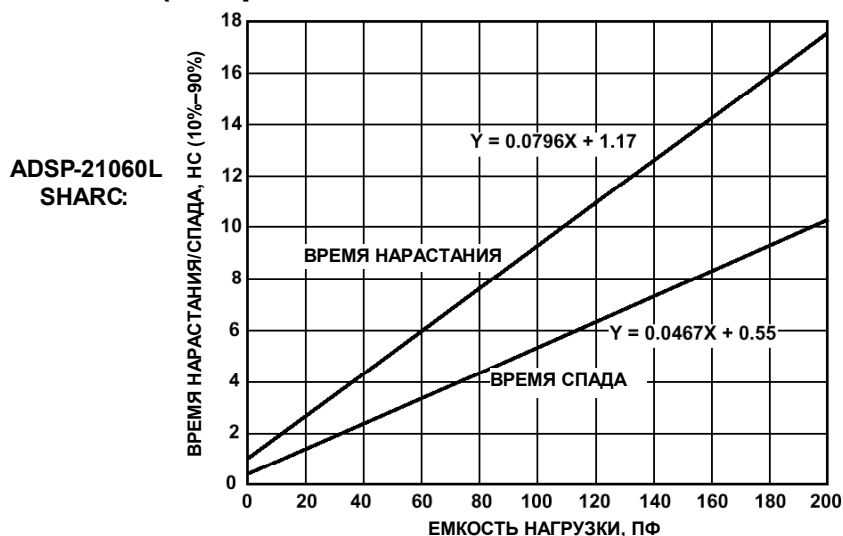


Рис. 10.48

Это же самое правило 2 дюйма/нс должно быть использовано в аналоговых схемах при определении того, какими должны быть линии передачи. Например, если у усилителя на выходе максимальная частота f_{\max} , тогда время нарастания t_r вычисляется по формуле $t_r = 0.35/f_{\max}$. Максимальная длина дорожки платы вычисляется через умножение времени нарастания на 2 дюйма/нс. Например, максимальная частота на выходе 100 МГц соответствует времени нарастания 3.5 нс, тогда при длине дорожки, по которой проходит этот сигнал, больше 7 дюймов, она должна рассматриваться как линия передачи.

Выражение 10.1 может быть использовано для определения характеристического импеданса дорожки платы, отделенной от поверхностей питания/заземления диэлектриком платы (микрополосковая линия передачи):

а

$$z_o(\Omega) = \frac{87}{\sqrt{\epsilon_r + 1.41}} \ln \left[\frac{5.98d}{0.89w + t} \right] \quad \text{Выражение 10.1}$$

где ϵ_r - диэлектрическая постоянная материала печатной платы,
d- Толщина платы между металлическими слоями, в mils,
w- ширина металлической дорожки, mils,
t- толщина металлической дорожки, mils.

Время прохождения сигнала в одну сторону по одной металлической дорожке над поверхностью питания/заземления будет определяться из соотношения 10.2:

$$t_{pd}(\text{ns / ft}) = 1.017\sqrt{0.475\epsilon_r + 0.67} \quad \text{Выражение 10.2}$$

Например, на стандартной 4-слойной плате может применяться медная дорожка 8 mil шириной, в 1 унцию/кв.фут (0.035 мм) толщиной, отделенная диэлектрическим материалом FR4 ($\epsilon_r=4.7$) 0.021 дюйма толщиной.

Характеристический импеданс дорожки и время прохождения сигнала в одну сторону по такой дорожке будет 88 Ом и 1.7 нс/фут (7 дюймов на наносекунду), соответственно.

Наилучший способ уберечь чувствительные аналоговые схемы от влияния быстрой логики является их физическое разделение и использование не более быстрых семейств логики, чем требуется в системе. В некоторых случаях может потребоваться использовать нескольких семейств логик в системе. Альтернатива этому – использование последовательно включенных резисторов или ферритовых бусинок для снижения скорости переходов там, где скорость не требуется. На рис. 10.49 показано два метода. В первом последовательный резистор и входная емкость образуют НЧ фильтр. Обычная входная емкость КМОП-структуры составляет от 5 пФ до 10 пФ. Располагайте последовательные резисторы как можно ближе к выходу управляющего логического элемента схемы. Резистор уменьшает проходящий ток и может избавить от необходимости использования методов линии передач. Сопротивление резистора должна выбираться таким образом, чтобы скорость нарастания/спада на получающей логике было достаточным, чтобы отвечать требованиям системы, но не больше. Также убедитесь, что сопротивление резистора не настолько большое, что логические уровни на приемнике выходят за рамки спецификаций из-за падения напряжения вызванного током от источника к приемнику, который протекает через резистор. Второй метод подходит при больших расстояниях (больше 2 дюймов), когда добавочная индуктивность замедляет скорость нарастания импульса. Обратите внимание, что оба метода увеличивают задержку времени нарастания/спада сигнала. Это нужно учитывать в связи с общим временным бюджетом, где дополнительная задержка может быть неприемлема.

На рис.10.50 показана ситуация, где несколько DSP должны быть связаны в одной точке, как может быть в случае, когда сигналы записи/чтения идут двунаправленно от нескольких DSP. Небольшой демпфирующий резистор, показанный на рис.10.50А, может уменьшить "звон" переходного процесса, при условии, что длина разнесения меньше 2 дюймов. Этот метод также увеличивает время нарастания/спада и задержку на прохождении. Если должны быть соединены две группы процессоров, то одного резистора между парами процессоров достаточно, чтобы подавить переходный процесс (Рис.10.50В).

а

ДЕМПФИРУЮЩИЕ РЕЗИСТОРЫ ЗАМЕДЛЯЮТ БЫСТРЫЕ ЛОГИЧЕСКИЕ ПЕРЕХОДЫ И СПОСОБСТВУЮТ УМЕНЬШЕНИЮ ПОМЕХ

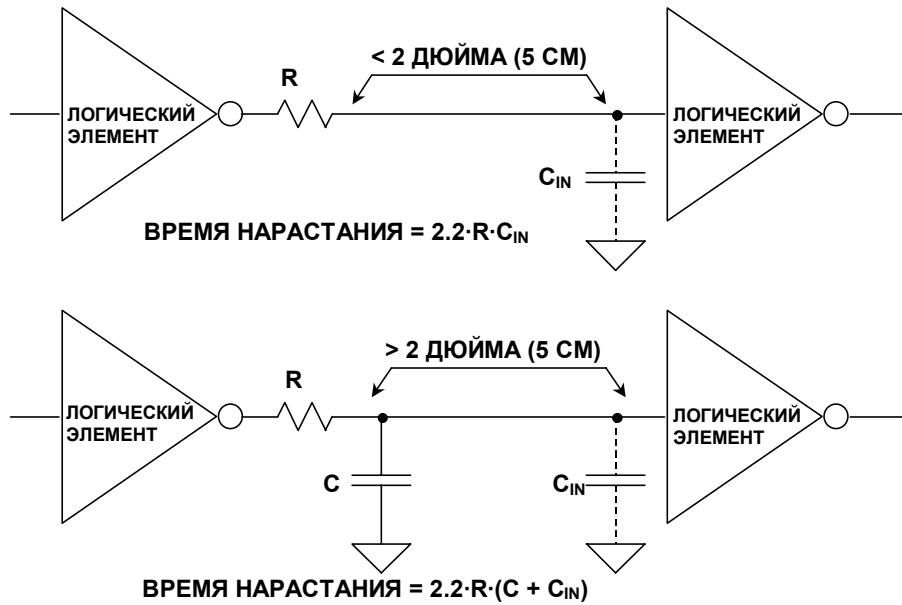


Рис. 10.49

СОЕДИНЕНИЕ SHARC DSP С ПОМОЩЬЮ ПОСЛЕДОВАТЕЛЬНО ВКЛЮЧЕННЫХ ДЕМПФИРУЮЩИХ РЕЗИСТОРОВ

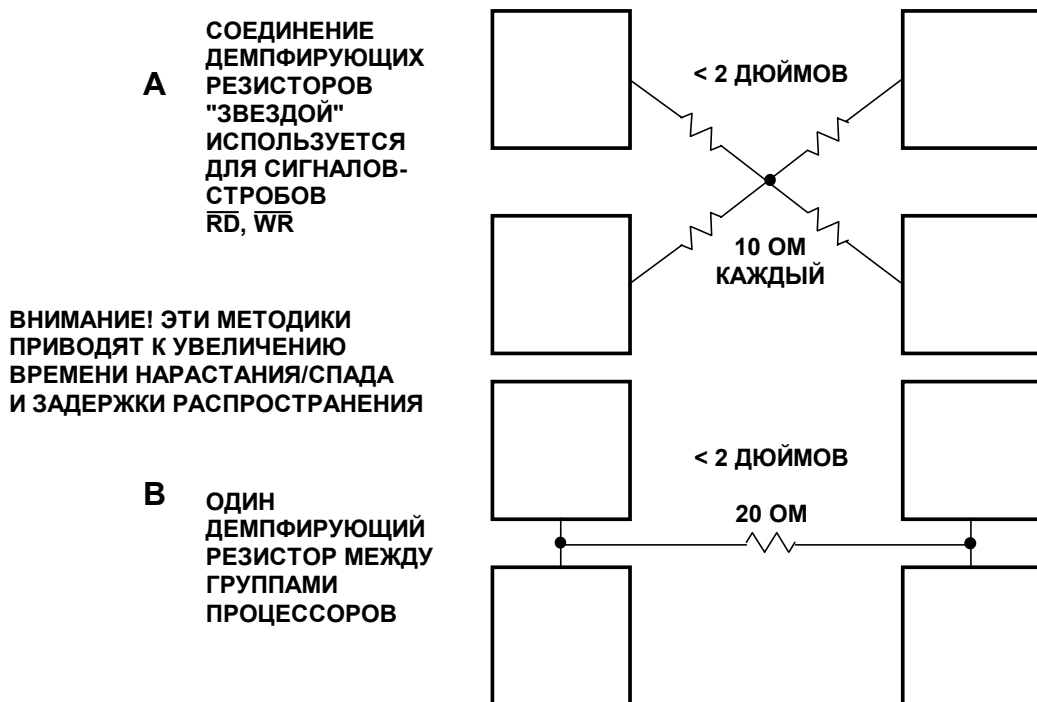


Рис. 10.50

а

Единственный способ сохранить время нарастания/спада, равным 1 нс или меньше на расстоянии больше, чем 2 дюйма без "звона", – это использовать методы линии передач. Рис.10.51 показывает два распространенных метода согласования нагрузки: конечная нагрузка и нагрузка источника. Метод конечной нагрузки (Рис.10.51А) нагружает кабель в точке нагрузки на сопротивление, равное характеристическому импедансу микрополосковой линии. Хотя можно использовать и более высокое сопротивление, чаще используется 50 Ом, т.к. при такой величине уменьшается эффект рассогласования нагрузки из-за входной емкости логического входа (обычно 5-10 пФ). На рис.10.51А кабель нагружен на делитель, представляющий 50-омную нагрузку для переменного тока и обеспечивающий напряжение +1.4 В (середина между логическими порогами 0.8 В и 2 В). При этом требуется использовать два сопротивления (91 Ом и 120 Ом), что добавляет около 50 мВт к общей рассеиваемой мощности в схеме. На рис.10.51А также показаны значения сопротивлений резисторов нагрузки при напряжении питания +5 В (68 Ом и 180 Ом). Обратите внимания, что в линиях передачи 3.3-вольтовая логика намного предпочтительнее из-за симметричности перепадов напряжения, большей скорости и меньшей потребляемой мощности. Имеются драйверы линий с несимметричностью импульсов меньше чем 0.5 нс, обеспечивающие токи втекания/вытекания более 25 мА, и временем нарастания/спада около 1 нс. Шум переключения от 3.3 В логики обычно меньше, чем от 5 В логики, из-за уменьшения размаха сигнала и меньших протекающих токов.

МЕТОДИКА СОГЛАСОВАНИЯ ДЛЯ МИКРОПОЛОСКОВОЙ ЛИНИИ ПЕРЕДАЧИ С НОРМИРОВАННЫМ ИМПЕДАНСОМ

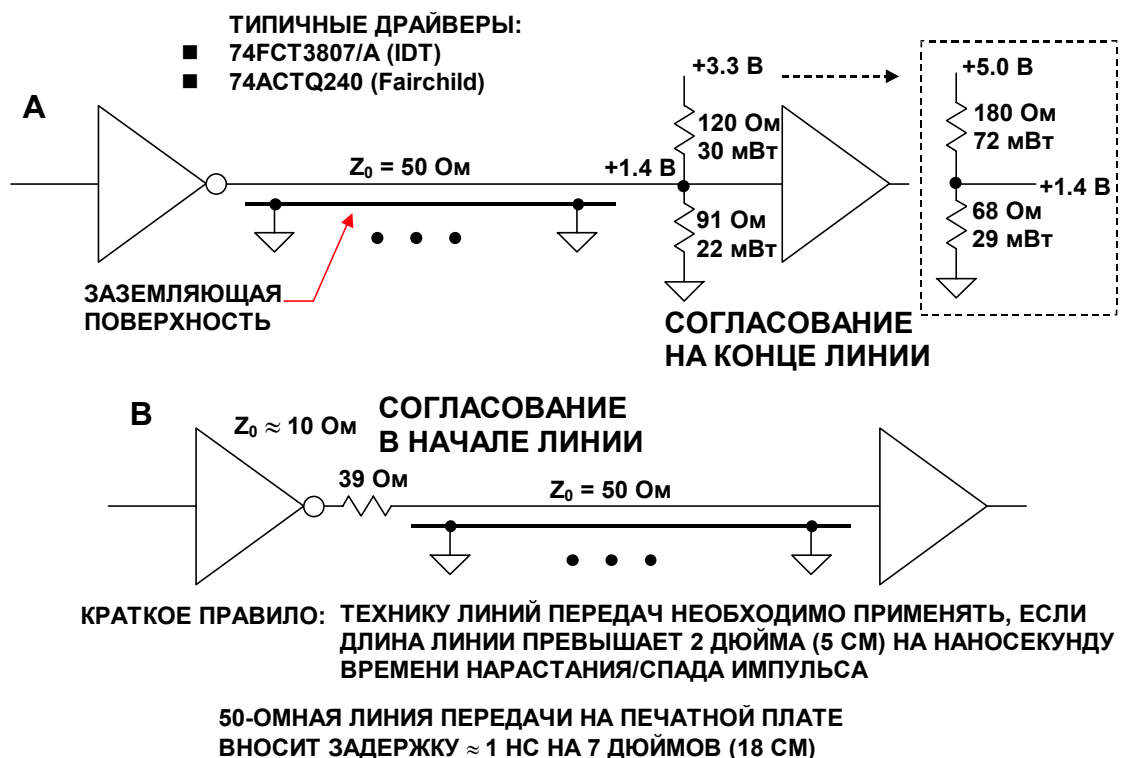


Рис. 10.51

а

Метод нагрузки источника, показанный на рис.10.51В, обеспечивает поглощение отраженных волн при помощи сопротивления, равного характеристическому импедансу линии передачи. Для это требуется резистор сопротивлением около 39 Ом, включенный последовательно с внутренним выходным сопротивлением драйвера, которое обычно составляет около 10 Ом. При этом методе требуется, чтобы конец линии передачи был не нагружен, поэтому дополнительное разветвление по выходу не допускается. Метод нагрузки источника не увеличивает суммарную мощность рассеивания.

На рис.10.52 показан метод распределения высокоскоростных тактовых импульсов по нескольким устройствам. Проблема здесь заключается в том, что появляется небольшой сдвиг между импульсами из-за задержки на прохождение микрополосковой линии (около $1 \text{ нс}/7''$). В некоторых случаях время сдвига может быть критичным. Важно обеспечивать длину отвода от линии к каждому устройству не более 0.5 дюйма, чтобы предотвратить рассогласование на протяжении всей линии передачи.



Рис. 10.52

Метод, показанный на рис.10.53, уменьшает сдвиг тактовых импульсов между получающими устройствами посредством использования нагрузки источника и обеспечением одинаковой длины каждой микрополосковой линии. Здесь нет дополнительного рассеивания мощности, как в случае с конечной нагрузкой.

Рис.10.54 показывает, как метод нагрузки источника может использоваться в двунаправленной линии между SHARC DSP. Выходное сопротивление драйвера SHARCa составляет примерно 17 Ом, и следовательно, требуется последовательное сопротивление в 33 Ом на каждый конец линии передачи для хорошего согласования.

Метод, показанный на рис.10.55, может использоваться при двунаправленной передаче сигналов от нескольких источников по сравнительно длинной линии передач. В этом случае линия нагружается с обеих концов, и в результате сопротивление нагрузки составляет в 25 Ом для постоянного тока. Драйверы SHARCa способны обеспечивать корректные логические уровни на такой нагрузке.

а

ПРЕДПОЧТИТЕЛЬНЫЙ МЕТОД РАЗВОДКИ ТАКОВЫХ ИМПУЛЬСОВ С ПОМОЩЬЮ СОГЛАСОВАННЫХ ЛИНИЙ

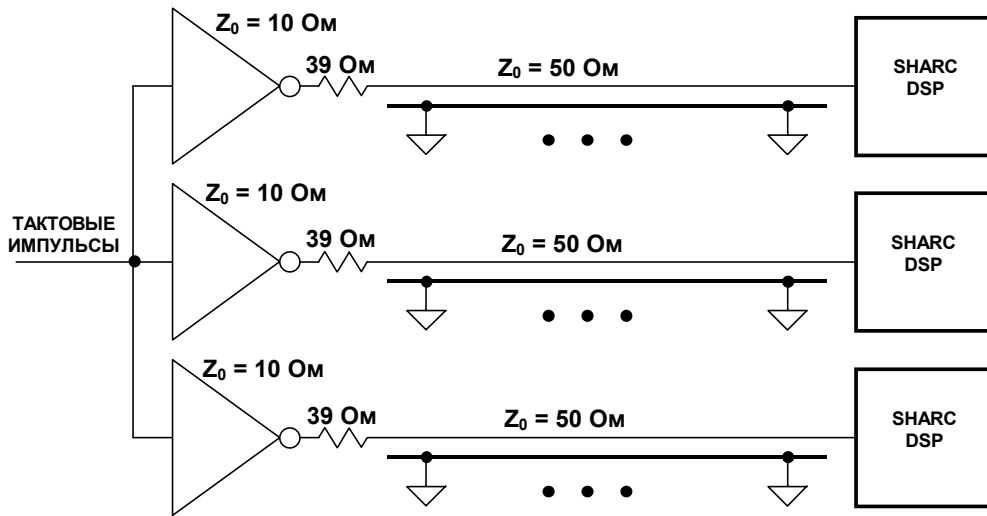


Рис. 10.53

СОГЛАСОВАНИЕ ЛИНИИ ДЛЯ ДВУНАПРАВЛЕННОГО ОБМЕНА МЕЖДУ ПРОЦЕССОРАМИ DSP SHARC

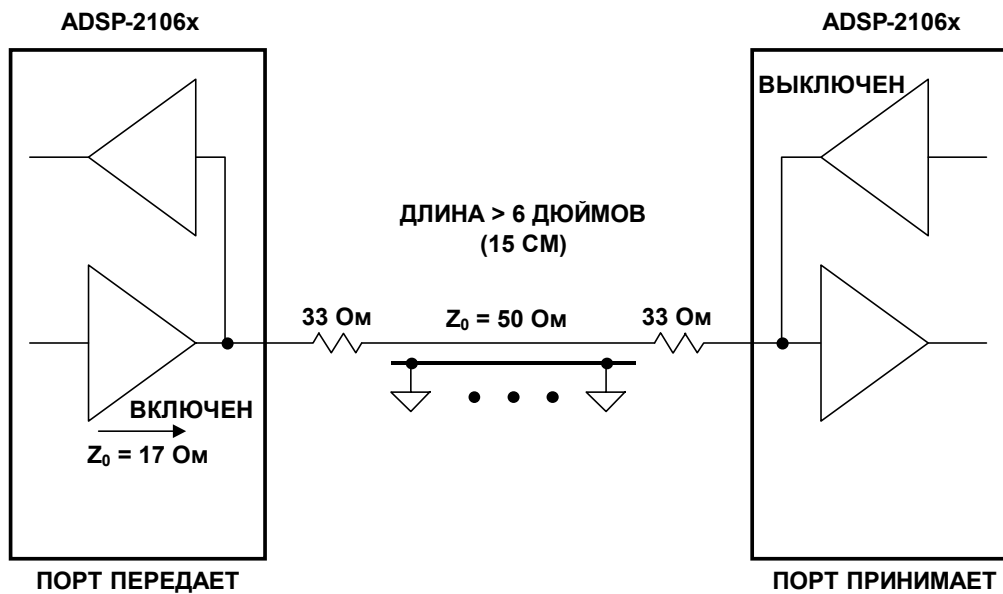
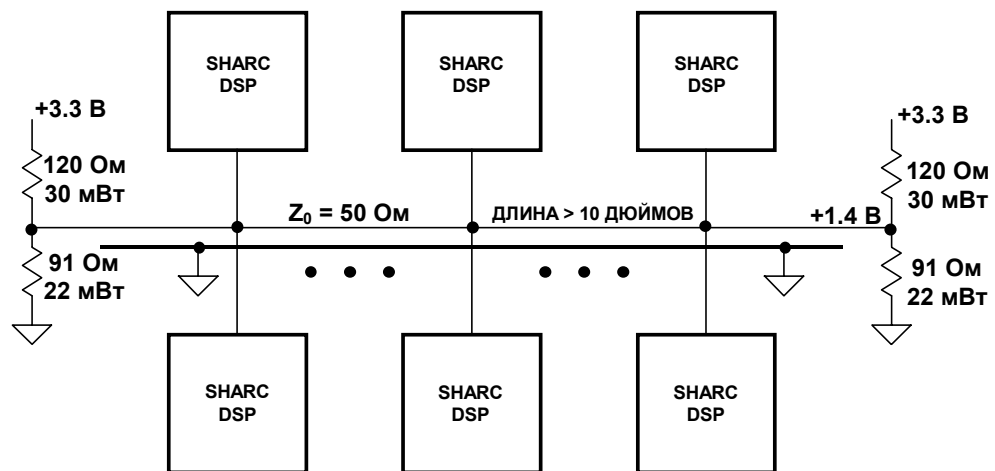


Рис. 10.54

а



СЛЕДИТЕ, ЧТОБЫ ДЛИНА ОТВЕТВЛЕНИЯ
НЕ ПРЕВЫШАЛА 0.5 ДЮЙМА (13 ММ)

Рис. 10.55

a

ЛИТЕРАТУРА ПО РАБОТЕ С ВЫСОКОСКОРОСТНОЙ ЛОГИКОЙ:

1. Howard W. Johnson and Martin Graham, **High-Speed Digital Design**, PTR Prentice Hall, 1993.
2. *EDN's Designer's Guide to Electromagnetic Compatibility*, **EDN**, January, 20, 1994, material reprinted by permission of Cahners Publishing Company, 1995.
3. *Designing for EMC (Workshop Notes)*, Kimmel Gerke Associates, Ltd., 1994.
4. Mark Montrose, **EMC and the Printed Circuit Board**, IEEE Press, 1999 (IEEE Order Number PC5756).